

# اسیلاتور متعامد تزویج چندگانه با شیفیت فاز مطلوب جهت بهبود نویز فاز

مرضیه چهاربور<sup>۱</sup> حجت غنودی<sup>۲</sup>

۱- دانش آموخته کارشناسی ارشد - دانشکده مهندسی برق - موسسه ی آموزش عالی هدف - ساری - ایران

[Marzieh.Chaharboor@gmail.com](mailto:Marzieh.Chaharboor@gmail.com)

۲- استادیار - دانشکده فنی و مهندسی - دانشگاه مازندران - بابلسر - ایران

[h.ghonoodi@umz.ac.ir](mailto:h.ghonoodi@umz.ac.ir)

**چکیده:** در این مقاله یک اسیلاتور متعامد CMOS LC تزویج چندگانه (MC-QO) به منظور تولید سیگنال‌های متعامد با نویز فاز کم و توان مصرفی پایین ارائه شده است. در این کار، هسته ی اسیلاتور توسط شبکه تزویج فعال و پسیو در هر طبقه تزویج می شود. در شبکه تزویج فعال از تکنیک برش جریان دینامیکی فعال استفاده شده که خود به تنهایی موجب تولید شیفیت فاز و در نتیجه اصلاح نویز و خطای فاز در سیگنال خروجی می شود. اما برای بهبود این عملکرد، از تزویج پسیو نیز در این کار کمک گرفته شده است. شبکه تزویج پسیو شامل یک فیلتر RLC می باشد که علاوه بر کاهش ذاتی نویز، سبب تولید فاز جبران کننده جهت کاهش شیفیت فاز رزوناتور (RPS) به منظور بهبود نویز فاز خواهد شد که نتایج تحلیل نیز آن را تأیید می کند. استفاده از دو مسیر برای تزویج کمک شایانی در افزایش ضریب تزویج داشته که موجب بهبود دقت فاز خروجی می شود. این در حالیست که شبکه تزویج پسیو هیچ توانی مصرف نمی کند. علاوه بر این، بکارگیری تکنیک شکل دهی جریان در منبع جریان دم، سبب بهبود عملکرد مدار می شود. جهت تأیید عملکرد ساختار اسیلاتور متعامد پیشنهادی و تحلیل‌های ارائه شده، اسیلاتور تزویج چندگانه در تکنولوژی TSMC ۰/۱۸ میکرومتر CMOS فرکانس رادیویی و در فرکانس پایه ۳/۳۸ گیگا هرتز شبیه سازی شده است. مصرف توان ۴/۶ میلی وات از منبع تغذیه ۱/۸ ولت بوده، نویز فاز ۱۲۸/۲- (دسی بل/ هرتز) در آفست ۱ مگاهرتز و ۱۳۸/۵- (دسی بل/ هرتز) در آفست ۳ مگاهرتز با ضریب کیفیت ۱۰/۸ می باشد و در نهایت معیار شایستگی مطلوب ۱۹۲/۲۵- (دسی بل/ هرتز) در فرکانس آفست ۱ مگاهرتز بدست آمده است.

**کلمات کلیدی:** CMOS فرکانس رادیویی، اسیلاتور متعامد LC، نویز فاز، دقت فاز، مصرف توان.

تاریخ ارسال مقاله : ۱۳۹۷/۰۲/۰۴

تاریخ پذیرش مشروط مقاله: ۱۳۹۷/۰۷/۰۸

تاریخ پذیرش مقاله: ۱۳۹۸/۰۱/۲۱

نام نویسنده ی مسئول: دکتر حجت غنودی

نشانی نویسنده ی مسئول: ایران - مازندران - بابلسر - دانشگاه مازندران - دانشکده ی فنی و مهندسی

## فهرست اختصارها و نشانه‌ها

$MC-QO$	اسیلاتور متعامد تزویج چندگانه
$RPS$	شیفت فاز رزوناتور
$Q$	ضریب کیفیت
$LC-QO$	اسیلاتور متعامد LC
$FOM$	معیار شایستگی
$ISF$	تابع حساسیت ضربه
$M_{CC, N}$	ترانزیستورهای اتصال ضربدری و مکمل ماسفت نوع N
$M_{CC, P}$	ترانزیستورهای اتصال ضربدری و مکمل ماسفت نوع P
$C_2$	خازن تزویج
$C_C$	خازن فیلتر RLC
$LC$	سلف فیلتر RLC
$M_{PS(1,2)}$	ترانزیستورهای شیفت دهنده‌ی فاز
$I_{Ps}$	جریان شیفت دهنده‌ی فاز
$\phi_1$	شیفت فاز ناشی از تزویج فعال
$\phi_2$	شیفت فاز ناشی از تزویج پسیو
$m_p$	ضریب تزویج پسیو

## ۱- مقدمه

سیستم‌های مخابرات بی سیم مدرن نظیر: گیرنده‌های تبدیل مستقیم<sup>۱</sup>، مستقیم<sup>۲</sup>، معماری‌های رد تصویر<sup>۳</sup>، بازیابی کلاک و داده<sup>۴</sup> و مدولاتورها<sup>۵</sup> نیازمند به سیگنال‌های هم فاز و متعامد<sup>۶</sup> هستند [۱]، [۲-۳] اهمیت سیگنال‌های متعامد با نویز فاز پایین با توجه استانداردهای مخابراتی مدرن امری غیر قابل انکار است [۴]. چندین روش جهت تولید سیگنال‌های متعامد وجود دارد [۵] که می‌توان به مقسم فرکانسی تقسیم کننده به ۲ [۶]، فیلترهای چند فاز [۷]، اسیلاتورهای حلقوی با طبقات زوج [۸] و اسیلاتورهای متعامد LC (LC-QOs) [۴] اشاره نمود. اسیلاتورهای حلقوی با اندازه‌های تراشه-ی کوچک از روش‌های متداول جهت تولید سیگنال‌های چند فاز می-باشند. اما عملکرد نویز فاز آنها به دلیل استفاده از تانک‌های بدون سلف، نامطلوب است [۸]. در میان روش‌های مذکور، روش مورد توجه به منظور تولید سیگنال متعامد، اسیلاتورها با تانک‌های LC می‌باشد که تزویج<sup>۷</sup> آنها به یکدیگر با ویژگی نویز فاز مطلوب همراه است [۹-۱۲]. بنابراین، اسیلاتورهای متعامد LC با نویز فاز پایین به طور وسیعی در سیستم‌های مخابرات بی سیم به کار می‌روند [۱۲]. در ساختارهای اسیلاتورهای متعامد LC، با توجه به شرایط بارک هاووزن<sup>۸</sup>، هاووزن<sup>۹</sup>، یک اختلاف فاز ۹۰ درجه مابین خروجی‌ها تحت شرایط تطبیق کامل وجود دارد [۱۳]. دقت اختلاف فاز مابین خروجی‌های LC-QO ها الزامی است و عدم دقت فاز، محدودیت‌هایی را برای فرستنده-گیرنده به دلیل عدم دقت در مدولاسیون متعامد به وجود می‌آورد. اسیلاتورهای متعامد LC متداول، متشکل از دو اسیلاتور اتصال ضربدری یکسان می‌باشند که می‌توانند به مولفه‌های پسیو<sup>۸</sup>

جهت عملکرد تزویج پسیو بدون نویز [۱۴-۱۶] و یا به ادوات فعال جهت عملکرد تزویج فعال متصل گردند [۱۷]. اسیلاتورهای متعامد LC با تزویج پسیو به دلیل آنکه مولفه‌های پسیو تقریباً بدون نویز می-باشند، عملکرد نویز فاز مطلوب‌تری را نشان می‌دهند. در تضاد با تزویج‌های پسیو، تزویج‌های فعال معمولاً سبب تخریب عملکرد نویز فاز شده و مصرف توان آنها نیز بالا می‌باشند. اما، این تزویج‌ها به حدی قوی هستند تا بتوانند خطاهای فاز ناشی از عدم تطبیق<sup>۹</sup> مولفه‌ها را برطرف سازند [۱۵-۱۸].

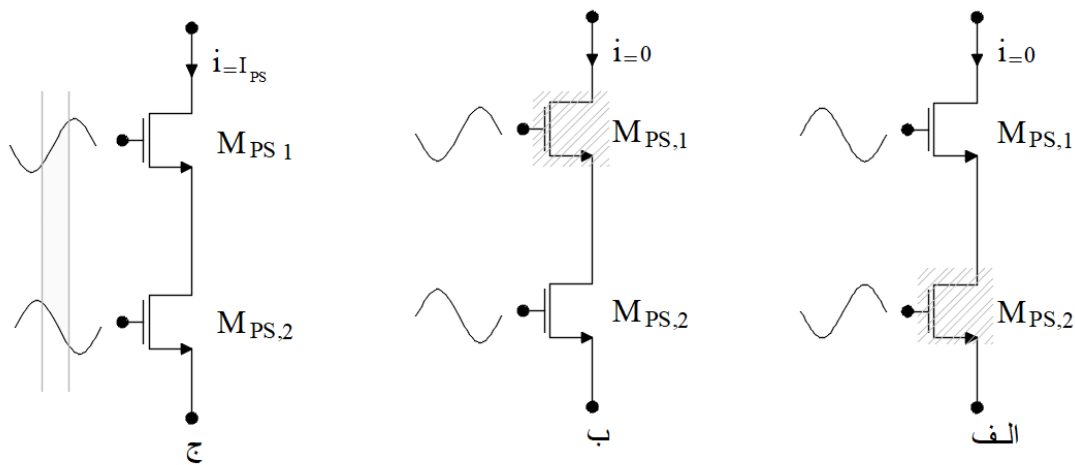
مطالعات مختلفی به منظور تحلیل مکانیزم‌های تزویج و دقت فاز اسیلاتورهای متعامد LC انجام شده است [۱۹-۲۳]، [۷]. ایجاد خروجی‌های متعامد با دقت فاز بالا و عملکرد نویز فاز مطلوب از چالش‌های مهم در طراحی این نوع اسیلاتورها می‌باشد که در سالهای اخیر مورد توجه بسیاری از پژوهشگران در این زمینه قرار گرفته است [۲۴-۲۵]. جهت بررسی عملکرد اسیلاتورهای متعامد LC، چند پارامتر مهم نظیر: نویز فاز، دقت فاز و مصرف توان می‌بایست در نظر گرفته شوند [۴]، [۵]. تلاش‌های فراوانی به منظور طراحی اسیلاتورهای متعامد LC با نویز فاز و مصرف توان پایین صورت گرفته است [۱۵-۲۶]. نویز فلیکر<sup>۱۰</sup> و نویز حرارتی<sup>۱۱</sup> ناشی از ادوات فعال و اتلافی سهم زیادی در میزان کلی نویز فاز اسیلاتورهای LC دارند [۲۷]. بنابراین، المان‌های پسیو جهت عملکرد تزویج ترجیح داده می-شوند. اما زمانیکه عدم تطبیق میان مؤلفه‌های پسیو اسیلاتورهای LC اتفاق می‌افتد، تزویج‌های خازنی به حد کافی جهت غلبه بر آنها قوی نمی‌باشند و موجب پیدایش خطای فاز قابل توجه ای می‌گردند [۲۸]. بیشتر مطالعات انجام شده نشان می‌دهند که عدم تطابق میان المان‌های تانک‌های LC عامل اصلی خطای فاز است [۲۳]. یک شیفت دهنده‌ی فاز<sup>۱۲</sup> در مسیر تزویج می‌تواند یک سیگنال با شیفت فاز موثر جهت بهبود حساسیت فاز و عملکرد تزویج ایجاد نماید [۱۸].

در این کار، یک اسیلاتور متعامد تزویج چندگانه (MC-QO) ارائه می‌شود که از هر دو تکنیک تزویج فعال و پسیو جهت تولید سیگنال‌های متعامد بهره گرفته است. ترکیب این دو تکنیک در ساختار اسیلاتور متعامد (QO) پیشنهادی به منظور بهبود عملکرد تزویج و ایجاد شیفت فاز مطلوب، سودمند است. بنابراین، اسیلاتور متعامد پیشنهادی دقت فاز بالایی را از خود نشان می‌دهد در حالیکه نویز فاز آن نیز مطلوب است. علاوه بر این، بکارگیری دو شبکه تزویج میزان اتلاف توان را افزایش نمی‌دهد. در ادامه ی این مقاله، بخش ۲ به توصیف ساختار اسیلاتور متعامد و ارائه روابط جهت استخراج شیفت فاز شبکه تزویج، تخصیص یافته است. در بخش ۳، نویز فاز و دقت فاز اسیلاتور متعامد تزویج چندگانه جهت اطمینان از عملکرد آن مورد بررسی قرار می‌گیرد و در فرکانس نوسان ۳/۳۸ گیگا هرتز شبیه سازی می‌شود. در نهایت در بخش ۴، نتایج و جمع‌بندی حاصل از محتوای مقاله فراهم گردیده است.



۹۰ درجه نمی رسد، شبکه‌ی تزویج پسیو به ساختار افزوده شده تا یک شیفت فاز ۹۰ درجه با دقت بالا را فراهم سازد.

دقت شود که شاخه‌های تزویج فعال هرچند شیفت فاز خوبی را ایجاد می نمایند اما این شیفت فاز به مقدار مطلوب



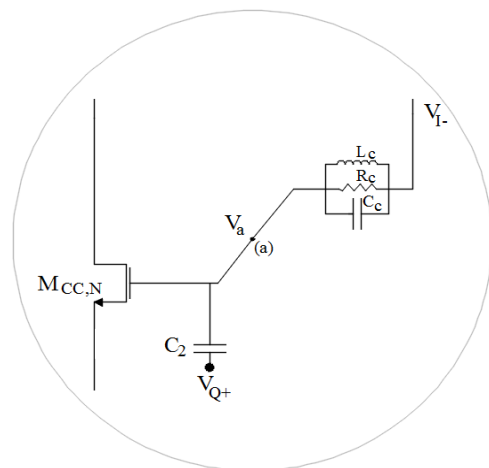
شکل (۲): تزویج جریان نویز توسط شیفت دهنده‌ی فاز، ۲. (الف) زمانیکه ترانزیستور  $M_{PS1}$  روشن می‌باشد، ۲. (ب) زمانیکه ترانزیستور  $M_{PS2}$  روشن می‌باشد، ۲. (ج) زمانیکه جریان تزویجی ( $I_{ps}$ ) توسط شیفت دهنده‌ی فاز هدایت می‌گردد.

بنابراین، شیفت فاز ۹۰ درجه ایجاد شده توسط اسیلاتور متعامد پیشنهادی ناشی از شیفت فاز تزویج فعال ( $\phi_1$ ) و شیفت فاز تزویج پسیو ( $\phi_2$ ) می‌باشد. بنابراین:

$$\phi_1 + \phi_2 = \frac{\pi}{2} \quad (1)$$

شیفت فاز ایجاد شده با دقت بسیار بالا در ساختار پیشنهادی دارای مزیت‌هایی نظیر: اجتناب از تزویج در زمان‌های حساس عبور از صفر و افزایش ضریب کیفیت موثر می‌باشد که می‌تواند نویز فاز را بهبود دهد. همچنین در ساختار پیشنهادی تلاشی برای بهبود خطای فاز نیز صورت گرفته است. با توجه به وجود عدم تطبیق در دو سمت I و Q اختلاف فاز خروجی‌ها از میزان ۹۰ درجه منحرف شده و خطای فاز بوجود می‌آید. در MC-QO پیشنهادی، استفاده از دو مسیر تزویج در حالیکه فاز جریان خروجی را کنترل می‌کند، ضریب تزویج را افزایش داده که منجر به کاهش خطای فاز خواهد شد. همانطور که در بالا اشاره شد، در ساختار MC-QO یک فاز جبران ساز<sup>۱۸</sup> با کمک خازن تزویج پسیو جهت ایجاد شیفت فاز ۹۰ درجه توسط تزویج چندگانه ایجاد می‌گردد. به منظور درک بهتر از فاز جبران ساز، محاسبات مربوط به آن در ادامه‌ی مطالب فراهم گردیده است.

با توجه به شکل ۳ و با اعمال KCL در گره‌ی (a) و با فرض ولتاژ ( $V_a$ ) در این گره (مابین اتصال گیت-درین)، روابط فاز جبران ساز قابل محاسبه می‌باشد.



شکل (۳): تزویج خازنی گیت-درین با فیلتر LC

با توجه به KCL در گره‌ی (a) داریم:

$$\frac{V_a - V_{1-}}{X_{L_c}} + \frac{V_a - V_{1-}}{R_c} + \frac{V_a - V_{1-}}{X_{C_c}} + \frac{V_a - V_{Q+}}{X_{C_2}} = 0 \quad (2)$$

بطوریکه در رابطه‌ی (۲):

$$X_{L_c} = jL_c \omega, \quad X_{C_c} = \frac{1}{jC_c \omega}, \quad X_{C_2} = \frac{1}{jC_2 \omega} \quad (3)$$

در صورتیکه مقادیر  $V_{1-} = A \cos(\omega t)$  و  $V_{Q+} = A \cos(\omega t + \frac{\pi}{2})$

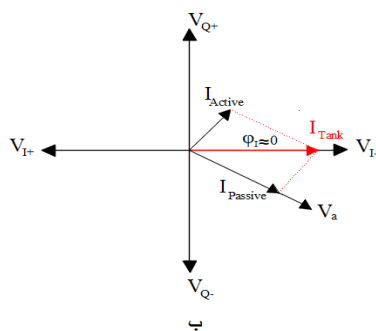
تعریف شوند و با جایگذاری روابط فازور معادل برای آنها ( $V_{Q+} = A e^{j\frac{\pi}{2}}$ ) و ( $V_{1-} = A$ )، رابطه‌ی (۴) بدست می‌آید:

پس از جایگذاری روابط (۷)، (۸) و (۹) در رابطه‌ی (۶)، رابطه‌ی نهایی زیر بدست می‌آید:

$$\angle V_a = -\frac{\pi}{2} + \tan^{-1} \left( \frac{L_C \cdot \omega}{m_p \cdot R_C} \right) \quad (10)$$

می‌بایست توجه داشت که مقدار فاز بدست آمده از رابطه‌ی (۱۰) منفی است، به دلیل آنکه  $m_p \cdot R_C > L_C \cdot \omega$  و تزویج پسپو که می‌تواند شیفت فاز مثبت در مسیر تزویج اکتیو را جبران کند و در نهایت فاز تزویقی مسیر تزویج را هم فاز با ولتاژ خروجی گرداند از ویژگی اصلی ساختار اسیلاتور متعامد پیشنهادی می‌باشد.

به دلیل آنکه جریان تزویقی به رزوناتور به صورت برآیند دو بردار مربوط به شاخه‌های تزویج فعال و پسپو است، فاز جریان تزویقی به آن  $(\theta = \varphi_1)$  می‌تواند صفر شود  $(\varphi_1 = 0)$ . همانطور که در شکل ۴ قابل مشاهده است و بر اساس رابطه‌ی (۱۰)



شکل (۴): نمودار فازور MC-QO پیشنهادی برای ایجاد تزویج هم فاز (In-phase)، ۴. الف) نمودار فازور تنها با تزویج فعال، ۴. ب) فازور با تزویج‌های فعال و پسپو

$$V_a \left[ \frac{1}{jL_C \omega} + \frac{1}{R_C} + j(C_C + C_2)\omega \right] - A \left[ \frac{1}{jL_C \omega} + \frac{1}{R_C} + jC_C \omega - C_2 \omega \right] = 0 \quad (4)$$

به این ترتیب ولتاژ  $(V_a)$  بدست می‌آید:

$$V_a = A \frac{a + jb}{c + jd} \quad (5)$$

که در این رابطه  $a = R_C - L_C \cdot C_C \cdot \omega^2 \cdot R_C$ ،  $b = L_C \cdot \omega - L_C \cdot C_2 \cdot \omega^2 \cdot R_C$  و  $d = L_C \cdot \omega$  می‌باشند. بنابراین، فاز ولتاژ  $(V_a)$  در گره‌ی (a) توسط رابطه‌ی (۶) قابل محاسبه است:

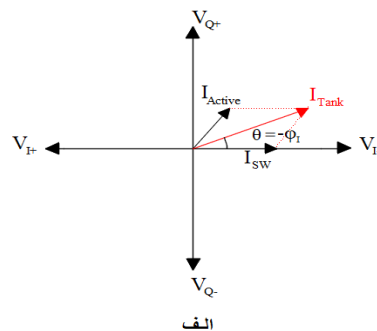
$$\angle V_a = \tan^{-1} \left( \frac{b}{a} \right) - \tan^{-1} \left( \frac{d}{c} \right) \quad (6)$$

با در نظر گرفتن مقادیر تقریبی  $L_C \cdot C_C = L_1 \cdot C_1 = 1/\omega^2$  و در نظر گرفتن ضریب تزویج پسپو  $m_p = C_2/C_C$  و بر اساس رابطه‌ی (۵) روابط زیر بدست می‌آیند:

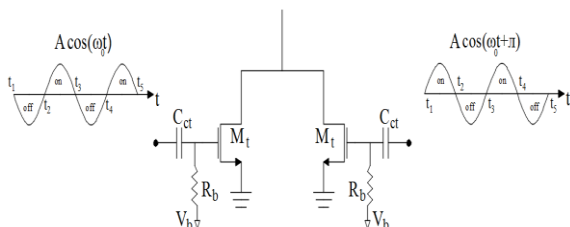
$$a = R_C - L_C \cdot C_C \cdot \omega^2 \cdot R_C = 0 \quad (7)$$

$$b = L_C \cdot \omega - L_C \cdot C_2 \cdot \omega^2 \cdot R_C = L_C \cdot \omega - m_p \cdot R_C \quad (8)$$

$$c = R_C [1 - L_C (C_C + C_2) \omega^2] = -R_C \cdot m_p \quad (9)$$



روش شکل‌دهی جریان دم سبب کاهش تابع حساسیت ضربه‌ی  $ISF$  موثر می‌گردد [۳۰].



شکل (۵): بایاسینگ ثابت و بایاسینگ سوئیچ متقارن در دم

با انتخاب مقدار مناسب برای  $m_p$  شیفت فاز ۹۰ درجه بدست می‌آید. در حقیقت جریان شبکه‌ی تزویج با شیفت فاز ۹۰ درجه موجب بهبود شیفت فاز رزوناتور  $RPS$  شده و به این ترتیب ضریب کیفیت موثر اصلاح شده و نویز فاز بهبود می‌یابد [۱۸].

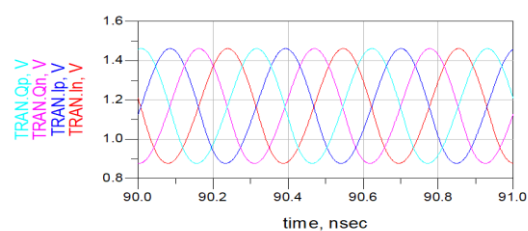
در منبع جریان دم<sup>۲۰</sup> ساختار ارائه شده، ترانزیستورهای تفاضلی از هر دو روش بایاسینگ ثابت<sup>۲۱</sup> و بایاسینگ سوئیچ خود<sup>۲۲</sup> بهره گرفته‌اند. مطابق با شکل ۵، سیگنال‌های خروجی از گره‌های خروجی  $(V_{I+}, V_{I-}, V_{Q+}, V_{Q-})$  در هر سمت به گیت‌های ترانزیستورهای بایاسینگ  $(M_t)$  همان سمت تزویج می‌گردند. عمل بایاسینگ به صورت خاموش و روشن و مکمل سبب کاهش نویز فلیکر در دم شده که منجر به کاهش نویز فاز در فرکانس‌های آفست نزدیک به حامل می‌گردد [۳۲]. بر اساس مطالعاتی که تا کنون جهت بهبود نویز فاز صورت گرفته است،

### ۳- نتایج شبیه‌سازی

جهت تأیید نحوه‌ی عملکرد اسیلاتور متعامد تزویج چندگانه ی (MC-QO) پیشنهادی که در شکل ۱ قابل مشاهده است، این ساختار با استفاده از تکنولوژی CMOS 0.18  $\mu_m$  TSMC با مقادیر پارامترهای درج شده در جدول ۱ شبیه‌سازی شده است. شکل ۶ خروجی‌های اسیلاتور متعامد LC پیشنهادی را در حالت پایدار<sup>۲۴</sup> زمان گذرا<sup>۲۵</sup> در فرکانس مرکزی ۳/۳۸ گیگاهرتز و ولتاژ تغذیه ۱/۸ ولت نشان می‌دهد.

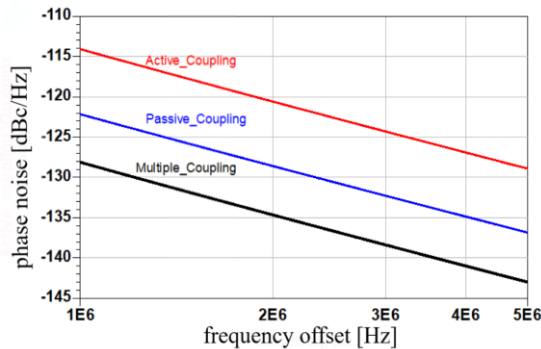
جدول (۱): مقادیر پارامترهای بکار برده شده جهت پیاده‌سازی LC-QO پیشنهادی

پارامتر	مقدار	واحد
$L_1, L_c$	۰/۴	nH
$C_1, C_c$	۰/۶	pF
$R_c$	۳۰۹	Ohm
$C_2$	۱/۷	pF
$M_{PS_1}$	۳۰/(۰/۱۸)	$\mu m / \mu m$
$M_{PS_2}$	۳۰/(۰/۱۸)	$\mu m / \mu m$
$R_2$	۴	kOhm
$M_{CC,N}$	۵۰/(۰/۱۸)	$\mu m / \mu m$
$M_{CC,P}$	۵۰/(۰/۱۸)	$\mu m / \mu m$
$M_t$	۶/(۰/۱۸)	$\mu m / \mu m$
$C_t$	۰/۲۵	$\mu m / \mu m$
$R_b$	۵۰	Ohm



شکل (۶): خروجی‌های متعامد اسیلاتور MC-QO پیشنهادی در فرکانس ۳/۳۸ گیگاهرتز

نویز فاز MC-QO مطابق با شکل ۷ برابر با ۱۲۸/۲- (دسی بل/هرتز) در فرکانس آفست ۱ مگاهرتز و ۱۳۸/۵- (دسی بل/هرتز) در فرکانس آفست ۳ مگاهرتز با ضریب کیفیت (۱۰/۲)  $Q=$  برای تانک LC و ضریب کیفیت (۱۱/۲)  $Q_{filter}=$  برای فیلتر RLC می‌باشد.



شکل (۷): میزان نویز فاز بدست آمده از نتایج شبیه‌سازی ساختار MC-QO پیشنهادی همراه با (تزویج‌های فعال و پسیو) در مقایسه با میزان نویز فاز QO تنها همراه با تزویج فعال و میزان نویز فاز QO تنها همراه با تزویج پسیو.

همانطور که در شکل ۷ قابل مشاهده می‌باشد، نویز فاز QO برابر با ۱۱۴/۱- (دسی بل/هرتز) در فرکانس آفست ۱ مگاهرتز با بکارگیری تنها تکنیک تزویج فعال می‌باشد و برابر با ۱۲۲/۱- (دسی بل/هرتز) در فرکانس آفست ۱ مگاهرتز با بکارگیری تنها تکنیک تزویج پسیو می‌باشد. توجه شود که شبیه‌سازی در ۳ ساختار در شرایط توان، عدم تطابق و دیگر مشخصات برابر می‌باشد. نویز فاز شبیه‌سازی شده‌ی اسیلاتور متعامد پیشنهادی عملکرد مطلوب‌تری را نسبت به حالتی که تنها از یکی از تکنیک‌ها استفاده می‌شود، از خود نشان می‌دهد.

مجموع توان مصرفی ۴/۶ میلی وات از منبع تغذیه ۱/۸ ولت بوده و به این ترتیب میزان معیار شایستگی<sup>۲۶</sup> (FOM) بر اساس رابطه‌ی (۱۱) قابل محاسبه می‌باشد:

$$FOM = L(\Delta\omega) - 20 \log \left( \frac{\omega_{osc}}{\Delta\omega} \right) + 10 \log \left( \frac{P_{DC}}{1mW} \right) \quad (11)$$

$\omega_{osc}$  فرکانس نوسان اسیلاتور،  $\Delta\omega$  فرکانس آفست و  $L(\Delta\omega)$  میزان نویز باند جانبی در واحد (دسی بل/هرتز) در فرکانس آفست  $\Delta\omega$  نسبت به فرکانس حامل  $\omega_{osc}$  می‌باشد و میزان توان مصرفی DC را با  $P_{DC}$  نشان می‌دهند [۳۳]. بنابراین، مقدار FOM اسیلاتور LC پیشنهادی برابر با ۱۹۲/۱۵- در فرکانس آفست ۱ مگاهرتز بدست می‌آید.

جدول ۲ جهت مقایسه‌ی عملکرد اسیلاتور متعامد تزویج چندگانه‌ی پیشنهادی با اسیلاتورهای متعامد پیشین که برخی از آنها تنها از یکی از تکنیک‌های بکار برده شده در این ساختار بهره گرفته اند، فراهم گردیده است. در ساختار پیشنهادی برای کاهش نویز فاز از چند تکنیک استفاده شده است. از مهمترین تکنیک در این ساختار به حداقل رساندن شیفت فاز رزوناتور می‌باشد که برای این منظور از تزویج چندگانه با روشی نوین استفاده شده است. در واقع این ساختار با استفاده از ترکیب چند تزویج به طور مناسب، اثرات مخرب (تولید شیفت فاز در رزوناتور) هر کدام به تنهایی را خنثی کرده است. در بیشتر کارهای گذشته که در جدول ۲ برخی از آنها گزارش شده است همواره از یک نوع تزویج مشخص برای تولید سیگنالهای متعامد

نسبت به عملکرد دیگر کارها بهبود یافته است که منجر به پیدایش FOM بالا گردیده است.

استفاده شده است. با توجه به نتایج شبیه سازی در ساختار پیشنهادی و مقدار FOM در اسیلاتورهای متعامد مختلف که در جدول ۲-درج شده است، عملکرد کلی نویز فاز MC-QO پیشنهادی

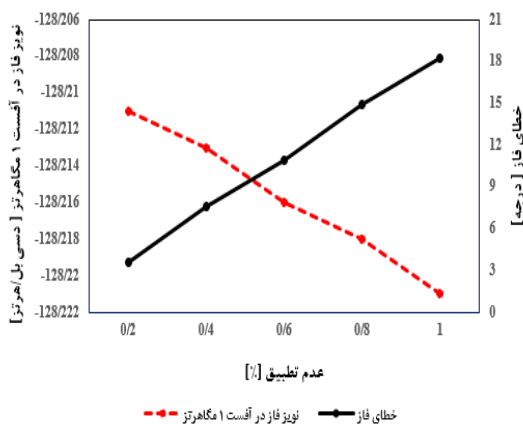
جدول (۲): مقایسه‌ی عملکرد اسیلاتور متعامد تزویج چندگانه‌ی (MC-QO) پیشنهادی با دیگر اسیلاتورهای متعامد (QOs)

اسیلاتورهای متعامد	تکنولوژی ( $\mu\text{m}$ )	فرکانس (GHz)	توان مصرفی (mW)	منبع تغذیه (V)	نویز فاز (dBc/Hz)	معیار شایستگی (dBc/Hz)
[1]	۰/۱۸	۳	۲۱	۱/۸	-۱۴۴ @ ۳ MHz	-۱۹۰/۵۰
[18]	۰/۱۳	۵	۱	۱/۸	-۱۲۱ @ ۱ MHz	-۱۸۹/۰۰
[19]*	۰/۱۸	۴/۵۴	۹/۸	۱/۸	-۱۲۵/۳ @ ۱ MHz	-۱۸۸/۵۰
[31]	۰/۱۸	۵/۲	۱۱/۲	۱/۰	-۱۱۹/۳ @ ۱ MHz	-۱۸۳/۰۰
[34]	۰/۱۸	۵/۳۷	۱۸	۱/۸	-۱۲۲/۹ @ ۱ MHz	-۱۸۵/۰۰
[35]	۰/۱۸	۵/۱۵	۸/۷	۱/۴۵	-۱۲۴/۵ @ ۱ MHz	-۱۸۹/۴۲
[36]	۰/۱۸	۱/۱	۵/۴	۱/۸	-۱۲۰ @ ۳ MHz	-۱۷۳/۵۰
[37]	۰/۱۸	۵	۶	۱/۲	-۱۲۰ @ ۳ MHz	-۱۷۶/۰۰
[38]	۰/۱۸	۵/۵	۲/۵	۱/۰	-۱۱۴ @ ۱ MHz	-۱۸۵/۰۰
[39]	۰/۱۸	۰/۴۹	۱/۷۵	۱/۵	-۱۱۸ @ ۱ MHz	-۱۷۳/۰۰
MC-QO*	۰/۱۸	۳/۳۸	۴/۶	۱/۸	-۱۲۸/ ۲۰۸ @ ۱ MHz	-۱۹۲/۱۵

\* نتایج گزارش شده حاصل از نتایج شبیه سازی می باشد.

تغییر ضریب تزویج پسیو<sup>۲۸</sup> ( $m_p$ ) جهت تأیید تاثیر آن بر تصحیح خطای فاز و نویز فاز سیگنال‌های خروجی در حالیکه خازن فیلتر ثابت می‌باشد، مورد بررسی قرار می‌گیرد. بنابراین، نتایج شبیه سازی دقت فاز و نویز فاز با در نظر گرفتن ۰/۵ درصد عدم تطبیق اعمالی مابین مولفه‌های تانک LC و به ازای ضرایب تزویج پسیو مختلف در شکل ۹ قابل مشاهده می‌باشد.

واضح است که افزایش ضریب تزویج پسیو و شیفت فاز جبران کننده، عملکرد نویز فاز اسیلاتور LC-QO پیشنهادی را تخریب نکرده و انتخاب مقدار مناسب  $m_p$  بدون افزایش مصرف توان سبب ایجاد شیفت فاز ایده‌آل می‌گردد. نتایج شبیه سازی نشان می‌دهند که در MC-QO پیشنهادی عملکرد نویز فاز و دقت فاز به طور همزمان بهبود یافته اند و مصالحه‌ی مابین آنها لغو گردیده است.



شکل (۸): نمودار خطای فاز و نویز فاز در آفست ۱ مگاهرتز نسبت به عدم تطبیق اعمالی مابین تانک‌های LC

جهت ارزیابی مقاومت مدار در برابر تغییرات در فرآیند ساخت، مدار در حالت‌های مختلف از گوشه‌های فرآیند<sup>۲۷</sup> شبیه سازی شده است. جدول ۳ نتایج شبیه سازی مدار در حالت‌های مختلف از گوشه‌های تکنولوژی را با یکدیگر مقایسه می‌کند که این نتایج نشان می‌دهد مدار در شرایط دمایی متفاوت عملکرد قابل قبولی دارد.

جدول (۳): عملکرد اسیلاتور متعامد پیشنهادی در گوشه‌های مختلف تکنولوژی

گوشه‌های مختلف تکنولوژی	توان مصرفی (mW)	نویز فاز (dBc/Hz)	معیار شایستگی (dBc/Hz)
TT 25°C	۴/۶۰	-۱۲۸/۲۱	-۱۹۲/۱۵
SS 60°C	۳/۸۸	-۱۲۶/۳	-۱۹۱/۰۴
FF -40°C	۴/۴۵	-۱۲۶/۸	-۱۹۰/۸۹
SF 25°C	۴/۹۴	-۱۲۸/۸	-۱۹۲/۴۴
FS 25°C	۴/۲۴	-۱۲۷/۷	-۱۹۲/۰۰

دقت فاز سیگنال‌های متعامد تولید شده، پارامتر مهم دیگری است که در طراحی اسیلاتورهای متعامد LC می‌بایست در نظر گرفته شود. به منظور بررسی دقت فاز خروجی‌های متعامد، شبیه سازی جهت مشاهده‌ی اختلاف فاز خروجی با در نظر گرفتن عملکرد نویز فاز انجام می‌شود.

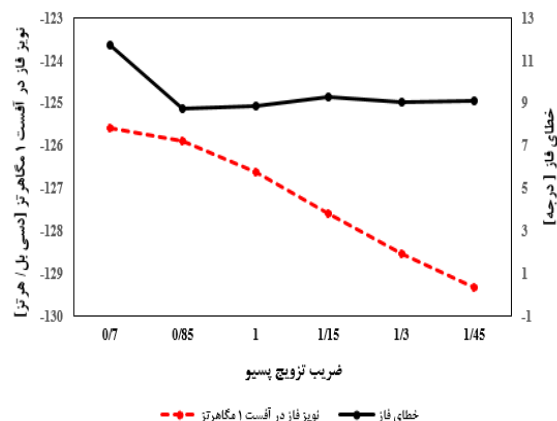
شکل ۸ خطای فاز و نویز فاز را در فرکانس آفست ۱ مگاهرتز به ازای عدم تطبیق اعمالی مابین سلف‌ها و خازن‌های تانک LC نشان می‌دهد. نتایج شبیه سازی نشان می‌دهند که حساسیت فاز در قبال عملکرد نویز فاز مطلوب MC-QO پیشنهادی، مناسب می‌باشد.

جهت بکارگیری در کاربردهای فرکانس بالا"، نشریه مهندسی برق و الکترونیک ایران، دوره ۱۳، شماره ۴، صفحات ۱۵-۲۲، تهران، ۱۳۹۵.

[۳] حمید رحیم‌پور، محمد غلامی، غلامرضا اردشیر، حسین معیار نعیمی "طراحی ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر دیجیتالی و با سرعت بالا"، نشریه مهندسی برق و الکترونیک ایران، دوره ۱۲، شماره ۲، صفحات ۳۹-۴۶، تهران، ۱۳۹۴.

[۴] حجت غنودی، حسین معیارنعیمی، "تحلیل خطای فاز در اسیلاتور متعامد تزریق از سورس"، بیست و پنجمین کنفرانس مهندسی برق ایران، تهران، دانشگاه تهران، ۱۳۹۱.

- [5] Ghonoodi, H., & Miar-Naimi, H., "Phase error analysis in CMOS injection-coupled LC quadrature oscillator (IC-QO)", *International Journal of Circuit Theory and Applications*, 42(11), 1123-1138, 2014.
- [6] Park, K. G., Jeong, C. Y., Park, J. W., Lee, J. W., Jo, J. G., & Yoo, C., "Current reusing VCO and divide-by-two frequency divider for quadrature LO generation", *IEEE Microwave and Wireless Components Letters*, 18(6), 413-415, 2008.
- [7] Mirzaei, A., Heidari, M. E., Bagheri, R., Chehrizi, S., & Abidi, A. A., "The quadrature LC oscillator: A complete portrait based on injection locking", *IEEE Journal of Solid-State Circuits*, 42(9), 1916-1932, 2007.
- [8] Sanchez-Azqueta, C., Celma, S., & Aznar, F., "A 0.18  $\mu\text{m}$  CMOS ring VCO for clock and data recovery applications". *Microelectronics Reliability*, 51(12), 2351-2356, 2011.
- [9] Ghonoodi, H., & Naimi, H. M., "A CMOS quadrature LC oscillator using automatic phase/amplitude calibration", *Circuits, Systems, and Signal Processing*, 31(1), 77-91, 2012.
- [10] Ma, D. K., & Long, J. R., "A subharmonically injected LC delay line oscillator for 17-GHz quadrature LO generation", *IEEE journal of solid-state circuits*, 39(9), 1434-1445, 2004.
- [11] Maligeorgos, J. P., & Long, J. R., "A low-voltage 5.1-5.8-GHz image-reject receiver with wide dynamic Range", *IEEE Journal of Solid-State Circuits*, 35(12), 1917-1926, 2000.
- [12] Rofougaran, A., Rael, J., Rofougaran, M., & Abidi, A., "A 900 MHz CMOS LC-oscillator with quadrature outputs", In *Solid-State Circuits Conference, 1996, Digest of Technical Papers, 42nd ISSCC, 1996 IEEE International* (pp. 392-393), IEEE, February 1996.
- [13] Naimi, H. M., & Ghonoodi, H., "Analysis of phase accuracy in CMOS quadrature LC oscillators", *Analog Integrated Circuits and Signal Processing*, 67(2), 137-141, 2011.
- [14] Rofougaran, Ahmadreza, et al., "A single-chip 900-MHz spread-spectrum wireless transceiver in 1- $\mu\text{m}$  CMOS. I. Architecture and transmitter design", *IEEE Journal of Solid-State Circuits* 33(4), pp.515-534, 1998.
- [15] Gierkink, S. L., Levantino, S., Frye, R. C., Samori, C., & Boccuzzi, V., "A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling", *IEEE Journal of Solid-State Circuits*, 38(7), 1148-1154, 2003.
- [16] Soltanian, B., & Kinget, P., "A low phase noise quadrature LC VCO using capacitive common-source coupling", In *Solid-State Circuits Conference, 2006, ESSCIRC 2006, Proceedings of the 32nd European* (pp. 436-439), IEEE, September 2006.
- [17] Andreani, P., Bonfanti, A., Romano, L., & Samori, C., "Analysis and design of a 1.8-GHz CMOS LC quadrature



شکل (۹): نمودار خطای فاز و نویز فاز در آفست ۱ مگاهرتز به ازای مقادیر مختلف ضریب تزویج پسیو

## ۴- نتیجه گیری

در این مقاله، یک اسیلاتور متعامد تزویج چندگانه (MC-QO) که از ترکیب تکنیک‌های تزویج فعال و تزویج پسیو بهره گرفته است، ارائه شد. در تکنیک تزویج فعال شاخه‌های موازی با شیفت فاز مناسب از ترانزیستورهای سری و مقاومت تبهگنی استفاده شد. تزویج پسیو از خازن‌ها جهت جبران انحراف فاز بهره گرفت و افزایش میزان ضریب تزویج موجب اصلاح فاز و تضمین شیفت فاز مناسب در فرکانس کاری تعیین شده گردید. این رهیافت بدون نویز و بدون اتلاف توان با قرار دادن مسیرهای AC و DC به عنوان فیلترهای RLC باند عبوری، نویز فاز را کاهش داد. بنابراین، عملکرد نویز فاز کلی مدار بهبود یافت در حالیکه حساسیت فازهای خروجی نسبت به عدم تطبیق تانک‌های LC کاهش پیدا نمود. علاوه بر این، استفاده از ساختار مکمل و تکنیک بایاسینگ بکاربرده شده در دم منجر به بهبود بیشتر نویز فاز مدار گردید. با شبیه سازی MC-QO تحت تکنولوژی CMOS TSMC  $0.18 \mu\text{m}$  صحت عملکرد مدار تأیید گردید. میزان توان مصرفی  $4/6$  میلی وات از تغذیه  $1/8$  ولت بوده و نویز فاز  $128/2$  (دسی بل/هرتز) و  $138/5$  (دسی بل/هرتز) به ترتیب در فرکانس‌های آفست ۱ و ۳ مگاهرتز از فرکانس نوسان  $3/38$  گیگاهرتز گزارش داده شد. در نهایت، میزان FOM بدست آمده در آفست ۱ مگاهرتز برابر با  $192/15$  (دسی بل/هرتز) است که بسیار مطلوب می‌باشد.

## مراجع

- [1] Asyaei, M., & Ebrahimi, E., "A low-phase noise injection-locked quadrature voltage-controlled oscillator", *Analog Integrated Circuits and Signal Processing*, 71(2), 319-325, 2012.
- [۲] محمد غلامی، حمید رحیم‌پور، جمال قاسمی، ایمان اسمعیلی پایین افراکتی، "طراحی حلقه قفل شده‌ی تاخیر برای گیرنده‌های بی‌سیم

- oscillator", *Circuits, Systems, and Signal Processing*, 35(3), 731-752, 2016.
- [34] Zhang, Y., Liu, P., Luo, T. N., Chen, Y. J. E., & Heo, D., "A low-voltage low-phase-noise bottom-series LC QVCO using capacitor tapping technique", In *Microwave Symposium Digest, 2008 IEEE MTT-S International* (pp. 237-240), IEEE, June 2008.
- [35] Jang, S. L., Shih, C. C., Liu, C. C., & Juang, M. H., "A 0.18 um CMOS Quadrature VCO Using the Quadruple Push-Push Technique", *IEEE microwave and wireless components letters*, 20(6), 343-345, 2010.
- [36] Kim, H. R., Cha, C. Y., Oh, S. M., Yang, M. S., & Lee, S. G., "A very low-power quadrature VCO with back-gate coupling", *IEEE Journal of Solid-State Circuits*, 39(6), 952-955, 2004.
- [37] Tong, H., Cheng, S., Lo, Y. C., Karsilayan, A. I., & Silva-Martinez, J., "An LC quadrature VCO using capacitive source degeneration coupling to eliminate bimodal oscillation", *IEEE Transactions on Circuits and Systems I: Regular Papers*, 59(9), 1871-1879, 2012.
- [38] Wu, J. W., Wu, H. H., Hsu, K. C., & Chen, C. C., "A back-gate coupling quadrature voltage-control oscillator embedded with self-body-bias schema", *IEEE Microwave and Wireless Components Letters*, 23(3), 146-148, 2013.
- [39] Cheng, K. W., & Je, M., "A current-switching and gm-enhanced colpitts quadrature VCO", *IEEE microwave and wireless components letters*, 23(3), 143-145, 2013.
- VCO", *IEEE Journal of Solid-State Circuits*, 37(12), 1737-1747, 2002.
- [18] Lo, Y. C., & Silva-Martinez, J., "A 5-GHz CMOS LC quadrature VCO with dynamic current clipping coupling to improve phase noise and phase accuracy", *IEEE Transactions on Microwave Theory and Techniques*, 61(7), 2632-2640, 2013.
- [19] Ebrahimi, E., & Naseh, S., "A CMOS low-noise low-power quadrature LC oscillator" In *Circuits and Systems, 2009, ISCAS 2009, IEEE International Symposium on* (pp. 1305-1308), IEEE, May 2009.
- [20] Van Der Tang, J., Van De Ven, P., Kasperkovitz, D., & Van Roermund, A., "Analysis and design of an optimally coupled 5-GHz quadrature LC oscillator", *IEEE Journal of Solid-State Circuits*, 37(5), 657-661, 2002.
- [21] Andreani, P., "A time-variant analysis of the 1/f<sup>sup</sup> 2/phase noise in CMOS parallel LC-tank quadrature oscillators", *IEEE Transactions on Circuits and Systems I: Regular Papers*, 53(8), 1749-1760, 2006.
- [22] Andreani, P., & Wang, X., "on the phase-noise and phase-error performances of multiphase LC CMOS VCOs", *IEEE Journal of Solid-State Circuits*, 39(11), 1883-1893, 2004.
- [23] Romanò, L., Levantino, S., Samori, C., & Lacaita, A. L., "Multiphase LC oscillators", *IEEE Transactions on Circuits and Systems I: Regular Papers*, 53(7), 1579-1588, 2006.
- [24] Loke, A., & Ali, F., "Direct conversion radio for digital mobile phones-design issues, status", and trends. *IEEE Transactions on Microwave Theory and Techniques*, 50(11), 2422-2435, 2002.
- [25] Crols, J., & Steyaert, M. S., "Low-IF topologies for high-performance analog front ends of fully integrated receivers", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 45(3), 269-282, 1998.
- [26] Frioui, O., Zaid, L., Rahajandraibe, W., & Haddad, F., "A very low phase noise fully integrated CMOS quadrature LC oscillator for 2.4 GHz bluetooth/WLAN applications", In *Communications and Information Technologies, 2007, ISCIT'07, International Symposium on* (pp. 55-60), IEEE, 2007.
- [27] Hajimiri, A., & Lee, T. H., "A general theory of phase noise in electrical oscillators", *IEEE journal of solid-state circuits*, 33(2), 179-194, 1998.
- [28] Jang, S. L., Shih, C. C., Liu, C. C., Chang, C. W., & Hsue, C. W., "CMOS quadrature VCOs using the varactor coupling technique", *IEEE Microwave and Wireless Components Letters*, 21(9), 498-500, 2011.
- [29] Soltanian, B., & Kinget, P. R., "Tail current-shaping to improve phase noise in LC voltage-controlled oscillators", *IEEE Journal of Solid-State Circuits*, 41(8), 1792-1802, 2006.
- [30] Tiebout, M., "Low-power low-phase-noise differentially tuned quadrature VCO design in standard CMOS", *IEEE Journal of Solid-State Circuits*, 36(7), 1018-1024, 2001.
- [31] Shen, I. S., Huang, T. C., & Jou, C. F., "A low phase noise quadrature VCO using symmetrical tail current-shaping technique", *IEEE microwave and wireless components letters*, 20(7), 399-40, 2010.
- [32] Wan, Q., Liu, Y., & Wang, Q., "A CMOS Back-Gate Coupling LC Quadrature VCO with Switched Self-Biasing Tail Transistor Technique", *Circuits, Systems, and Signal Processing*, 34(10), 3147-3160, 2015.
- [33] Ghonoodi, H., & Naimi, H. M., "Analysis and design of a phase-tunable source injection-coupled LC quadrature

## زیر نویس

<sup>1</sup> Zero-IF receivers

<sup>2</sup> Image rejection architectures

<sup>3</sup> Clock & data recovery

<sup>4</sup> Modulators

<sup>5</sup> In-phase and Quadrature signals

<sup>6</sup> Coupling

<sup>7</sup> Barkhausen criteria

<sup>8</sup> Passive components

<sup>9</sup> Mismatches

<sup>10</sup> Flicker noise

<sup>11</sup> Thermal noise

<sup>12</sup> Phase shifter

<sup>13</sup> Multiple Coupled CMOS LC Quadrature Oscillator

<sup>14</sup> Complementary

<sup>15</sup> Cascode

<sup>16</sup> Degeneration resistor

<sup>17</sup> Zero-crossing instant

<sup>18</sup> Compensating phase

<sup>19</sup> Resonator Phase Shift

<sup>20</sup> Source of tail current

<sup>21</sup> Fixed biasing

<sup>22</sup> Switched self-biasing

<sup>23</sup> Impulse Sensitivity Function

<sup>24</sup> Steady state

<sup>25</sup> Transient time

<sup>26</sup> Figure Of Merit

<sup>27</sup> Process corners

<sup>28</sup> Passive coupling factor

- [25] Crols, J., & Steyaert, M. S., "Low-IF topologies for high-performance analog front ends of fully integrated receivers", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 45(3), 269-282, 1998.
- [26] Frioui, O., Zaid, L., Rahajandraibe, W., & Haddad, F., "A very low phase noise fully integrated CMOS quadrature LC oscillator for 2.4 GHz bluetooth/WLAN applications", In *Communications and Information Technologies, 2007, ISCIT'07, International Symposium on* (pp. 55-60), IEEE, 2007.
- [27] Hajimiri, A., & Lee, T. H., "A general theory of phase noise in electrical oscillators", *IEEE journal of solid-state circuits*, 33(2), 179-194, 1998.
- [28] Jang, S. L., Shih, C. C., Liu, C. C., Chang, C. W., & Hsue, C. W., "CMOS quadrature VCOs using the varactor coupling technique", *IEEE Microwave and Wireless Components Letters*, 21(9), 498-500, 2011.
- [29] Soltanian, B., & Kinget, P. R., "Tail current-shaping to improve phase noise in LC voltage-controlled oscillators", *IEEE Journal of Solid-State Circuits*, 41(8), 1792-1802, 2006.
- [30] Tiebout, M., "Low-power low-phase-noise differentially tuned quadrature VCO design in standard CMOS", *IEEE Journal of Solid-State Circuits*, 36(7), 1018-1024, 2001.
- [31] Shen, I. S., Huang, T. C., & Jou, C. F., "A low phase noise quadrature VCO using symmetrical tail current-shaping technique", *IEEE microwave and wireless components letters*, 20(7), 399-40, 2010.
- [32] Wan, Q., Liu, Y., & Wang, Q., "A CMOS Back-Gate Coupling LC Quadrature VCO with Switched Self-Biasing Tail Transistor Technique", *Circuits, Systems, and Signal Processing*, 34(10), 3147-3160, 2015.
- [33] Ghonoodi, H., & Naimi, H. M., "Analysis and design of a phase-tunable source injection-coupled LC quadrature