طراحی حلقه قفل شده تاخیر برای گیرنده‌های بی سیم جهت بکارگیری در کاربردهای فرکانس بالا

محمد غلامی[1] حمید رحیم‌پور[2] جمال قاسمی[3] ایمان اسمعیلی پایین افراکتی[4]

۱- استادیار- دانشکده فنی و مهندسی- دانشگاه مازندران- بابلسر- ایران
m.gholami@umz.ac.ir
۲- دانشجوی دکتری- دانشکده فنی و مهندسی- دانشگاه تهران- تهران- ایران
h_rahimpour@ut.ac.ir
۳- استادیار- دانشکده فنی و مهندسی- دانشگاه مازندران- بابلسر- ایران
j.ghasemi@umz.ac.ir
۴- استادیار- دانشکده فنی و مهندسی- دانشگاه مازندران- بابلسر- ایران
i.esmaili.p@umz.ac.ir

چکیده: در این مقاله، یک راهکار جدید با استفاده از الگوریتم بهینه سازی گرادیان برای ساخت حلقه های قفل شده تاخیر ارائه شده است. از جمله ویژگی های برجسته این ساختار می توان به سرعت بالای قفل شدن و فرکانس بالای عملکرد مدار اشاره کرد. در این ساختار به جای بلوکهای آشکارساز فاز-فرکانس، پمپ بار و فیلتر حلقه از یک پردازنده استفاده شده است. در فرستنده های دیجیتال از یک پردازنده برای دیکد کردن، کد کردن، آشکارسازی و ... استفاده می شود. بنابراین می توان از همین پردازنده برای ساخت حلقه قفل شده تاخیر استفاده کرد. در نتیجه پیچیدگی ساختار حلقه قفل شده تاخیر پیشنهادی، نسبت به ساختارهای متداول حلقه های قفل شده تاخیر کمتر می شود. ساختار مورد نظر توسط نرم افزار متلب در استاندارد بلوتوث شبیه‌سازی شده است. پنج سلول تاخیر برای گرفتن فرکانس خروجی برابر با ۲/۴ گیگاهرتز توسط فرکانس ورودی ۴۸۰مگاهرتز در ساختار ارائه شده مورد استفاده قرار گرفته است. شبیه سازی های انجام شده صحت عملکرد و سرعت بالای قفل شدن این ساختار جدید را تایید کرده است.

کلمات کلیدی: حلقه قفل شده تاخیر، الگوریتم گرادیان، زمان قفل شدن، مدارات سرعت بالا، فرکانس بالا.

تاریخ ارسال مقاله: ۱۳۹۴/۰۷/۲۸
تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۰۱/۱۷
تاریخ پذیرش مقاله: ۱۳۹۵/۰۴/۰۹
نام نویسنده‌ی مسئول: دکتر محمد غلامی
نشانی نویسنده‌ی مسئول: ایران – بابلسر – خیابان پاسداران – دانشگاه مازندران – دانشکده‌ی فنی و مهندسی

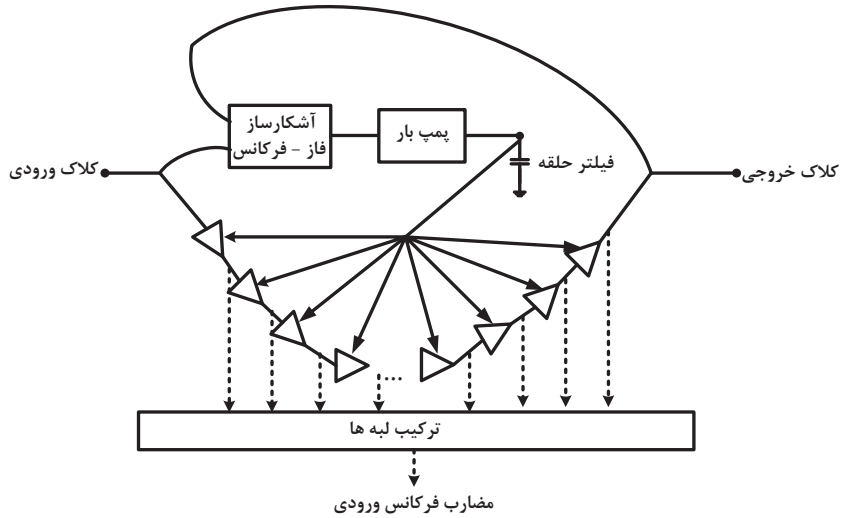
[Downloaded from jiaeee.com on 2026-05-20]
[DOR: 20.1001.1.26765810.1395.13.4.2.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

۱- مقدمه

با توجه به پیشرفت چشمگیر و روز افزون تکنولوژی CMOS، فرکانسهای کاری و نیز سرعت پردازش در سیستمهای مختلف الکترونیکی افزایش یافته است. حلقه‌های قفل شده تاخیر و حلقه‌های قفل شده فاز به عنوان بلوکهای اساسی و جدایی ناپذیر مدارات مخابراتی، گیرنده‌ها و فرستنده‌ها، مدارهای بازیابی اطلاعات و داده [۱]، ضرب کننده‌های فرکانسی [۲و۳] و حافظه‌ها [۴] به شمار می-آیند. از این دو ساختار (حلقه‌های قفل شده فاز و تاخیر) در یکی از کاربردهای مهم، به عنوان ضرب کننده‌های فرکانسی استفاده می‌گردد [۵]. با توجه به پیشرفت روز افزون فناوری و بالا رفتن سرعت مدارها، احتمال خرابی کلاک و نیز ایجاد اعوجاج و جیتر در کلاکهای رسیده به مدارها بیشتر می‌گردد. لذا یکی از پارامترهای مهمی که در تعیین کارایی ضرب کننده‌های فرکانسی حائز اهمیت است، جیتر می‌باشد [۶]. زیاد بودن میزان جیتر یا نویز فاز باعث بروز مشکلاتی در سیستمهای مخابراتی از جمله مشکل تداخل با باندهای مجاور خواهد شد. از آنجایی که حلقه‌های قفل شده تاخیر از نظر میزان جیتر و نویز فاز عملکرد بهتری نسبت به حلقه‌های قفل شده فاز دارند، در شرایط یکسان می‌توانند در اولویت طراحی نسبت به حلقه‌های قفل شده تاخیر قرار گیرند [۷]. علاوه بر این از مزایای دیگر حلقه‌های قفل شده تاخیر می‌توان به پایداری بیشتر (سیستم مرتبه اول)، توان مصرفی و سطح مقطع اشغالی عموما کمتر آنها نسبت به حلقه‌های قفل شده فاز اشاره نمود.

همانگونه که اشاره شد، در سیستمهای مدرن سرعت در کنار دقت با توجه به بالا رفتن فرکانسهای کاری سیستمهای مختلف، در اولویت طراحی قرار دارد. در این راستا در طراحی حلقه‌های قفل شده تاخیر نیز سرعت قفل شدن و فرکانس کاری جزیی از چالشهای طراحی به شمار می‌رود. این پارامترها در حلقه قفل شده تاخیر، وابسته به نوع مدارات انتخابی برای آشکارساز فاز- فرکانس، پمپ بار، سلولهای تاخیر و میزان خازنهای استفاده شده می‌باشد [۸]. آشکارسازهای فاز-فرکانس متداول که نقش بسیار برجسته‌ای در تعیین میزان سرعت و دقت مدارات حلقه‌های قفل شده تاخیر را دارا می‌باشند، عموما تا فرکانسهایی حدود ۱/۵ گیگاهرتز کارایی دارند [۹و۱۰]. آشکارسازهای جدیدتری هم که ارائه شده است نهایت قادر هستند تا فرکانسهایی حدود ۳ گیگاهرتز عملکرد صحیحی داشته باشند [۱۱]. بنابراین با توجه به محدودیت در فرکانس کاری آشکارسازها، حتی در صورت طراحی بهینه سایر بخشهای حلقه‌های قفل شده تاخیر، سرعت و فرکانس کاری حلقه‌های قفل شده تاخیر محدود به فرکانس عملکردی آشکارساز فاز- فرکانس خواهد بود.

ساختار متداول حلقه‌های قفل شده تاخیر در شکل-۱ نشان داده شده است. اجزای یک حلقه قفل شده تاخیر متداول عبارتند از: خط تاخیر کنترل شونده با ولتاژ، آشکار ساز فاز- فرکانس، پمپ بار، فیلتر حلقه و ترکیب کننده لبه ها (جهت تولید مضارب فرکانس ورودی). یک حلقه قفل شده تاخیر در حالت کلی به صورت زیر کار می‌کند. ابتدا اختلاف فاز ورودی و خروجی خط تاخیر کنترل شونده با ولتاژکه همان ورودی و خروجی حلقه قفل شده تاخیر می‌باشند، در آشکارساز فاز با هم مقایسه می‌شوند. آشکار ساز فاز – فرکانس با توجه به این اختلاف فاز، سیگنال‌های مناسبی را به پمپ بار می‌فرستد. پمپ باز نیز با توجه به سیگنال‌های دریافتی فیلتر حلقه را که یک خازن است، شارژ یا دشارژ می‌کند تا با توجه به آن، ولتاژ کنترل لازم برای تغییر تاخیر مسیر سیگنال ورودی فراهم شود. این روند تا زمانی تکرار می‌شود که ورودی و خروجی حلقه قفل شده تاخیر دقیقا به اندازه یک پریود کلاک ورودی (T_{REF}) نسبت به هم اختلاف فاز داشته باشند. بنابراین در شرایط قفل برای یک حلقه قفل شده تاخیر با N سلول تاخیر، تاخیر



شکل (۱): ساختار یک ضرب کننده فرکانسی متداول براساس حلقه قفل شده تاخیر

[Downloaded from jiaeee.com on 2026-05-20]
[DOR: 20.1001.1.26765810.1395.13.4.2.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016

ناشی از هر سلول تاخیر برابر با $\frac{T_{REF}}{N}$خواهد شد.
نظر به محدودیتهای طراحی آشکارسازهای فاز، پمپ بار و سلولهای تاخیر، طراحی یک حلقه قفل شده تاخیر در فرکانسهای بالا کار ساده-ای نیست. همچنین طراحی حلقه قفل شده تاخیری که بتواند در فرکانسهای بالا، زمان کمی را برای قفل شدن نیاز داشته باشد نیز ساده به نظر نمی‌رسد. مطالبی که در این مقاله ارائه خواهد شد منتهی به طراحی ساختاری جدید برای حلقه قفل شده تاخیر می‌گردد که قادر است در فرکانسهای بالاتری نسبت به حلقه قفل شده تاخیر متداول کار کرده و دارای سرعت قفل مناسبی نیز باشد. در حقیقت ساختار پیشنهادی، جهت غلبه بر مشکلات فوق الذکر باید بتواند بر محدودیتهای آشکارساز فاز و سایر بلوکهای موجود در حلقه‌های قفل شده تاخیر غلبه نماید. در همین راستا در این مقاله یک حلقه قفل شده تاخیر جدید و کاملا دیجیتالی مطرح خواهد شد که دیگر در آن آشکارساز فاز- فرکانس، پمپ بار و فیلتر حلقه استفاده نمی‌شود. برای رسیدن به این اهداف از الگوریتمهای بهینه‌سازی جهت کنترل حلقه فیدبک مدار و حداقل نمودن میزان خطا استفاده خواهد شد.
این مقاله به صورت زیر سازمان دهی شده است. در بخش آتی، ساختار پیشنهادی و الگوریتم بهینه سازی مورد استفاده قرار گرفته شده، توضیح داده خواهد شد. سپس در بخش سوم نیز شبیه‌سازی‌هایی جهت تصدیق رفتار ساختار پیشنهادی ارائه می‌گردد. بخش چهارم نیز به نتیجه گیری و جمع بندی این مقاله خواهد پرداخت.

۲- ساختار حلقه های قفل شده تاخیر پیشنهادی

می توان یک سیگنال ورودی را برای ساختار مورد استفاده با عبارت زیر بیان نمود:

$$V_i(t) = p(t)\cos\big(\omega t + \varphi(t)\big) \qquad (۱)$$

که در آن $p(t)$ پوش و $\varphi(t)$ فاز سیگنال ورودی می باشد. همچنین می‌توان این سیگنال را به صورت فازور نیز بیان نمود:

$$S_i(t) = I(t) + jQ(t) = p(t)e^{j\varphi(t)} \qquad (۲)$$

در رابطه (۲) عبارت $p(t)$ و $\varphi(t)$ به ترتیب با عبارات (۳) و (۴) قابل بیان می‌باشند.

$$p(t) = \sqrt{I(t)^2 + Q(t)^2} \qquad (۳)$$

$$\varphi(t) = \tan^{-1}\frac{Q(t)}{I(t)} \qquad (۴)$$

بنابراین سیگنال ورودی را می‌توان به صورت زیر بیان نمود:

$$V_i(t) = I(t)\cos\omega t + Q(t)\sin\omega t \qquad (۵)$$

با توجه به اینکه سیگنال ورودی در حلقه های قفل شده تاخیر دارای پوش و فازی ثابت می باشند در نتیجه $I(t)$ و $Q(t)$ ثابت بوده و با گذشت زمان تغییری نمی کنند لذا می توان به جای $I(t)$ از I و $Q(t)$ از Q در معادلات فوق استفاده کرد. به عبارت دیگر I و Q تقریبا در ساختار حلقه‌های قفل شده تاخیر ثابت می‌باشند.

در ادامه فرض می کنیم که این سیگنال ورودی از مجموعه ای از بلوک های تاخیر با مقدار تاخیرکل To عبور کرده و به خروجی منتقل می شود. در این صورت سیگنال خروجی را می توان به صورت زیر نشان داد:

$$V_o(t) = I\cos\omega(t - T_o) + Q\sin\omega(t - T_o) \qquad (۶)$$

با مقایسه رابطه فوق با رابطه (۵)، زمانیکه این تاخیر (T_o) برابر با مضارب صحیحی از دوره تناوب سیگنال ورودی باشد، آنگاه رابطه (۶) با رابطه (۵) دقیقا برابر می شود و خروجی با ورودی همفاز می گردد. در ساختار پیشنهادی تعداد سلول تاخیر در مسیر سیگنال در حالت کلی برابر با N در نظر گرفته می شود که هر کدام تاخیری برابر با μ دارند. در نتیجه مقدار کل تاخیر در مسیر سیگنال برابر با $N\mu$ می باشد. با ساده کردن عبارات شامل سینوس و کسینوس و مرتب کردن آنها در رابطه (۶) و با توجه به مقدار کل تاخیر $N\mu$ در ساختار پیشنهادی شکل موج خروجی در ساختار ارائه شده به صورت زیر تبدیل می شود:

$$\begin{aligned} V_o(t) = [&(I\cos N\omega\mu - Q\sin N\omega\mu)\cos\omega t \\ &+ (I\sin N\omega\mu \\ &+ Q\cos N\omega\mu)\sin\omega t] \end{aligned} \qquad (۷)$$

برای ساخت یک حلقه قفل شده فاز لازم است تا سیگنال خروجی به گونه ای با سیگنال ورودی مقایسه شود تا میزان انحراف فاز بین این دو مشخص شود. بدین منظور در ساختار پیشنهادی ابتدا ضرایب I و Q تولید شده در خروجی را توسط یک دمدلاتور متعامد به دست آورده و سپس این ضرایب را با ضرایب مشابه در ورودی مقایسه می کنیم. استفاده از این بلوک (دمدلاتور) دو فایده اساسی دارد. یکی اینکه امکان مقایسه بین فاز سیگنالهای ورودی و خروجی را فراهم می سازد و دیگری اینکه مقایسه را در فرکانس بسیار کوچکتری انجام می دهد که این امر موجب می شود تا بتوان یک حلقه قفل فاز در فرکانس های بالا با یک پردازنده ای که در فرکانس های بسیار پایین عمل می کند ساخت.
با توجه به رابطه (۷) ضرایب I_o و Q_o به دست آمده از خروجی بعد از بلوک دمودلاتور متعامد در ساختار پیشنهادی، به صورت زیر می باشند:

$$I_o(t) = (I\cos N\omega\mu - Q\sin N\omega\mu) \qquad (۸)$$

$$Q_o(t) = (I\sin N\omega\mu + Q\cos N\omega\mu) \qquad (۹)$$

سیگنال خطای $e_1(t)$ و $e_2(t)$ از تفاضل ضرایبI_o و Q_o به دست آمده از خروجی نسبت به ضرایب I و Q در ورودی به دست می آیند:

$$e_1(t) = I_o(t) - I \qquad (۱۰)$$

$$e_2(t) = Q_o(t) - Q \qquad (۱۱)$$

بنابراین لازم است تا این سیگنالهای خطا توسط روندی مناسب و با استفاده از یکی از الگوریتم های بهینه سازی به سمت صفر همگرا شوند.از آنجایی که در ساختار پیشنهادی از الگوریتمهای بهینه سازی

[Downloaded from jiaeee.com on 2026-05-20]
[DOR: 20.1001.1.26765810.1395.13.4.2.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

جهت تسریع در قفل حلقه قفل شده تاخیر پیشنهادی استفاده شده است، لذا لازم است ایم الگوریتمها در حد نیاز این مقاله مورد بررسی قرار گیرند. اگر $f(x)$ معرف یک سیگنال ناخواسته باشد که باید روی آن بهینه سازی صورت گیرد، باید (۱۲) را با یکی از روشهای موجود حل کنیم:

$$\min f(x) \qquad x \in R^n \tag{۱۲}$$

تابع $f(x)$ به روشهای مختلفی بهینه سازی می شود. اگر گرادیان تابع $f(x)$ معلوم باشد یکی از ساده ترین و اساسی ترین روشها برای حل (۱۲) روش گرادیان می باشد که توسط کاوچی [۱۲] پیشنهاد شده است. در این روش مقدار x برای مینیمم کردن $f(x)$ از رابطه بازگشتی زیر محاسبه می‌شود:

$$x_{k+1} = x_k - \alpha_k g_k \tag{۱۳}$$

که g_k در آن گرادیان تابع f به ازای مقدار x_k می باشد ($g_k = \nabla f(x_k)$). بدیهی است زمانی استفاده از این روش سودمند می باشد که مقدار گرادیان لحظه ای ($\nabla f(x_k)$) موجود بوده و بدست آوردن آن پیچیده نباشد. همچنین α_k ضریبی می باشد که میزان سرعت همگرایی تابع را مشخص می کند. هر چه این مقدار بزرگتر باشد تابع هدف زودتر همگرا می شود به شرط آنکه سیستم را ناپایدار نکند.

در ساختار حلقه های قفل شده تاخیر، می‌توان تابع هدف برای بهینه سازی به صورت زیر در نظر گرفت:

$$J_\mu(t) = e_1^2(t) + e_2^2(t) \tag{۱۴}$$

با جایگزینی رابطه های (۷) و (۸) در رابطه (۱۱) داریم:

$$J_\mu(t) = (I_o(t) - I)^2 + (Q_o(t) - Q)^2 \tag{۱۵}$$

با قرار دادن رابطه های (۸) و (۹) در رابطه فوق داریم:

$$\begin{aligned} J_\mu(t) = ((&I(\cos N\omega\mu - 1) - Q\sin N\omega\mu)^2 \\ &+ I\sin N\omega\mu \\ &+ Q(\cos N\omega\mu - 1)^2) \end{aligned} \tag{۱۶}$$

برای بدست آوردن رابطه بازگشتی سلول تاخیر لازم است تا مقدار مشتق تابع هدف را نسبت به مقدار تاخیر μ بدست آوریم. با مشتق گرفتن رابطه (۱۶) نسبت به متغیر μ رابطه زیر به دست می آید:

$$\begin{aligned} \frac{\partial J_\mu(t)}{\partial\mu} = 2N\omega[&(-I\cos N\omega\mu \\ &+ Q\sin N\omega\mu)(I\sin N\omega\mu \\ &+ Q\cos N\omega\mu) \\ &+ 2I(I\sin N\omega\mu \\ &+ Q\cos N\omega\mu) \\ &+ (I\cos N\omega\mu \\ &- Q\sin N\omega\mu)(I\sin N\omega\mu \\ &+ Q\cos N\omega\mu) \\ &- Q(I\cos N\omega\mu \\ &- Q\sin N\omega\mu)] \end{aligned} \tag{۱۷}$$

با توجه به روابط (۸) و (۹) مقدار $\frac{\partial J_\mu(t)}{\partial\mu}$ را می توان بر حسب سیگنالهای $I_o(t)$ و $Q_o(t)$ به صورت زیر نوشت:

$$\begin{aligned} \frac{\partial J_\mu(t)}{\partial\mu} = 2N\omega\big(&-I_o(t)Q_o(t) + IQ_o(t) \\ &+ Q_o(t)I_o(t) - QI_o(t)\big) \end{aligned} \tag{۱۸}$$

رابطه فوق را به صورت زیر می توان بازنویسی کرد:

$$\begin{aligned} \frac{\partial J_\mu(t)}{\partial\mu} = 2N\omega\Big(&Q_o(t)\big(I - I_o(t)\big) \\ &+ I_o(t)(Q_o(t) - Q)\Big) \end{aligned} \tag{۱۹}$$

با توجه به روابط (۱۰) و (۱۱) رابطه فوق به صورت زیر ساده می‌شود.

$$\frac{\partial J_\mu(t)}{\partial\mu} = -2N\omega(Q_o(t)e_1(t) - I_o(t)e_2(t)) \tag{۲۰}$$

با به دست آمدن مشتق تابع هدف نسبت به مقدار μ رابطه بازگشتی μ در الگوریتم گرادیان به صورت زیر محاسبه می شود:

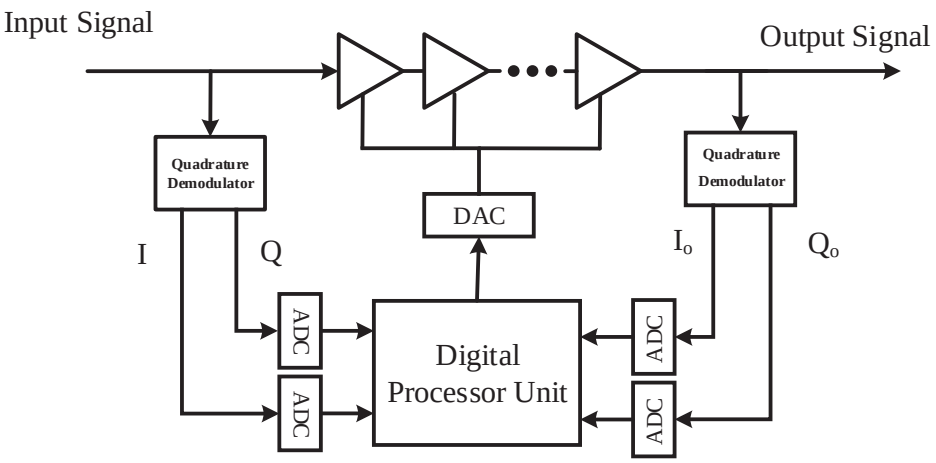
$$\mu_{k+1} = \mu_k - \alpha_k \frac{\partial J_\mu(t)}{\partial\mu} \tag{۲۱}$$

مقدار α_k در رابطه فوق ضریبی ثابت در نظر گرفته شده است. با تغییر دادن این ضریب سرعت همگرایی الگوریتم گرادیان تغییر می‌کند و هر چه این ضریب بزرگتر باشد سرعت الگوریتم بالاتر می رود. در ادامه این ضریب برابر با حداکثر مقداری قرار داده شده است که به ازای آن ساختار ارائه شده ناپایدار نگردد. با جایگذاری مقدار $\frac{\partial J_\mu(t)}{\partial\mu}$ از رابطه (۲۰) داریم:

$$\mu_{k+1} = \mu_k + \alpha_k 2N\omega(Q_o(t)e_1(t) - I_o(t)e_2(t)) \tag{۲۲}$$

از رابطه (۲۲) برای بستن حلقه فیدبک حلقه قفل شده تاخیر پیشنهادی استفاده می‌شود. در این صورت با استفاده از الگوریتم بهینه سازی گرادیان در مسیر فیدبک، می‌توان بلوکهای آشکارساز فاز-فرکانس، پمپ بار و فیلتر حلقه را حذف نمود. در حقیقت رابطه بازگشتی فوق این موضوع را بیان می‌دارد که چگونه در مسیر فیدبک از سیگنالهای خطای تعریف شده بهره گرفت، تا بتوان حلقه قفل شده تاخیر را به شرایط قفل نزدیک نمود. ساختار پیشنهادی جدید بدون نیاز به آشکار ساز فاز-فرکانس، پمپ بار و فیلتر حلقه در شکل-۲ نشان داده شده است. با توجه به این شکل ساختار پیشنهادی شامل دمودلاتور، مبدل داده و یک پردازنده می باشد. پردازنده مقدار بهینه تاخیر هر سلول را برای رساندن سیگنال خطا به سمت صفر تنظیم می کند. باید به این نکته توجه داشت که حضور پردازنده منتهی به اتلاف توان اضافی نمی شود زیرا در سیستم های مخابرات دیجیتال از یک پردازنده برای کد کردن، دیکد کردن، آشکارسازی و ... استفاده می شود. از همین پردازنده می توان برای عملکرد مورد نظر در ساختار پیشنهادی استفاده نمود. همچنین مقادیر I و Q در این شکل به ترتیب

[Downloaded from jiaeee.com on 2026-05-20]
[DOR: 20.1001.1.26765810.1395.13.4.2.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016



شکل (۲): ساختار دیجیتالی پیشنهادی برای حلقه‌های قفل شده تاخیر آنالوگ

مولفه‌های همفاز و متعامد سیگنال ورودی هستند. اگر این ضرایب از سیگنال خروجی ماژولهای قبلی در دسترس نباشد، با قرار دادن یک دمدولاتور متعامد به راحتی می‌توان این مولفه‌ها را استخراج کرد. اگر پیش از این ساختار ماژول دیگری نباشد که ورودی را تامین کند، برای I و Q مقادیری دلخواه می‌توان تعریف کرد. با تغییر دادن این مقادیر دامنه و فاز سیگنال ورودی تغییر می‌کند و در عملکرد کلی مدار بی تاثیر است.

مقدار تاخیر بهینه توسط الگوریتم گرادیان طبق رابطه (۲۲) تغییر می کند تا به مقدار ماندگار خود برسد. در حالت ماندگار مقدار μ_k با μ_{k+1} برابر می شود. در این شرایط باید رابطه زیر برقرار باشد.

$$Q_o(t)e_1(t) - I_o(t)e_2(t) = 0 \qquad (۲۳)$$

با جایگذاری e_1 و e_2 از رابطه های (۱۰) و (۱۱) در معادله فوق داریم:

$$Q_o(t)(I_o(t) - I(t)) - I_o(t)(Q_o(t) - Q(t)) = 0 \qquad (۲۴)$$

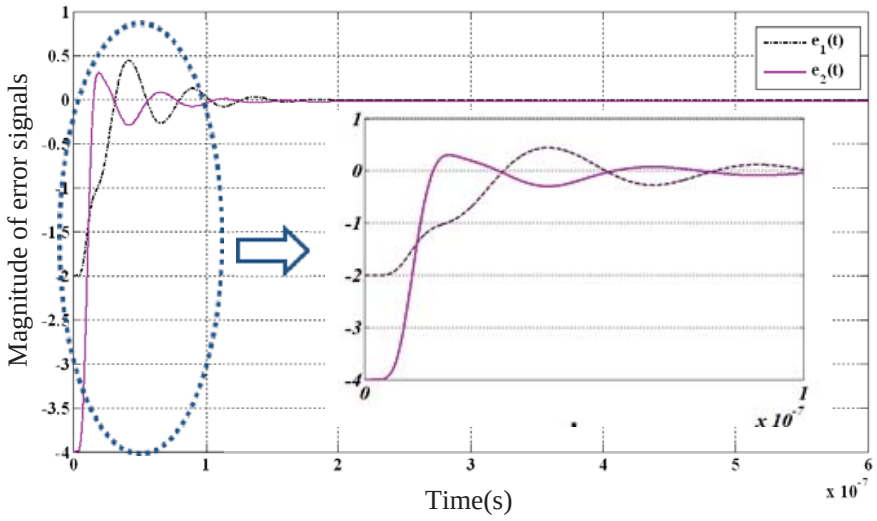
با ساده کردن عبارت فوق داریم:

$$I(t)Q_o(t) - Q(t)I_o(t) = 0 \qquad (۲۵)$$

با صفر شدن رابطه (۲۵)، $Q_o(t)$ با Q و $I_o(t)$ با I برابر می شود. در نتیجه با توجه به روابط (۱۰) و (۱۱) مقادیر e_1 و e_2 صفر می شوند و سیگنال خروجی دقیقا با سیگنال ورودی همفاز می شود. در قسمت بعدی شبیه سازی های لازم را برای اثبات ادعاهای مطرح شده انجام می‌دهیم.

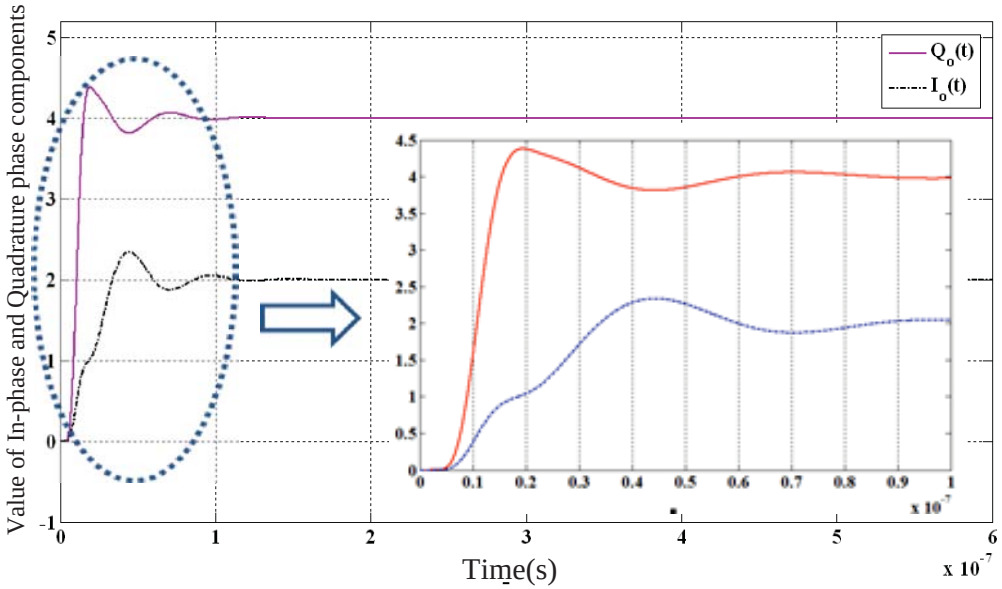
۳- شبیه‌سازی و نتایج

در این بخش ساختار مورد نظر را توسط نرم افزار متلب و در استاندارد بلوتوث شبیه سازی می کنیم تا از صحت عملکرد آن مطمئن شویم. فرکانس ورودی برای شبیه سازی را برابر با ۴۸۰ مگاهرتز و تعداد سلول تاخیر را برابر با ۵ انتخاب می کنیم تا فرکانس خروجی برابر با ۲/۴ گیگاهرتز به دست آید.



شکل (۳): اندازه سیگنالهای خطای $e_1(t)$ و $e_2(t)$ بر حسب زمان

[Downloaded from jiaeee.com on 2026-05-20]
[DOR: 20.1001.1.26765810.1395.13.4.2.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016



شکل (۴): اندازه مولفه‌های همفاز و متعامد سیگنال خروجی بر حسب زمان

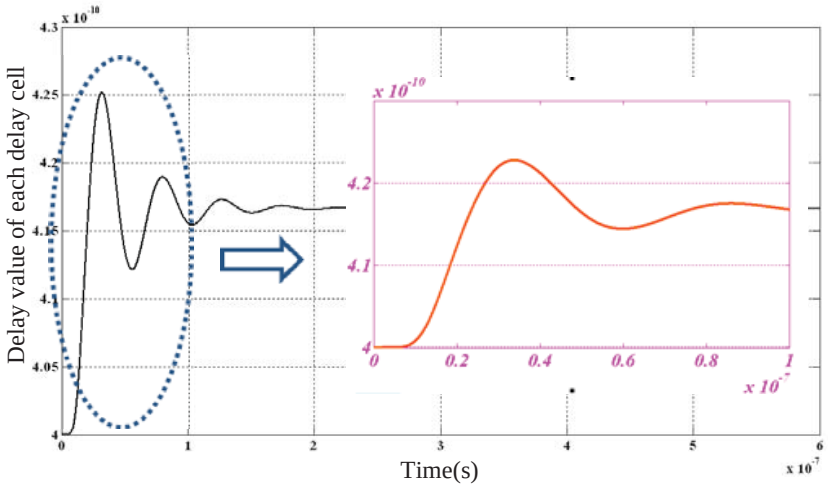
شکل-۳ اندازه سیگنالهای خطای $e_1(t)$ و $e_2(t)$ را بر حسب زمان نشان می دهد. با توجه به شکل ۶ مقدار خطا در زمانهای ابتدایی به دلیل غیر همفاز بودن خروجی با ورودی، غیر صفر می باشد اما به تدریج به سمت صفر میل می کند. صفر شدن مقدار نهایی سیگنالهای $e_1(t)$ و $e_2(t)$ همفاز بودن خروجی با ورودی را نتیجه می دهد.

شکل-۴ تغییرات مولفه های همفاز و متعامد سیگنال خروجی را بر حسب زمان نشان می دهد. از آنجایی که مولفه‌های همفاز و متعامد ورودی به ترتیب برابر با ۲ و ۴ می باشد، لذا مقدار این مولفه‌ها در خروجی در حالت ماندگار نیز باید به همین مقادیر میل کند. با برابر شدن مولفه‌های مشابه در ورودی و خروجی مقدار خطا نیز صفر شده و خروجی با ورودی همفاز می‌شود. با توجه به این شکل زمان قفل شدن این ساختار با دقت ۵٪ تقریبا برابر با ۱۰۰ نانو ثانیه است. با توجه به فرکانس ورودی ۲/۴ گیگاهرتز، می‌توان گفت که ساختار پیشنهادی زمان قفلی حدود ۴۲ سیکل کلاک است.

شکل-۵ مقدار تاخیر هر سلول تاخیر را نسبت به زمان نشان می دهد. با توجه به این شکل مقدار اولیه هر سلول تاخیر ۰/۴ نانوثانیه می‌باشد که این مقدار با توجه به مقادیر خطا و مولفه های همفاز و متعامد سیگنال خروجی، طبق الگوریتم گرادیان به گونه ای تغییر می کند تا مقدار خطا را صفر کند.

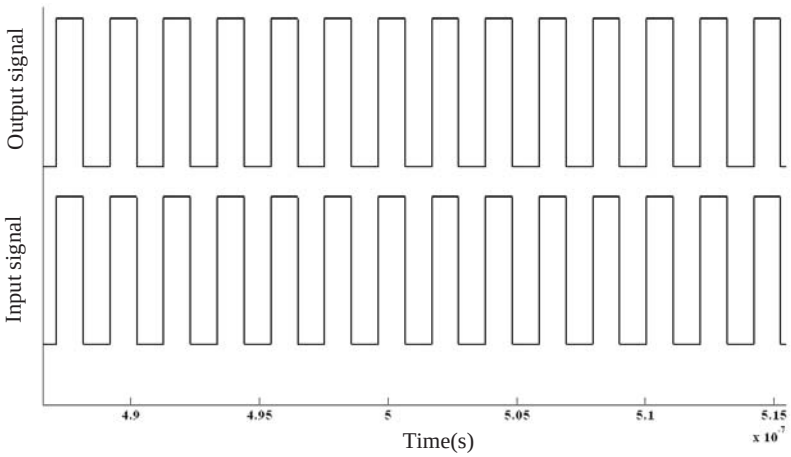
همچنین همفاز شدن شکل های ورودی با خروجی در شکل-۶ نشان داده شده است. باید توجه داشت که این شکل موج ها در حالت پایدار و بعد از شرایط قفل کامل برای حلقه قفل شده تاخیر پیشنهادی رسم شده است.

شکل- ۷ سیگنال خروجی و خروجی سنتز شده را نشان می دهد. با

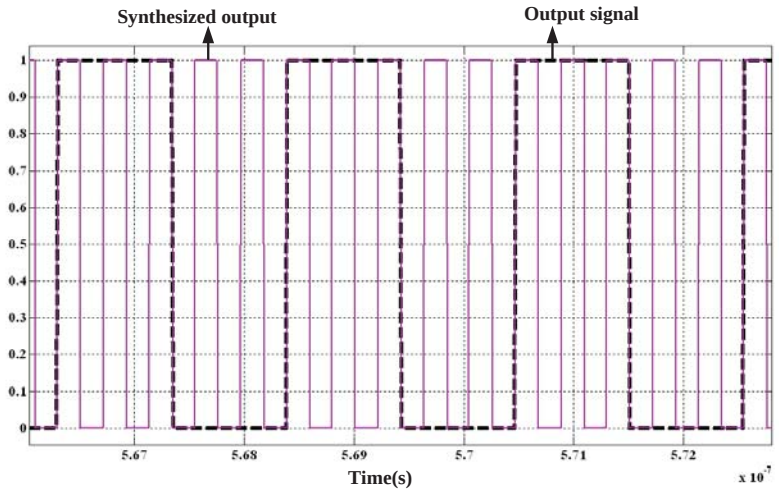


شکل (۵): مقدار تاخیر هر سلول تاخیر بر حسب زمان

[Downloaded from jiaeee.com on 2026-05-20]
[DOR: 20.1001.1.26765810.1395.13.4.2.2]



شکل (۶): شکل موج سیگنالهای ورودی و خروجی



شکل (۷): شکل موج سیگنالهای خروجی و خروجی سنتز شده

توجه به این شکل خروجی سنتز شده دارای فرکانسی ۵ برابر بزرگتر از فرکانس خروجی می باشد.

در این مقاله هدف، پیشنهاد ساختاری جدید برای حلقه‌های قفل شده تاخیر بوده که با به کارگیری الگوریتم گرادیان، بلوکهای محدود کننده فرکانس کاری و سرعت در حلقه قفل شده تاخیر مانند پمپ بار و آشکارسازفاز حذف گردیده و ساختاری با فرکانس کاری بالا و سرعت بالا به دست آمده است. بنابراین هسته اصلی ساختار موردنظر دیجیتالی می باشد.

در جدول -۱ مقایسه‌ای بین ویژگی‌های فرکانسی و تعداد سیکل قفل شدن ساختار ارئه شده و سایر کارهای انجام گرفته بر روی حلقه‌های قفل شده تاخیر ارائه شده است. مزیت ساختار گستره فرکانسی بسیار مناسب و قابلیت عملکرد آن در فرکانسهای بالا است. همچنین همانطور که از این جدول بر می‌آید، ساختار ارائه شده با وجود کار در فرکانسهای بالا دارای سرعت مناسب (تعداد سیکل قفل شدن مناسب) است.

۴- نتیجه گیری

در این مقاله یک حلقه قفل شده تاخیر کاملا دیجیتالی با به کارگیری الگوریتم گرادیان ارائه شده است. ساختار ارائه شده با توجه به حذف بلوکهای آشکارساز فاز-فرکانس، پمپ بار و فیلتر حلقه توانسته است سرعت مدار را افزایش دهد. جهت طراحی بهینه ساختار پیشنهادی، از یک پردازنده که می‌تواند در ساختار فرستنده- گیرنده‌های دیجیتال نیز مورد استفاده قرار گیرد، استفاده شده است. ساختار ارائه شده با توجه به نتایج شبیه‌سازی، دارای سرعت قفل شدن اندک و قابلیت کار در فرکانسهای بالاتر نسبت به حلقه‌های قفل شده تاخیر مشابه است.

مراجع

[1] Young-Ho Kwak; Yongtae Kim; Sewook Hwang; Chulwoo Kim, "A 20 Gb/s Clock and Data Recovery With a Ping-Pong Delay Line for Unlimited Phase Shifting in 65 nm CMOS Process," Circuits and Systems

[Downloaded from jiaeee.com on 2026-05-20]

[DOR: 20.1001.1.26765810.1395.13.4.2.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

جدول (۱): مقایسه ساختار ارائه شده و کارهای مشابه بر روی حلقه‌های قفل تاخیر

مراجع	گستره فرکانس کاری	تعداد سیکل قفل شدن	تخمین زمان قفل در فرکانس ۲/۴ گیگاهرتز
[۱۳]	۴۰۰-۸۰۰ مگا هرتز	۷۵-۳۷۴	۱۵۵ نانو ثانیه
[۱۴]	۲/۱- ۳/۵ گیگاهرتز	۲۵۶	۱۰۷ نانو ثانیه
[۱۵]	۶ – ۱۳۰ مگاهرتز	۱۱۳۰	۴۷۰ نانو ثانیه
ساختار پیشنهادی	۱/۲-۳/۶ گیگاهرتز	۴۲	۱۰۰ نانو ثانیه

[۲] جمال قاسمی، **محمد غلامی**، "بررسی ضرایب بهینه برای بهره خط تاخیر در حلقه قفل شده تاخیر جهت اکتساب زمان نشست کم"، مجله انجمن مهندسی برق و الکترونیک ایران، سال سیزدهم، شماره دوم، تابستان ۱۳۹۵.

[۳] حمید رحیم پور، **محمد غلامی**، غلامرضا اردشیر، حسین میارنعیمی، "طراحی ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر دیجیتالی و با سرعت بالا "، نشریه مهندسی برق و الکترونیک ایران، چاپ ۱۲، شماره ۲، پاییز ۱۳۹۴.

[4] Won-Joo Yun; Hyun-Woo Lee; Dongsuk Shin; Suki Kim; , "A 3.57 Gb/s/pin Low Jitter All-Digital DLL With Dual DCC Circuit for GDDR3 DRAM in 54-nm CMOS Technology," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.19, no.9, pp.1718-1722, Sept. 2011.

[5] Seon-Kyoo Lee; Byungsub Kim; Hong-June Park; Jae-Yoon Sim, "A QDR-Based 6-GB/s Parallel Transceiver With Current-Regulated Voltage-Mode Output Driver and Byte CDR for Memory Interface," Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.60, no.2, pp.91,95, Feb. 2013.

[6] Gholami, Mohammad, and Gholamreza Ardeshir. "Analysis of DLL jitter due to voltage-controlled delay line." Circuits, Systems, and Signal Processing 32, no. 5 (2013): 2119-2135.

[7] Chi-Nan Chuang; Shen-Iuan Liu, "A 3–8 GHz Delay-Locked Loop With Cycle Jitter Calibration," Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.55, no.11, pp.1094,1098, Nov. 2008.

[8] Xia, L.; Chen, H.; Huang, Y.; Hong, Z.; Chiang, P.Y., "100-phase, dual-loop delay-locked loop for impulse radio ultra-wideband coherent receiver synchronisation," Circuits, Devices & Systems, IET , vol.5, no.6, pp.484,493, November 2011.

[9] Soyuer, M.; Meyer, R.G., "Frequency limitations of a conventional phase-frequency detector," Solid-State Circuits, IEEE Journal of , vol.25, no.4, pp.1019,1022, Aug 1990.

[10] Wu-Hsin Chen; Inerowicz, M.E.; Byunghoo Jung, "Phase Frequency Detector With Minimal Blind Zone for Fast Frequency Acquisition," in Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.57, no.12, pp.936-940, Dec. 2010.

[11] Wu-Hsin Chen; Inerowicz, M.E.; Byunghoo Jung, "Phase Frequency Detector With Minimal Blind Zone for Fast Frequency Acquisition," Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.57, no.12, pp.936,940, Dec. 2010.

[12] A. Cauchy, Méthodes générales pour la résolution des systèmes déquations simultanées, C.R. Acad. Sci. Par. 25 (1847), pp. 536–538.

[13] Kyungho Ryu; Dong-Hoon Jung; Seong-Ook Jung, "Process-Variation-Calibrated Multiphase Delay Locked Loop With a Loop-Embedded Duty Cycle Corrector," in Circuits and Systems II: Express Briefs, IEEE Transactions on , vol.61, no.1, pp.1-5, Jan. 2014.

[14] A. Alvandpour, R. K. Krishnamurthy, D. Eckerbert, S. Apperson, B. Bloechel, and S. Borkar, "A 3.5 GHz 32mW150 nm multiphase clock generator for high-performance microprocessors," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, 2003, pp. 112–113, 489.

[15] H. H. Chang, J. W. Lin, C. Y. Yang, and S. I. Liu, "A wide-range delay-locked loop with a fixed latency of one clock cycle," IEEE J. Solid-state Circuits, vol. 37, no. 8, pp. 1021–1027, Aug. 2002.

[Downloaded from jiaeee.com on 2026-05-20]

[DOR: 20.1001.1.26765810.1395.13.4.2.2]