

طراحی PLL دو حلقه‌ای مبتنی بر آشکارسازی فاز پنجره‌ای با سرعت قفل بالا، توان مصرفی و اسپور مرجع پایین

مصطفی عابدی^۱

جواد یاوند حسنی^۲

۱- دانشجوی کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه علم و صنعت ایران- تهران- ایران

mostafa.abedi64@yahoo.com

۲- استادیار- دانشکده مهندسی برق- دانشگاه علم و صنعت ایران- تهران- ایران

yavand@iust.ac.ir

چکیده: در این مقاله حلقه قفل، فاز دو حلقه‌ای با سرعت قفل بالا، توان مصرفی پایین و اسپور مرجع پایین ارائه شده است. فرکانس خروجی مدار طراحی شده 3.2 GHz و فرکانس مرجع 50 MHz می‌باشد و مناسب برای کاربرد وايمکس می‌باشد. در اين طراحی پس از قفل نهایی قسمتی از مدار تاثیری در عملکرد مدار نداشته و می‌توان آنها را غیرفعال کرد، لذا توان مصرفی بسیار پایین می‌باشد. روش آشکارسازی فاز، آشکارسازی پنجره‌ای است. ساختار پمپ بار پیشنهادی به گونه‌ای می‌باشد که سبب کاهش اسپور مرجع می‌شود. همچنین از یک ساختار جدید حلقه قفل فرکانس، جهت کاهش زمان قفل حلقه استفاده شده است. در ساختار پیشنهادی شبیه‌سازی مدار پیشنهادی با استفاده از بسته طراحی تکنولوژی CMOS-RF $0.18\text{ }\mu\text{m}$ انجام شده است. در ساختار پیشنهادی اسپور مرجع برابر با -74 dBc ، زمان قفل $1.9\text{ }\mu\text{s}$ و توان مصرفی 4.15 mw حاصل شده است.

كلمات کلیدی: حلقه قفل فاز، سرعت قفل حلقه، اسپور مرجع، آشکارساز فاز پنجره‌ای، پمپ بار، تقسیم کننده فرکانس، نوسان-ساز کنترل شونده با ولتاژ

تاریخ ارسال مقاله: ۱۳۹۳/۱۲/۲۲

تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۰۶/۰۸

تاریخ پذیرش مقاله: ۱۳۹۵/۱۰/۰۴

نام نویسنده‌ی مسئول: دکتر جواد یاوند حسنی

نشانی نویسنده‌ی مسئول: تهران، نارمک، دانشگاه علم و صنعت ایران، دانشکده برق



مقدمه

زمان قفل کوتاه روش مطلوبی نمی‌باشد [۵-۸]. در مقالات [۵] از روش سوئیچینگ پهنهای باند جهت کاهش زمان قفل استفاده شده است. ایده اصلی این روش‌ها، افزایش پهنهای باند مدار در زمان گذرا و کاهش پهنهای باند در زمان قفل حلقه می‌باشد. اگرچه طرح پیشنهاد شده قادر به کاهش زمان قفل بطور قابل ملاحظه نیست.علاوه، با توجه به پیکره بندی و پیچیدگی مدار، توان مصرفی افزایش می‌باشد.

از دیگر چالش‌های طراحی PLL می‌توان به کاهش اسپور مرجع اشاره کرد. اسپور مرجع بالا در باندهای مجاور تداخل ایجاد می‌کند و سبب مختل کردن عملکرد فرستنده و گیرنده می‌شود [۹]. یکی از روش‌های متدالو برای کاهش این پدیده استفاده از تقویت کننده در مدار CP می‌باشد [۱۰-۱۲]. از معایب روش ذکر شده می‌توان به افزایش پیچیدگی مدار، افزایش نویز فاز و همچنین افزایش توان مصرفی اشاره کرد. اسپور مرجع مناسب با $A_m K_{VCO} / (2f_{REF})$ دامنه A_m ریپل ولتاژ در رودی VCO، K_{VCO} ، VCO، و f_{REF} فرکانس مرجع می‌باشد [۹]. لذا، با استفاده از VCO با K_{VCO} کوچکتر سطح اسپور مرجع در طیف خروجی کمتر خواهد بود. قابل ذکر است که در صورت کوچک بودن K_{VCO} محدوده فرکانسی کاهش می‌یابد که برای جبران آن از سوئیچ‌های خازنی استفاده می‌شود [۱۳]. گرچه، PLL با استفاده از سوئیچ‌های خازنی، بکارگیری ساختار کالیبراسیون فرکانسی دیجیتال و متعاقباً افزایش زمان قفل را اجتناب ناپذیر می‌سازد.

توان مصرفی نیز یک مشخصه مهم دیگر در PLL می‌باشد که در کاربردهای قابل حمل اهمیت فراوانی دارد.

در این مقاله PLL دو حلقه‌ای پیشنهاد شده است که پس از قفل نهایی، قسمتی از مدار در مشخصه‌های کلی PLL نقشی نداشته و می‌توان آن قسمت‌ها را غیرفعال کرد، که در این صورت توان مصرفی کاهش خواهد یافت. همچنین برای پیاده سازی مدار تقسیم کننده فرکانسی از فلیپ فلاب با منطق TSPC استفاده شده است که در این صورت کاهش بیشتری در توان مصرفی حاصل می‌شود [۴].

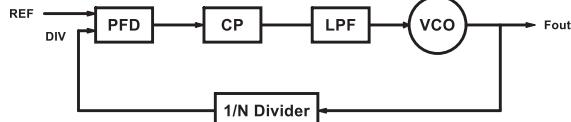
ساختار پایه‌ای PLL دوحلقه‌ای طراحی شده برگرفته از دو مرجع [۱۴] و [۱۵] می‌باشد. در طرح ارائه شده در این مقاله، در راستای بهبود عملکرد و برطرف نمودن برخی نقاط ضعف طرح‌های موجود دو ایده جدید زیر مطرح می‌شود:

- طراحی مدار ایجادکننده DZ به گونه‌ای که سبب کاهش زمان قفل حلقه شده است.
- اصلاح مدار پمپ بار با جریان متغیر با استفاده از سوئیچ-های مجازی

قابل ذکر است که ساختار APDPLL استفاده شده در مرجع [۱۵] برای اهداف موجود در این مقاله (طراحی با فرکانس خروجی 3.2 GHz و با تکنولوژی 0.18 um) نیازمند تغییر ساختاری جزیی نیز بوده است. به این صورت که خروجی VCO به دلیل فرکانس نسبتاً

حلقه قفل فاز^۱ یکی از قسمت‌های کلیدی در اکثر مدارات رادیویی در ارتباطات مخابراتی است. در واقع وظیفه حلقه قفل فاز تولید سیگنال به عنوان نوسان‌ساز محلی می‌باشد. از مشخصه‌های مهم PLL می‌توان به نویز فاز، زمان قفل حلقه^۲، اسپور مرجع^۳ و توان مصرفی اشاره کرد. مشخصه‌های مذکور دارای تعامل با یکدیگر می‌باشند که چالش‌هایی را در فرآیند طراحی تحمیل می‌کنند [۱].

در شکل (۱) ساختار یک PLL کلاسیک نشان داده شده است که شامل نوسان‌ساز کنترل شونده با ولتاژ^۴، فیلتر پایین‌گذر^۵، پمپ بار^۶، آشکارساز فاز/فرکانس^۷ و تقسیم کننده فرکانسی می‌باشد. خالصه عملکرد کنترلی حلقة به این صورت می‌باشد که در صورت تغییر فرکانس مرجع (REF) و یا تغییر نسبت تقسیم در تقسیم کننده فرکانسی (در صورت استفاده از تقسیم کننده قابل برنامه‌ریزی)، بین سیگنال DIV و اختلاف فاز/فرکانس ایجاد می‌شود. به ازای اختلاف فاز/فرکانس بین سیگنال DIV و REF در خروجی پمپ بار سیگنال جریانی ایجاد می‌شود که توسط فیلتر حلقة به ولتاژ تبدیل شده و جهت به حداقل رساندن اختلاف فاز/فرکانس به VCO اعمال می‌شود [۲]. مشابه این مکانیزم در مدارهای حلقة قفل تاخیر برای تنظیم تاخیر کلاک در مسیرهای دیجیتال بکار می‌رود [۳].



شکل (۱): بلوك دیاگرام یک PLL کلاسیک

زمان قفل حلقة به مدت زمانی گفته می‌شود که خروجی PLL با خطای معین و کوچکی به حول فرکانس مطلوب می‌رسد. از طرفی در زمان قفل حلقة، جهت پایدار ماندن سیستم کلیدزنی در PFD و CP ادامه خواهد یافت. عدم تطبیق در زمان کلیدزنی و همچنین عدم تطبیق در جریان شارژ و دشارژ سبب ایجاد ریپل در ولتاژ کنترل VCO می‌شود. ریپل ایجاد شده در ولتاژ کنترل VCO، در طیف خروجی PLL، به صورت مولفه‌های ناخواسته در مضارب فرکانس مرجع نمایان می‌شود. این طیف ناخواسته موسوم به اسپور مرجع می‌باشد [۴].

در طراحی PLL هدف طراحان کاهش زمان قفل حلقة و همچنین کاهش سطح اسپور مرجع در طیف خروجی می‌باشد. بهبود دو مشخصه زمان قفل و اسپور مرجع در تناقض با همدیگر هستند. بدین معنی که با افزایش پهنهای باند PLL زمان قفل کاهش می‌یابد در حالیکه سطح اسپور مرجع افزایش می‌یابد. همچنین با کاهش پهنهای باند PLL زمان قفل افزایش می‌یابد، در حالیکه اسپور مرجع تضعیف می‌شود [۱]. بنابراین، افزایش پهنهای باند جهت حصول PLL با



خودکار CP2 در FLL را غیرفعال می‌کند. سپس حلقه اصلی فرآیند قفل نهایی که نویز فاز، اسپور مرجع و توان مصرفی PLL را مشخص می‌کند را بر عهده می‌گیرد. بعد از قفل حلقه، CP2، PFD، DZ، VCO و تقسیم‌کننده 1/32 مربوط به FLL، ایجاد‌کننده آنها را بر عهده داشت و می‌توان جهت کاهش مصرف توان آنها را غیرفعال کرد [۱۴-۱۵]. در واقع می‌توان گفت که در فرآیند قفل حلقه، FLL نقش تنظیم شدید^{۱۴} و حلقه اصلی نقش تنظیم دقیق^{۱۵} را ایفا می‌کند. مزیت PLL دو حلقه‌ای مبتنی بر APD یا APDPLL نسبت به PLL دو حلقه‌ای بدون تقسیم‌کننده در [۱۴] اسپور مرجع پایین می‌باشد. به این دلیل که در [۱۴] برای مقایسه فاز از سیگنال VCO به صورت مستقیم نمونه‌برداری می‌شود. اما در APDPLL برای مقایسه فاز، به جای نمونه‌برداری مستقیم از خروجی VCO، سیگنال ولتاژی با شکل مناسب و متناسب با اختلاف فاز، VCO توسط APD و PAC تولید می‌شود. در نتیجه با این روش اسپور مرجع کاهش می‌یابد. و همچنین APDPLL در مقایسه با PLL بدون تقسیم‌کننده در [۱۶] می‌تواند سهم نویز CP را به طور قابل ملاحظه‌ای کاهش داده و همچنین سبب کاهش توان مصرفی آن شود. در APDPLL حلقه اصلی به طور مستقیم اختلاف فاز بین سیگنال مرجع و خروجی تقسیم‌کننده فرکانسی 1/2 را در پنجره زمانی APD آشکار می‌کند. بهره APD برابر است با:

$$K_{APD} = \frac{2T_{vco}}{2\pi} = \frac{2}{\omega_{vco}} \quad (1)$$

سپس PAC سیگنال‌های خروجی APD را به سیگنال‌های ولتاژ آنالوگ تبدیل کرده و متناسب با خطای فاز، دامنه جریان CP1 را کنترل می‌کند. رابطه بهره PAC به صورت

$$K_{PAC} = \frac{\Delta V}{\Delta t} = \frac{V_{max}}{T_{vco}} \quad (2)$$

می‌باشد که در آن V_{max} حداقل ولتاژ خروجی PAC می‌باشد.

بهره CP(CP2) نیز به صورت رابطه (۳) بیان می‌شود.

$$K_{CP} = \frac{\Delta i_{CP}}{\Delta v} = gm \quad (3)$$

که در آن gm ترازسانایی ترانزیستور در پمپ بار طراحی شده می‌باشد.

در واقع APD به طور مستقیم فازهای بین سیگنال مرجع و خروجی تقسیم‌کننده 1/2 را مقایسه می‌کند و در خروجی پالس‌های up و dn را ایجاد می‌کند و سپس PAC پالس‌های up/dn را به سیگنال‌های ولتاژ آنالوگ VP/VN، که دامنه آنها متناسب با عرض پالس‌های up/dn می‌باشد تبدیل می‌کند. سرانجام پمپ بار VP/VN را به جریان شارژ I_{up} و دشارژ I_{dn} تبدیل می‌کند.

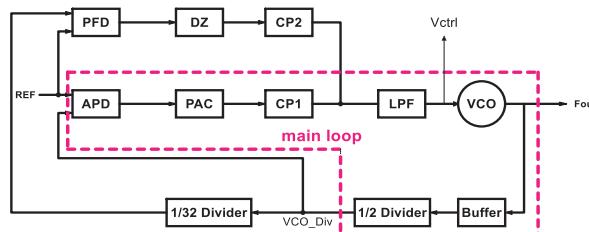
بالا، پس از عبور از یک تقسیم‌کننده فرکانسی 1/2 به APD اعمال شده است.

در طرح ارائه شده در این مقاله، با افزودن سوئیچ‌های مجازی در خروجی مدار CP با جریان متغیر، تضعیف بیشتری در اسپور مرجع حاصل شده است. همچنین در این مدار، بخش ایجاد کننده ناحیه مرده به گونه‌ای متفاوت در جهت حصول زمان قفل کوتاه طراحی شده است. لذا PLL طراحی شده ویژگی اسپور مرجع و زمان قفل سریع را تواناً دارد می‌باشد.

در ادامه مقاله ساختار کلی PLL پیشنهاد شده تشریح خواهد شد. سپس طراحی قسمت‌های مختلف به همراه ملاحظات بررسی خواهد شد و در پایان نتایج شبیه‌سازی بررسی می‌شود.

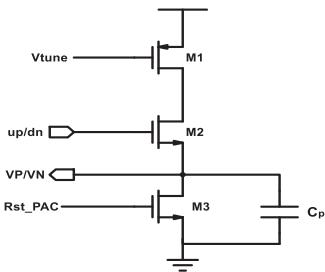
۱- ساختار کلی مدار پیشنهادی

در شکل (۲) دیاگرام بلوکی PLL دو حلقه‌ای پیشنهادی نشان داده شده است. حلقه اصلی^{۱۶} شامل آشکارساز پنج‌حراء^۹، مبدل فاز به آنالوگ^{۱۰}، CP1، فیلتر حلقه، VCO، بافر، تقسیم‌کننده فرکانسی 1/2 می‌باشد. سیگنال خروجی VCO که سینوسی می‌باشد، پس از عبور از F_{vco}/2 بافر و تقسیم‌کننده فرکانسی به سیگنالی مربعی با فرکانس 2/VCO_Div. به عبارتی دیگر، ورودی‌های آشکارساز پنجره‌ای دو سیگنال با فرکانس‌های f_{ref}/2 و f_{vco}/2 می‌باشند. جهت اطمینان از قفل فرکانسی صحیح و بطرک کردن نگرانی راجع به قفل حلقه در زیر هارمونیک‌ها، از حلقه قفل فرکانسی^{۱۱} استفاده شده است [۱۳-۱۴]. فیلتر پایین گذر، VCO، بافر و تقسیم‌کننده 1/2 در هر دو حلقه مشترک می‌باشد. مشابه PLL کلاسیک، در حلقه قفل فرکانسی نیز از تقسیم‌کننده فرکانسی، CP، PFD استفاده شده است، با این تفاوت که در بین CP و PFD (CP2) از یک ایجاد‌کننده ناحیه مرده^{۱۲} استفاده شده است [۱۴-۱۵].

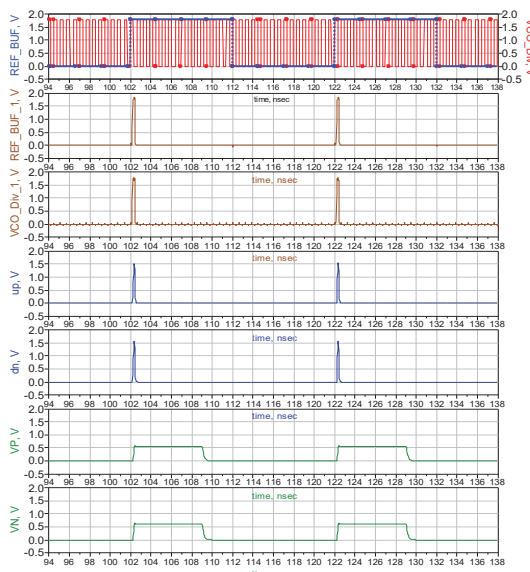


شکل (۲): ساختار کلی PLL دو حلقه‌ای پیشنهادی

در ابتدای فرآیند هدف‌یابی فرکانس^{۱۳}، FLL خطای بین سیگنال مرجع و خروجی تقسیم‌کننده 1/32 را آشکار می‌کند. گرچه به طور همزمان حلقه اصلی نیز خطای فاز بین سیگنال مرجع و VCO را آشکار می‌کند، اما اثر FLL به دلیل جریان بالای REF (REF) غالب می‌باشد. هنگامی که خطای فاز/فرکانس بین سیگنال مرجع (REF) و VCO_Div به اندازه کافی کم شد، مدار ایجاد‌کننده DZ می‌باشد.



شکل (۴) مدار مبدل فاز به آنالوگ (PAC) [۱۵]



شکل (۵): شکل موج نقاط مختلف APD/PAC در حالت قفل

۲-۲- پمپ بار

شکل (۶) مدار CP بکار برده شده در حلقه اصلی در [۱۵] را نشان می‌دهد. مزیت این CP نسبت به CP های مورد استفاده در PLL کلاسیک این است که دامنه جریان خروجی متغیر با اختلاف فاز سیگنال‌های مقایسه است و در حالت قفل پالس‌های I_{dn} و I_{up} دارای دامنه و عرض یکسان می‌باشند که در این صورت اسپور کاهش می‌یابد [۱۵].

دامنه جریان I_{dn} و I_{up} متناسب با ولتاژ آنالوگ VP(VN) خروجی PAC می‌باشد. در مدار CP یک زوج تفاضلی ولتاژ آنالوگ را به جریان تبدیل کرده و از آینه جریان M5 و M6 برای ترثیریک جریان به فیلتر حلقه استفاده می‌شود. برای برطرف کردن مشکل عدم تطبیق سوئیچ‌ها که در پمپ بارهای معتمد روی رایج است، عرض پالس‌های I_{dn} و I_{up} توسط سیگنال‌های PUL_CP و PULB_CP که معکوس همیگر می‌باشند کنترل می‌شود. بهره CP را به صورت رابطه (۴) نیز می‌توان بیان کرد.

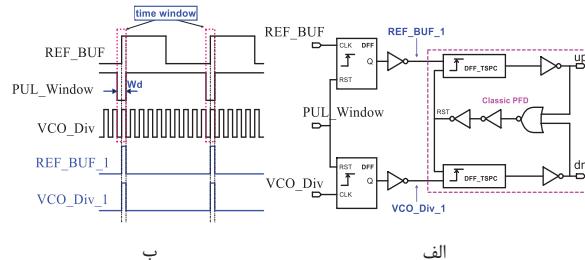
$$K_{CP} = \frac{\Delta i_{CP}}{\Delta v} = gm = \mu_n \cdot C_{ox} \left(\frac{W}{L} \right)_{7,8} (V_{GS} - V_{thn}) \quad (4)$$

۲- طراحی قسمت‌های مختلف PLL دو حلقة

در این قسمت طراحی و شبیه‌سازی قسمت‌های مختلف ساختار دو حلقه‌ای پیشنهادی انجام شده است و ملاحظات طراحی هر قسمت تشریح شده است.

۲-۱- طراحی APD/PAC

در شکل (۳)-الف نمایی از ساختار APD و در شکل (۳)-ب نمودار زمانی مربوط به آن در حالت قفل نشان داده شده است [۱۵]. APD به صورت مستقیم فازهای بین REF و VCO_Div را در پنجره زمانی مقایسه می‌کند. هنگامی که سیگنال کنترل زمانی REF_PUL_window و VCO_Div را مقایسه می‌کند. فرکانس سیگنال‌های REF و VCO_Div برابر با فرکانس REF می‌باشد و جهت اجتناب از "از دست دادن لبه" در مقایسه فاز، عرض پنجره زمانی Wd باستی کمی پهن‌تر از دوره تناوب سیگنال VCO_Div باشد. لبه بالارونده سیگنال REF در نقطه وسط عرض Wd قرار می‌گیرد تا APD بتواند خطای فاز مثبت و منفی را به صورت متقاضن آشکار کند [۱۴].



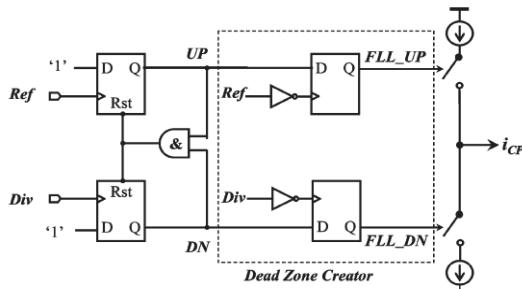
شکل (۳) (الف) ساختار APD (ب) نمودار زمانی APD در حالت قفل [۱۵]

مدار PAC در شکل (۴) نشان داده شده است. PAC سیگنال up/dn را به ولتاژ آنالوگ VP/VN تبدیل می‌کند. سیگنال زمان جاری شدن جریان در خازن Cp را مشخص می‌کند که نهایتاً ولتاژ آنالوگ و متناسب با عرض پالس تولید می‌شود. پس از انجام تبدیل، ولتاژ خروجی PAC ثابت می‌ماند تا زمانی که سیگنال بازنگشی این مدار فعال شود [۱۵].

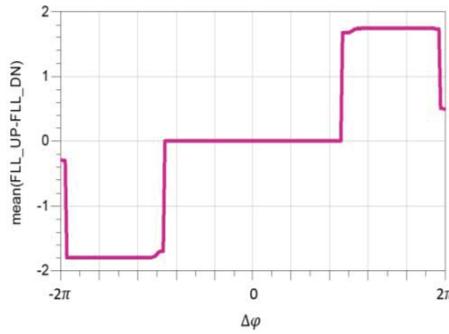
در شکل (۵) خروجی APD و PAC که نتیجه شبیه‌سازی می‌باشد نشان داده شده است. خروجی‌های نشان داده شده در این شکل در حالت همتراز بودن لبه‌های بالارونده ورودی‌های APD (در حالت قفل حلقه) می‌باشند. همانطور که ملاحظه می‌شود در حالت قفل خروجی‌های PAC، یعنی VP/VN برابر و حداقل مقدار خود را دارا هستند.

همانطور که در شکل (۱۰) نشان داده شده است، جهت پیاده‌سازی مداری این ایده از شش معکوس کننده سری شده با هم که به صورت خاص طراحی شده‌اند و در ورودی فلیپ‌فلاپ‌های قسمت ایجاد کننده DZ قرار گرفته‌اند استفاده می‌شود. بدین صورت که سیگنال‌های Ref همان‌طور که در شکل (۸) نشان داده شده است، جهت پیاده‌سازی مداری این ایده از شش معکوس کننده سری شده با هم که به صورت خاص طراحی شده‌اند و در ورودی فلیپ‌فلاپ‌های قسمت ایجاد کننده DZ قرار گرفته‌اند استفاده می‌شود.

قرار می‌گیرد و با توجه به کمتر بودن جریان CP1 در حلقه اصلی نسبت به CP2 در CP2 (که از ملزمات عملکرد صحیح می‌باشد)، پاسخ گذرا طولانی بوده و لذا هدف‌یابی فرکانس به کندی صورت می‌گیرد.



شکل (۸): ساختار PFD سه حالتی با DZ در [۱۴]



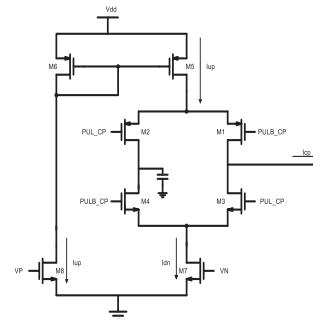
شکل (۹): منحنی مشخصه حاصل شبیه‌سازی ساختار PFD با نشان داده شده در شکل ۸ که در [۱۴] ارائه شده است

در پی برطرف کردن مشکل فوق، ایده‌ای که در طراحی این قسمت به کار گرفته شد به این صورت می‌باشد که قسمت ایجاد کننده DZ را به گونه‌ای متفاوت با ساختارهای مطرح شده در [۱۵و۱۶] طراحی کنیم، به طوری که طوری که DZ کاهش یابد. زیرا همانطور که می‌دانیم در DZ کنترل حلقه به عهده حلقه اصلی می‌باشد، و از آنجاییکه CP در حلقه اصلی (CP1) دارای جریان کمتری نسبت به CP2 در FLL می‌باشد، در فرآیند قفل هرچه کنترل حلقه کمتر به عهده حلقه اصلی باشد سرعت قفل حلقه بیشتر می‌شود.

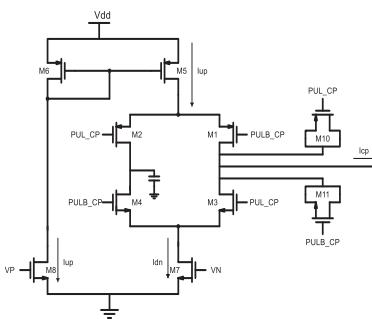
قابل ذکر است که دلیل ایجاد DZ برابر با $\pm T_{ref}/2$ در ساختار شکل (۸) فعال شدن فلیپ‌فلاپ‌های قسمت ایجاد کننده DZ در زمان $T_{ref}/2$ بوده است، لذا در صورت کاهش این مقدار و یا به عبارتی دیگر با زودتر فعال شدن فلیپ‌فلاپ‌ها، راه حل پیشنهادی محقق می‌شود.

همان‌طور که در شکل (۱۰) نشان داده شده است، جهت پیاده‌سازی مداری این ایده از شش معکوس کننده سری شده با هم که به صورت خاص طراحی شده‌اند و در ورودی فلیپ‌فلاپ‌های قسمت ایجاد کننده DZ قرار گرفته‌اند استفاده می‌شود. بدین صورت که سیگنال‌های

در این طراحی CP1 به صورت نشان داده شده در شکل (۷) اصلاح شده است. همانطور که ملاحظه می‌شود CP پیشنهادی دارای دو سویچ مجازی (M10 و M11) در خروجی می‌باشد. لذا پدیده توزیع بار کانال^{۱۷} و Clock Feed-through در گره خروجی کاهش یافته و در نتیجه سبب تضعیف اسپور مرجع در طیف خروجی خواهد شد [۴].



شکل (۱۰): CP با جریان متغیر [۱۵]



شکل (۱۱): CP با جریان متغیر پیشنهادی (CP1)

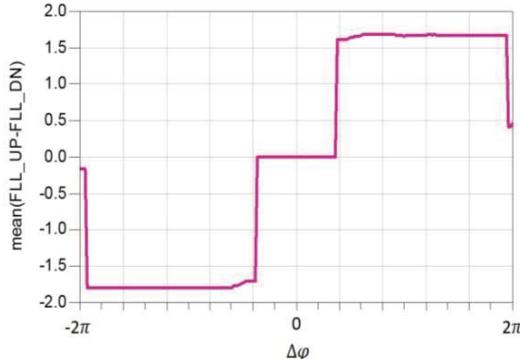
۳-۲ DZ و ایجاد کننده PFD

همان‌طور که در قسمت ۲ اشاره شد در مدار FLL در ساختارهای دوحلقه‌ای ارائه شده در [۱۴] از یک PFD و ایجاد کننده DZ به صورت شکل (۸) استفاده شده است. در این ساختار علاوه بر PFD سه حالت از دو فلیپ‌فلاپ D دیگر که به صورت سری با آن قرار گرفته و موسوم به ایجاد کننده DZ می‌باشد استفاده شده است. با وجود دو معکوس کننده قرار گرفته در ورودی فلیپ‌فلاپ‌های قسمت ایجاد کننده Div و Ref و این فلیپ‌فلاپ‌ها با لبه پائین رونده سیگنال‌های مذکور نسبت فعال می‌شوند. از آنجاییکه لبه پائین رونده سیگنال‌های مذکور نسبت به لبه بالارونده آنها دارای تاخیری به اندازه $T_{ref}/2$ می‌باشند، خروجی‌های FLL_UP و FLL_DN به ازای سیگنال‌های UP و DN با عرض کمتر از $T_{ref}/2$ سیگنالی تولید نخواهند کرد و لذا در این صورت DZ به اندازه $T_{ref}/2 \pm T_{ref}/2$ ایجاد خواهد شد. منحنی مشخصه حاصل از شبیه‌سازی این ساختار به صورت شکل (۹) می‌باشد. در DZ ایجاد شده VCO موجود در PLL از کنترل حلقه FLL خارج شده و تحت کنترل حلقه اصلی که مبتنی بر APD است



تا $T_{ref}/2$ هم به عهده FLL بوده و به دلیل بیشتر بودن جریان نسبت به CP1، سرعت حالت گذرا افزایش می‌یابد. منحنی مشخصه PFD و ایجادکننده DZ پیشنهادی در شکل (۱۲) نشان داده است.

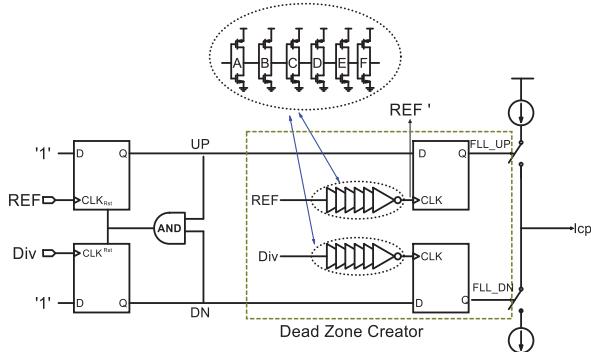
همانطور که ملاحظه می‌شود DZ در این طراحی نسبت به DZ نشان داده شده در شکل (۹) کاهش یافته است.



شکل (۱۲): منحنی مشخصه PFD و ایجادکننده DZ پیشنهادی نشان داده شده در شکل (۱۰)

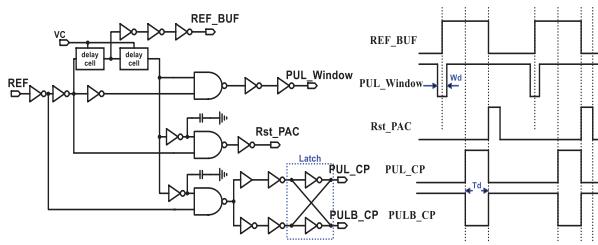
و Div به ورودی آن اعمال شده و خروجی آن به CLK فلیپ‌فلپ‌های قسمت ایجادکننده DZ اعمال می‌شود.

منظور از طراحی خاص این معکوس‌کننده‌های سری این است که ابعاد آنها به گونه‌ای در نظر گرفته شده است که فقط در لبه بالارونده سیگنال ورودی تاخیر ایجاد می‌کنند و لبه پائین رونده سیگنال ورودی بدون تاخیر به خروجی منتقل می‌شود. در این طراحی ابعاد معکوس‌کننده‌های سری طوری انتخاب شده‌اند که لبه بالارونده سیگنال ورودی با تاخیری در حدود $T_{ref}/4$ به خروجی منتقل می‌شود، نتیجه شبیه‌سازی شکل موج ورودی و خروجی معکوس‌کننده‌ها در ساختار پیشنهادی (شکل (۱۰)) به صورت نشان داده شده در شکل (۱۱) می‌باشد.



شکل (۱۰): PFD و ساختار پیشنهادی ایجاد کننده DZ

در PLL مبتنی بر APD، نیاز به پالس‌هایی با عرض‌های مشخص برای آشکارسازی فاز و همچنین کنترل حلقه می‌باشد. مدار تولید پالس قسمت مهمی از حلقه اصلی می‌باشد که در شکل (۱۳) نشان داده شده است. برای تولید پنجره زمانی که نقطه وسط آن منطبق بر لبه بالا رونده سیگنال REF_BUF می‌باشد از دو سلوی تاخیر یکسان استفاده شده است [۱۵].



شکل (۱۳): مدار تولید پالس و نمودار زمانی مربوط به آن

۴-۲- مدارهای دیگر

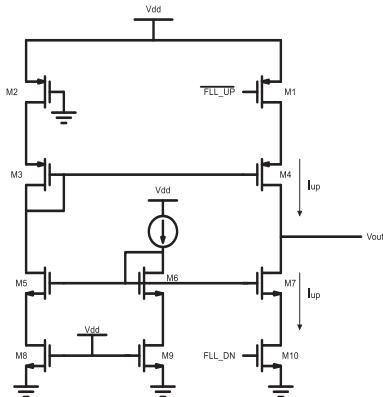
در قسمت‌های پیشین به طراحی مدرات مختص PLL دو حلقه‌ای و همچنین مدارهای مختص آشکارسازی پنجره‌ای پرداخته شد. در این قسمت به مبارقی مدرها که در طراحی‌های PLL تک‌حلقه‌ای (کلاسیک) رایج هم استفاده می‌شود پرداخته خواهد شد.

قابل ذکر است که در این طراحی برای ایجاد کردن تاخیر $4/T_{ref}$ در لبه بالارونده سیگنال‌های Ref و Div در ساختار شکل (۱۰) در مقایسه با W_p/W_n در معکوس‌کننده‌های سری F, E, D, C, B, A ترتیب ۶۰, ۶۰, ۶۰, ۱/۶۰, ۱/۶۰, ۱/۶۰, ۱/۶۰ در نظر گرفته شده است.

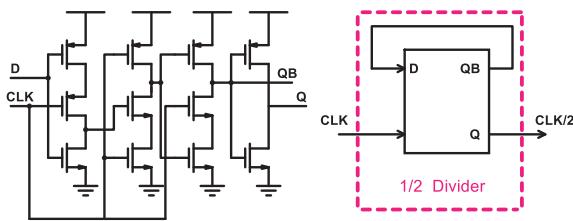
حال با اعمال خروجی معکوس‌کننده‌های طراحی شده به CLK با اعمال خروجی معکوس‌کننده‌های طراحی شده به DZ فلیپ‌فلپ‌های قسمت ایجادکننده DZ می‌توانیم DZ را به کاهش DZ کاهش دهیم. با کاهش DZ کنترل حلقه در اختلاف بین $\pm T_{ref}/4$

VCO - ۱-۵-۲

VCO طراحی شده در این پروژه یک LC-VCO با ساختار ضربدری مکمل^{۱۸} می‌باشد که به همراه بافرهای خروجی در شکل (۱۴) نشان داده شده است [۲]. سیگنال خروجی LC-VCO طراحی شده نیز در شکل (۱۵) نشان داده شده است. قابل ذکر است که VCO طراحی شده دارای پهنه (Kvco) برابر با 240 MHz/V می‌باشد و فرکانس مرکزی آن 3.2 GHz است.



شکل (۱۶): مدار CP FLL در (CP2)



شکل (۱۷): تقسیم‌کننده فرکانسی مبتنی بر TSPC [۴]

۴-۵-۲- فیلتر حلقه

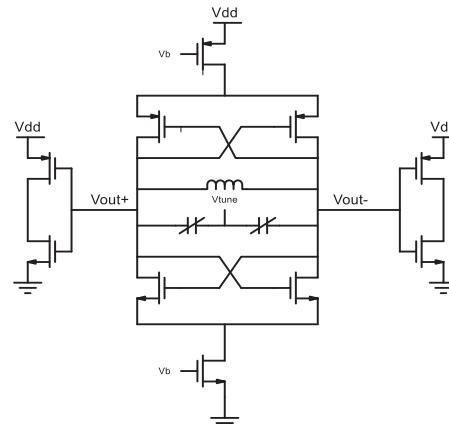
جهت تضعیف بیشتر اسپور مرجع از فیلتر بایین گذر مرتبه سه استفاده شده است (شکل (۱۸)) که شامل یک فیلتر پسیو RC که ترکیب سری R1 و C1 است می‌باشد. به علاوه، برای کاهش ریپل در ولتاژ کنترل VCO از خازن C2 استفاده شده است. همچنین قطب دیگری پهنای باند حلقه باز PLL یعنی ω_c به صورت:

$$\omega_c = \frac{\beta_{CP,APD} \cdot K_{VCO} \cdot R_1 \cdot C_1}{C_1 + C_2 + C_3} \quad (5)$$

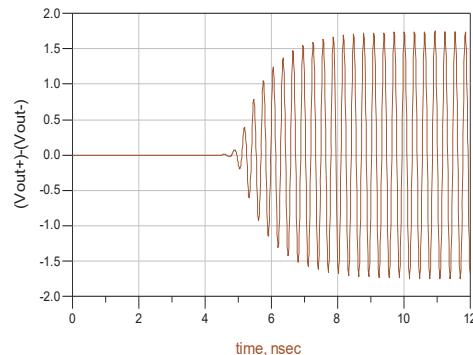
بیان می‌شود، و $\beta_{CP,APD}$ برابر است با:

$$\beta_{CP,APD} = K_{APD} \cdot K_{PAC} \cdot K_{CP} \cdot \frac{T_d}{T_{ref}} \quad (6)$$

که در آن K_{APD} بهره APD، K_{PAC} بهره PAC، K_{CP} بهره پمپ بار، T_d دوره تنابوب سیگنال مرجع و T_{ref} زمان جاری شدن جریان شارژ و دشارژ (بطور همزمان) توسط CP حلقه اصلی (CP1) به فیلتر حلقه می‌باشد [۱۵]. لذا انتخاب عناصر مناسب فیلتر حلقه، جهت حاصل شدن پهنای باند بهینه ضروری می‌باشد.



شکل (۱۴): LC-VCO با ساختار ضربدری مکمل



شکل (۱۵): سیگنال خروجی LC-VCO طراحی شده

FLL - ۲-۵-۲

مدار CP طراحی شده در FLL که در شکل (۲) با CP2 نشان داده شده به صورت شکل (۱۶) می‌باشد [۲]. این مدار متناسب با عرض پالس‌های خروجی مدار ایجادکننده DZ، جریان شارژ و دشارژ 300µA تولید می‌کند.

۲-۵-۳- تقسیم کننده فرکانسی

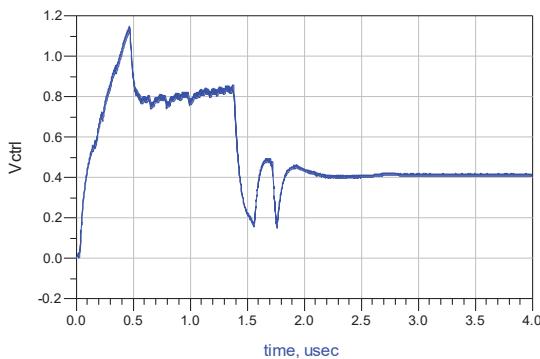
در این طراحی برای پیاده سازی تقسیم‌کننده 1/2 از فلیپ‌فلاب مبتنی بر TSPC¹⁹ به صورت نشان داده شده در شکل (۱۷) استفاده می‌شود [۴]. برای ایجاد تقسیم‌کننده 1/32 نیز از ترکیب سری پنج تقسیم‌کننده 1/2 استفاده می‌شود.

شکل (۲۰): طیف خروجی با سوئیچ‌های مجازی در پمپ بار

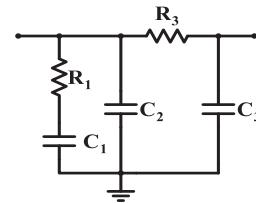
همانطور که تشریح شد، در این مقاله ساختار ایجاد کننده DZ به گونه‌ای متفاوت با ساختار ایجاد کننده DZ در [۱۴] بوده است، بدین صورت که با کاهش DZ در مدار ایجاد کننده DZ، زمان قفل حلقة کاهش پیدا کرده است. در شکل (۲۱) و شکل (۲۲) ولتاژ کنترل VCO در فرآیند قفل حلقة، به ترتیب با استفاده از مدار ایجاد کننده DZ در [۱۴] و مدار ایجاد کننده DZ پیشنهادی نشان داده است. در شکل (۲۳) نمودارهای مربوط به ولتاژ کنترل حلقة در دو حالت ذکر شده در شکل (۲۱) و (۲۲) در یک صفحه جهت مقایسه نشان داده شده است. همانطور که ملاحظه می‌شود با ساختار پیشنهادی زمان قفل حلقة در حدود 32% کاهش یافته است. با توجه به اساس عملکرد PLL دو حلقاتی مبتنی بر APD، در حالت قفل FLL نقشی در عملکرد سیستم نداشته و لذا می‌توان اجزای آن را غیرفعال نموده و بدین صورت سبب کاهش توان مصرفی کل شد. در جدول (۱) مشخصه‌های PLL طراحی شده با چند نمونه از PLL های طراحی شده در سال‌های اخیر مقایسه شده است.

۴- نتیجه‌گیری

در PLL دو حلقاتی ارائه شده به دلیل غیرفعال شدن FLL پس از قفل حلقة، و استفاده از تقسیم‌کننده فرکانسی TSPC توان مصرفی کاهش قابل توجهی پیدا کرده است. مزیت CP با جریان متغیر (متغیر با ولتاژ خروجی PAC) این است که در حالت قفل، جریان شارژ و دشارژ برابر و حداقل مقدار ممکن را دارا هستند. لذا اسپور مرجع کاهش می‌یابد. در این مقاله با افزودن سوئیچ‌های مجازی به CP حلقة اصلی (CP1)، تضییف بیشتری در سطح اسپور مرجع حاصل شد. همچنین در PLL، ساختار جدیدی برای ایجاد کردن DZ ارائه شده است که سبب کاهش زمان قفل حلقة شده است.



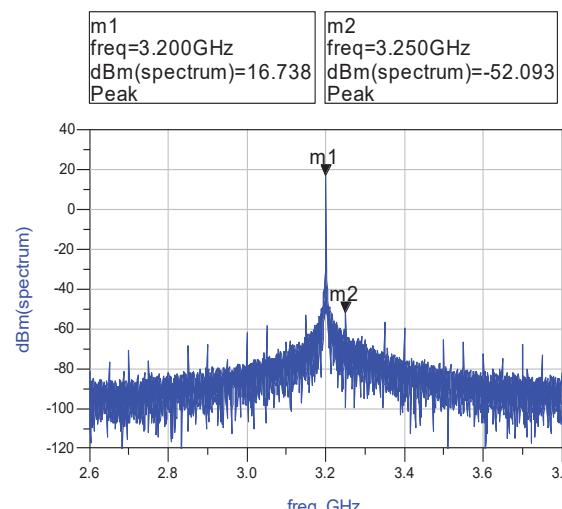
شکل (۲۱): پاسخ گذرا با مدار ایجاد کننده DZ در [۱۴]



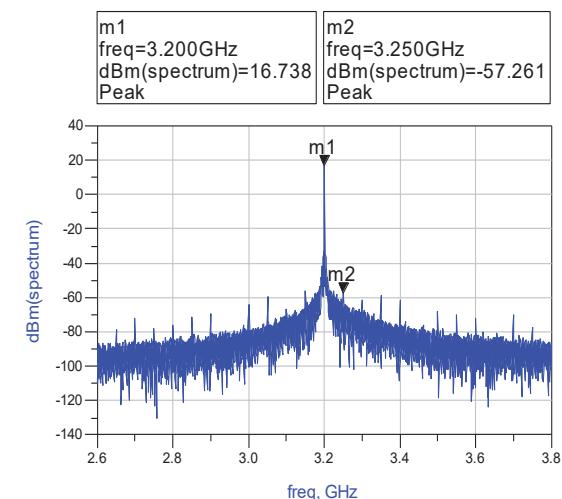
شکل (۱۸): فیلتر پایین گذر مرتبه سه

۳- نتایج شبیه سازی

همانطور که در قسمت طراحی CP1 اشاره شد، بالاضافه کردن سوئیچ‌های مجازی ۲۰ در خروجی CP1 می‌توان سطح اسپور مرجع در طیف خروجی PLL را کاهش داد. در شکل (۱۹) و شکل (۲۰) طیف خروجی PLL به ترتیب بدون سوئیچ مجازی و با اضافه کردن سوئیچ مجازی نشان داده شده است. همانطور که ملاحظه می‌شود اضافه کردن سوئیچ مجازی سبب کاهش سطح اسپور به اندازه ۵ dBc شده است.

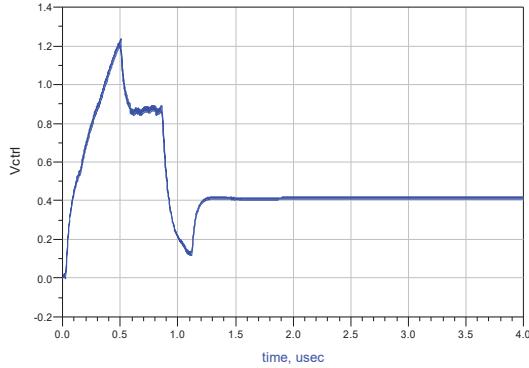


شکل (۱۹): طیف خروجی بدون سوئیچ‌های مجازی در پمپ بار

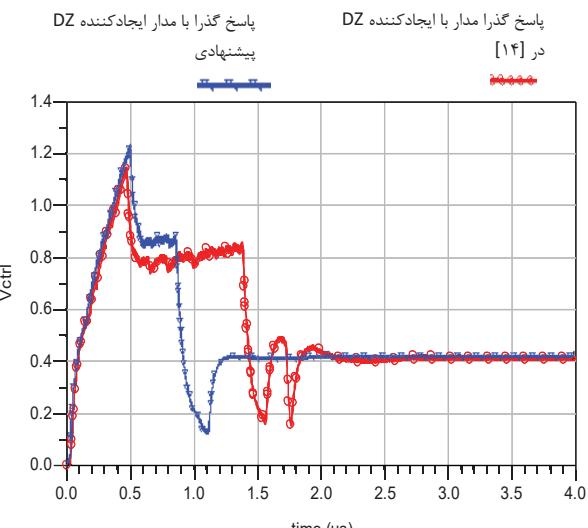


- [1] D. Banerjee, PLL performance, simulation and design: Dog Ear Publishing, 2006.
- [2] G. Bistue, C. Quemada, and I. Adin, Design methodology for RF CMOS phase locked loops: Artech House, 2009.
- [۲] حمید رحیم پور، م. غلامی، غ. اردشیر و ح. میار نعیمی، "طراحی ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر دیجیتالی با سرعت بالا"، مجله انجمن مهندسین برق و الکترونیک ایران، شماره ۶، پائیز ۱۳۹۴، ص ۱-۷.
- [4] B. Razavi and R. Behzad, RF microelectronics vol. 1: Prentice Hall New Jersey, 1998.
- [5] W.-H. Chiu, Y.-H. Huang, and T.-H. Lin, "A dynamic phase error compensation technique for fast-locking phase-locked loops," Solid-State Circuits, IEEE Journal of, vol. 45, pp. 1137-1149, 2010.
- [6] M. Bayer, T. Chomicz, F. James, P. McEntarfer, D. Mijuskovic, and J. Porter, "A low noise CMOS frequency synthesizer with dynamic bandwidth control," in Custom Integrated Circuits Conference, 1994., Proceedings of the IEEE 1994, 1994, pp. 171-174.
- [7] W.-H. Chiu, T.-S. Chan, and T.-H. Lin, "A 5.5-GHz 16-mW fast-locking frequency synthesizer in 0.18- μ m CMOS," in Solid-State Circuits Conference, 2007. ASSCC'07. IEEE Asian, 2007, pp. 456-459.
- [8] C.-Y. Yang and S.-I. Liu, "Fast-switching frequency synthesizer with a discriminator-aided phase detector," Solid-State Circuits, IEEE Journal of, vol. 35, pp. 1445-1452, 2000.
- [9] C.-Y. Kuo, J.-Y. Chang, and S.-I. Liu, "A spur-reduction technique for a 5-GHz frequency synthesizer," Circuits and Systems I: Regular Papers, IEEE Transactions on, vol. 53, pp. 526-533, 2006.
- [10] Z. Yang, Z. Tang, and H. Min, "A fully differential charge pump with accurate current matching and rail-to-rail common-mode feedback circuit," in Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on, 2008, pp. 448-451.
- [11] M.-S. Hwang, J.-H. Kim, and D.-K. Jeong, "Reduction of pump current mismatch in charge-pump PLL," Electronics letters, vol. 45, pp. 135-136, 2009.
- [12] S. Cheng, H. Tong, J. Silva-Martinez, and A. I. Karsilayan, "Design and analysis of an ultrahigh-speed glitch-free fully differential charge pump with minimum output current variation and accurate matching," Circuits and Systems II: Express Briefs, IEEE Transactions on, vol. 53, pp. 843-847, 2006.
- [13] A. Kral, F. Behbahani, and A. Abidi, "RF-CMOS oscillators with switched tuning," in Custom Integrated Circuits Conference, 1998. Proceedings of the IEEE 1998, 1998, pp. 555-558.
- [14] X. Gao, E. A. Klumperink, M. Bohsali, and B. Nauta, "A low noise sub-sampling PLL in which divider noise is eliminated and PD/CP noise is not multiplied by," Solid-State Circuits, IEEE Journal of, vol. 44, pp. 3253-3263, 2009.
- [15] D. Cai, H. Fu, J. Ren, W. Li, N. Li, H. Yu, et al., "A dividerless PLL with low power and low reference spur by aperture-phase detector and phase-to-analog converter," Circuits and Systems I: Regular Papers, IEEE Transactions on, vol. 60, pp. 37-50, 2013.
- [16] A. R. Shahani, D. K. Shaeffer, S. Mohan, H. Samavati, H. R. Rategh, M. del Mar Hershenson, et al., "Low-power dividerless frequency synthesis using aperture phase

مراجع



شکل (۲۲): پاسخ گذرا با مدار ایجاد کننده DZ پیشنهادی



شکل (۲۳): پاسخ گذرا با مدار ایجاد کننده DZ پیشنهادی در مقایسه با مدار ارائه شده در [۱۴]

جدول (۱): مقایسه مشخصات سیستم طراحی شده با طراحی های اخیر

مراجع [۱۷]	مراجع [۱۸]	مراجع [۱۹]	مراجع [۲۰]	مراجع [۵]	مراجع [۹]	مراجع [۱]
فرکانس خروجی (GHz)	تکوکوکری (μm)	فرکانس خروجی (MHz)	اسپور مردج (dBc)	زمان قابل حداک (μs)	(mw) معرفی	
مرجع [۱۷]	مرجع [۱۸]	مرجع [۱۹]	مرجع [۲۰]	مرجع [۵]	مرجع [۹]	این مقاله*
5.06	5	-50	40	1.5	0.13	
46.9	1.25	-51	250	2.5	0.18	
46.7	20	-65	50	3.67	0.18	
7.95	25	-40.8	5	2.4	0.18	
19.8	20	-70	10	5	0.18	
36	76	-74	20	5.3	0.18	
4.15	1.9	-74	50	3.2	0.18	

* شبیه‌سازی



- detection," Solid-State Circuits, IEEE Journal of, vol. 33, pp. 2232-2239, 1998.
- [17] V. I. Karam and J. W. Rogers, "A 5.8 mW Fully Integrated 1.5 GHz Synthesizer in 0.13- μ m CMOS," in Silicon Monolithic Integrated Circuits in RF Systems, 2007 Topical Meeting on, 2007, pp. 127-130.
- [18] J.-C. Chih, C.-T. Chiu, J.-M. Wu, S.-H. Hsu, and Y.-S. Hsu, "Piecewise-linear phase frequency detector for fast-lock phase-locked loops," in Circuits and Systems (MWSCAS), 2011 IEEE 54th International Midwest Symposium on, 2011, pp. 1-4.
- [19] C.-M. Hsu, M. Z. Straayer, and M. H. Perrott, "A low-noise wide-BW 3.6-GHz digital fractional-N frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation," Solid-State Circuits, IEEE Journal of, vol. 43, pp. 2776-2786, 2008.
- [20] D. Mandal and T. Bhattacharyya, "Implementation of CMOS low-power integer-N frequency synthesizer for SOC design," Journal of Computers, vol. 3, pp. 31-38, 2008.

زیرنویس‌ها

¹ Phase Lock Loop(PLL)

² lock time

³ Reference Spur

⁴ Voltage Controlled oscillator(VCO)

⁵ Low Pass Filter(LPF)

⁶ Charge Pump(CP)

⁷ Phase/Frequency Detector (PFD)

⁸mainloop

⁹AperturePhaseDetector

¹⁰ Phase to Analog Convertor(PAC)

¹¹ Frequency Lock Loop (FLL)

¹² Dead Zone(DZ) creator ¹³ frequency acquisition

¹⁴ coarse tuning ¹⁵ fine tuning

¹⁶ Edge missing ¹⁷ Channel charge distribution

¹⁸ Complementary Cross Coupled

¹⁹ True Single Phase Clocking

²⁰ Dummy

