طراحی PLL دو حلقه‌ای مبتنی بر آشکارسازی فاز پنجره‌ای با سرعت قفل بالا، توان مصرفی و اسپور مرجع پایین

مصطفی عابدی[1] **جواد یاوند حسنی[2]**

۱- دانشجوی کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه علم و صنعت ایران- تهران- ایران
mostafa.abedi64@yahoo.com
۲- استادیار-دانشکده مهندسی برق- دانشگاه علم و صنعت ایران - تهران- ایران
yavand@iust.ac.ir

چکیده: در این مقاله حلقه قفل فاز دو حلقه‌ای با سرعت قفل بالا، توان مصرفی پایین و اسپور مرجع پایین ارائه شده است. فرکانس خروجی مدار طراحی شده 3.2 GHz و فرکانس مرجع 50 MHz می‌باشد و مناسب برای کاربرد وایمکس می‌باشد. در این طراحی پس از قفل نهایی قسمتی از مدار تاثیری در عملکرد مدار نداشته و می‌توان آنها را غیرفعال کرد، لذا توان مصرفی بسیار پایین می‌باشد. روش آشکارسازی فاز، آشکارسازی پنجره‌ای است. ساختار پمپ بار پیشنهادی به گونه‌ای می‌باشد که سبب کاهش اسپور مرجع می‌شود. همچنین از یک ساختار جدید حلقه قفل فرکانس، جهت کاهش زمان قفل حلقه استفاده شده است. شبیه‌سازی مدار پیشنهادی با استفاده از بسته طراحی تکنولوژی 0.18 µm CMOS-RF انجام شده است. در ساختار پیشنهادی اسپور مرجع برابر با -74dBc ، زمان قفل 1.9 µs و توان مصرفی 4.15 mw حاصل شده است.

کلمات کلیدی: حلقه قفل فاز، سرعت قفل حلقه، اسپور مرجع، آشکارساز فاز پنجره‌ای، پمپ بار، تقسیم کننده فرکانس، نوسان-ساز کنترل شونده با ولتاژ

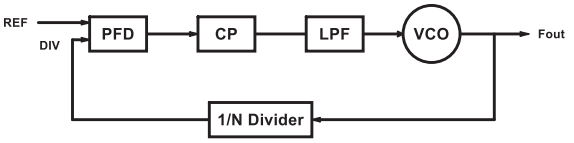
تاریخ ارسال مقاله : ۱۳۹۳/۱۲/۲۲
تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۰۶/۰۸
تاریخ پذیرش مقاله: ۱۳۹۵/۱۰/۰۴
نام نویسنده‌ی مسئول: دکتر جواد یاوند حسنی
نشانی نویسنده‌ی مسئول: تهران، نارمک، دانشگاه علم وصنعت ایران، دانشکده برق

[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]
Journal of Iranian Association of Electrical and Electronics Engineers Vol14 No.2 Summer 2017

مقدمه

حلقه قفل فاز[1] یکی از قسمت‌های کلیدی در اکثر مدارات رادیویی در ارتباطات مخابراتی است. در واقع وظیفه حلقه قفل فاز تولید سیگنال به عنوان نوسان‌ساز محلی می‌باشد. از مشخصه‌های مهم PLL می‌توان به نویز فاز، زمان قفل حلقه[2]، اسپور مرجع[3] و توان مصرفی اشاره کرد. مشخصه‌های مذکور دارای تعامل با یکدیگر می‌باشند که چالش‌هایی را در فرآیند طراحی تحمیل می‌کنند [۱].

در شکل (۱) ساختار یک PLL کلاسیک نشان داده شده است که شامل نوسان‌ساز کنترل شونده با ولتاژ[4]، فیلتر پایین‌گذر[5]، پمپ بار[6]، آشکارساز فاز/فرکانس[7] و تقسیم‌کننده فرکانسی می‌باشد. خلاصه عملکرد کنترلی حلقه به این صورت می‌باشد که در صورت تغییر فرکانس مرجع (REF) و یا تغییر نسبت تقسیم در تقسیم‌کننده فرکانسی (در صورت استفاده از تقسیم‌کننده قابل برنامه‌ریزی)، بین سیگنال DIV و REF اختلاف فاز/فرکانس ایجاد می‌شود. به ازای اختلاف فاز/فرکانس بین سیگنال DIV و REF در خروجی پمپ بار سیگنال جریانی ایجاد می‌شود که توسط فیلتر حلقه به ولتاژ تبدیل شده و جهت به حداقل رساندن اختلاف فاز/فرکانس به VCO اعمال می‌شود [۲]. مشابه این مکانیزم در مدارهای حلقه قفل تاخیر برای تنظیم تاخیر کلاک در مسیرهای دیجیتال بکار می رود [۳].



شکل (۱): بلوک دیاگرام یک PLL کلاسیک

زمان قفل حلقه به مدت زمانی گفته می‌شود که خروجی PLL با خطای معین و کوچکی به حول فرکانس مطلوب می‌رسد. از طرفی در زمان قفل حلقه، جهت پایدار ماندن سیستم کلیدزنی در PFD و CP ادامه خواهد یافت. عدم تطبیق در زمان کلیدزنی و همچنین عدم تطبیق در جریان شارژ و دشارژ سبب ایجاد ریپل در ولتاژ کنترل VCO می‌شود. ریپل ایجاد شده در ولتاژ کنترل VCO ، در طیف خروجی PLL، به صورت مولفه‌های ناخواسته در مضارب فرکانس مرجع نمایان می‌شود. این طیف ناخواسته موسوم به اسپور مرجع می‌باشد [۴].

در طراحی PLL هدف طراحان کاهش زمان قفل حلقه و همچنین کاهش سطح اسپور مرجع در طیف خروجی می‌باشد. بهبود دو مشخصه زمان قفل و اسپور مرجع در تناقض با همدیگر هستند. بدین معنی که با افزایش پهنای باند PLL زمان قفل کاهش می‌یابد در حالیکه سطح اسپور مرجع افزایش می‌یابد. همچنین با کاهش پهنای باند PLL زمان قفل افزایش می‌یابد، درحالیکه اسپور مرجع تضعیف می‌شود [۱]. بنابراین ، افزایش پهنای باند جهت حصول PLL با زمان قفل کوتاه روش مطلوبی نمی‌باشد [۵]. در مقالات [۸-۵] از روش سوئیچینگ پهنای باند جهت کاهش زمان قفل استفاده شده است. ایده ی اصلی این روش‌ها، افزایش پهنای باند مدار در زمان گذرا و کاهش پهنای باند در زمان قفل حلقه می‌باشد. اگرچه طرح پیشنهاد شده قادر به کاهش زمان قفل بطور قابل ملاحظه نیست. بعلاوه، با توجه به پیکره بندی و پیچیدگی مدار، توان مصرفی افزایش می‌یابد.

از دیگر چالش‌های طراحی PLL می‌توان به کاهش اسپور مرجع اشاره کرد. اسپور مرجع بالا در باندهای مجاور تداخل ایجاد می‌کند و سبب مختل کردن عملکرد فرستنده و گیرنده می‌شود [۹]. یکی از روش‌های متداول برای کاهش این پدیده استفاده از تقویت‌کننده در مدار CP می‌باشد [۱۲-۱۰]. از معایب روش ذکر شده می‌توان به افزایش پیچیدگی مدار، افزایش نویز فاز و همچنین افزایش توان مصرفی اشاره کرد. اسپور مرجع متناسب با $A_m K_{VCO} / (2 f_{REF})$ می‌باشد، بطوریکه A_m دامنه ریپل ولتاژ در ورودی VCO، K_{VCO} بهره VCO، و f_{REF} فرکانس مرجع می‌باشد [۹]. لذا، با استفاده از VCO با K_{VCO} کوچکتر سطح اسپور مرجع در طیف خروجی کمتر خواهد بود. قابل ذکر است که در صورت کوچک بودن K_{VCO} محدوده فرکانسی کاهش می‌یابد که برای جبران آن از سوئیچ‌های خازنی استفاده می‌شود [۱۳]. گرچه، PLL با استفاده از سوئیچ‌های خازنی، بکارگیری ساختار کالیبراسیون فرکانسی دیجیتال و متعاقباً افزایش زمان قفل را اجتناب ناپذیر می‌سازد.

توان مصرفی نیز یک مشخصه مهم دیگر در PLL می‌باشد که در کاربردهای قابل حمل اهمیت فراوانی دارد.

در این مقاله PLL دو حلقه‌ای پیشنهاد شده است که پس از قفل نهایی، قسمتی از مدار در مشخصه‌های کلی PLL نقشی نداشته و می‌توان آن قسمت‌ها را غیرفعال کرد، که در این صورت توان مصرفی کاهش خواهد یافت. همچنین برای پیاده سازی مدار تقسیم‌کننده فرکانسی از فلیپ فلاپ با منطق TSPC استفاده شده است که در این صورت کاهش بیشتری در توان مصرفی حاصل می‌شود [۴].

ساختار پایه‌ای PLL دوحلقه‌ای طراحی شده برگرفته از دو مرجع [۱۴] و [۱۵] می‌باشد. در طرح ارائه شده در این مقاله، در راستای بهبود عملکرد و برطرف نمودن برخی نقاط ضعف طرحهای موجود دو ایده جدید زیر مطرح می‌شود:

- طراحی مدار ایجادکننده DZ به گونه‌ای که سبب کاهش زمان قفل حلقه شده است.
- اصلاح مدار پمپ بار با جریان متغیر با استفاده از سوئیچ-های مجازی

قابل ذکر است که ساختار APDPLL استفاده شده در مرجع [۱۵] برای اهداف موجود در این مقاله (طراحی با فرکانس خروجی 3.2 GHz و با تکنولوژی 0.18 um) نیازمند تغییر ساختاری جزیی نیز بوده است. به این صورت که خروجی VCO به دلیل فرکانس نسبتاً

[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]

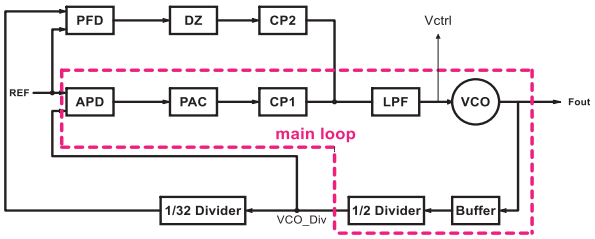
بالا، پس از عبور از یک تقسیم کننده فرکانسی 1/2 به APD اعمال شده است.

در طرح ارائه شده در این مقاله، با افزودن سوئیچ‌های مجازی در خروجی مدار CP با جریان متغیر، تضعیف بیشتری در اسپور مرجع حاصل شده است. همچنین در این مدار، بخش ایجاد کننده ناحیه مرده به گونه‌ای متفاوت در جهت حصول زمان قفل کوتاه طراحی شده است. لذا PLL طراحی شده ویژگی اسپور مرجع و زمان قفل سریع را تواماً دارا می‌باشد.

در ادامه مقاله ساختار کلی PLL پیشنهاد شده تشریح خواهد شد. سپس طراحی قسمت‌های مختلف به همراه ملاحظات بررسی خواهند شد و در پایان نتایج شبیه‌سازی بررسی می‌شود.

۱- ساختار کلی مدار پیشنهادی

در شکل (۲) دیاگرام بلوکی PLL دو حلقه‌ای پیشنهادی نشان داده شده است. حلقه اصلی[۸] شامل آشکارساز پنجره‌ای[۹]، مبدل فاز به آنالوگ[۱۰]، CP1، فیلتر حلقه، VCO، بافر، تقسیم‌کننده فرکانسی 1/2 می‌باشد. سیگنال خروجی VCO که سینوسی می‌باشد، پس از عبور از بافر و تقسیم‌کننده فرکانسی به سیگنالی مربعی با فرکانس $F_{vco}/2$ تبدیل می‌شود (VCO_Div). به عبارتی دیگر، ورودی‌های آشکارساز پنجره‌ای دو سیگنال با فرکانس‌های f_{ref} و $f_{vco}/2$ می‌باشند. جهت اطمینان از قفل فرکانسی صحیح و برطرف کردن نگرانی راجع به قفل حلقه در زیر هارمونیک‌ها، از حلقه قفل فرکانسی[۱۱] استفاده شده است [۱۳-۱۴]. فیلتر پایین‌گذر، VCO، بافر و تقسیم‌کننده 1/2 در هر دو حلقه مشترک می‌باشند. مشابه PLL کلاسیک، در حلقه قفل فرکانسی نیز از تقسیم‌کننده فرکانسی، PFD، CP استفاده شده است، با این تفاوت که در بین PFD و CP (CP2) از یک ایجادکننده ناحیه مرده[۱۲] استفاده شده است [۱۴-۱۵].



شکل (۲): ساختار کلی PLL دو حلقه‌ای پیشنهادی

در ابتدای فرآیند هدف‌یابی فرکانس[۱۳]، FLL خطای بین سیگنال مرجع و خروجی تقسیم‌کننده 1/32 را آشکار می‌کند. گرچه به طور همزمان حلقه اصلی نیز خطای فاز بین سیگنال مرجع و VCO را آشکار می‌کند، امّا اثر FLL به دلیل جریان بالای CP2 غالب می‌باشد. هنگامی که خطای فاز/فرکانس بین سیگنال مرجع (REF) و VCO_Div به اندازه کافی کم شد، مدار ایجادکننده DZ به صورت خودکار CP2 در FLL را غیرفعال می‌کند. سپس حلقه اصلی فرآیند قفل نهایی که نویز فاز، اسپور مرجع و توان مصرفی PLL را مشخص می‌کند را بر عهده می‌گیرد. بعد از قفل حلقه، CP2، ایجادکننده DZ، PFD و تقسیم‌کننده 1/32 مربوط به FLL، تاثیری بر عملکرد حلقه نخواهند داشت و می‌توان جهت کاهش مصرف توان آن‌ها را غیرفعال کرد [۱۴-۱۵]. در واقع می‌توان گفت که در فرآیند قفل حلقه، FLL نقش تنظیم شدید[۱۴] و حلقه اصلی نقش تنظیم دقیق[۱۵] را ایفا می‌کند. مزیت PLL دو حلقه‌ای مبتنی بر APD یا APDPLL نسبت به PLL دوحلقه‌ای بدون تقسیم‌کننده در [۱۴] اسپور مرجع پایین می‌باشد. به این دلیل که در [۱۴] برای مقایسه فاز از سیگنال VCO به صورت مستقیم نمونه‌برداری می‌شود. امّا در APDPLL برای مقایسه فاز، به جای نمونه برداری مستقیم از خروجی VCO، سیگنال ولتاژی با شکل مناسب و متناسب با اختلاف فاز، توسط APD و PAC تولید می‌شود. در نتیجه با این روش اسپور مرجع کاهش می‌یابد. و همچنین APDPLL در مقایسه با PLL بدون تقسیم‌کننده در [۱۶] می‌تواند سهم نویز CP را به طور قابل ملاحظه‌ای کاهش داده و همچنین سبب کاهش توان مصرفی آن شود.

در APDPLL حلقه اصلی به طور مستقیم اختلاف فاز بین سیگنال مرجع و خروجی تقسیم‌کننده فرکانسی 1/2 را در پنجره زمانی APD آشکار می‌کند. بهره APD برابر است با:

$$K_{APD} = \frac{2T_{vco}}{2\pi} = \frac{2}{\omega_{vco}} \qquad (۱)$$

سپس PAC سیگنال‌های خروجی APD را به سیگنال‌های ولتاژ آنالوگ تبدیل کرده و متناسب با خطای فاز، دامنه جریان CP1 را کنترل می‌کند. رابطه بهره PAC به صورت

$$K_{PAC} = \frac{\Delta v}{\Delta t} = \frac{V_{\max}}{T_{vco}} \qquad (۲)$$

می‌باشد که در آن $V_{\max}$ حداکثر ولتاژ خروجی PAC می‌باشد. بهره CP(CP2) نیز به صورت رابطه (۳) بیان می‌شود.

$$K_{CP} = \frac{\Delta i_{CP}}{\Delta v} = gm \qquad (۳)$$

که در آن gm ترارسانایی ترانزیستور در پمپ بار طراحی شده می‌باشد.

در واقع APD به طور مستقیم فازهای بین سیگنال مرجع و خروجی تقسیم‌کننده 1/2 را مقایسه می‌کند و در خروجی پالس‌های up و dn را ایجاد می‌کند و سپس PAC پالس‌های up/dn را به سیگنال‌های ولتاژ آنالوگ VP/VN، که دامنه آنها متناسب با عرض پالس‌های up/dn می‌باشد تبدیل می‌کند. سرانجام پمپ بار VP/VN را به جریان شارژ I_{up} و دشارژ I_{dn} تبدیل می‌کند.

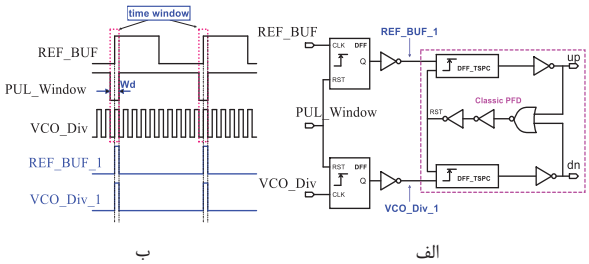
[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]
Journal of Iranian Association of Electrical and Electronics Engineers Vol14 No.2 Summer 2017

۲- طراحی قسمت های مختلف PLL دو حلقه ای

در این قسمت طراحی و شبیه‌سازی قسمت‌های مختلف ساختار دو حلقه‌ای پیشنهادی انجام شده است و ملاحظات طراحی هر قسمت تشریح شده است.

۲-۱- طراحی APD/PAC

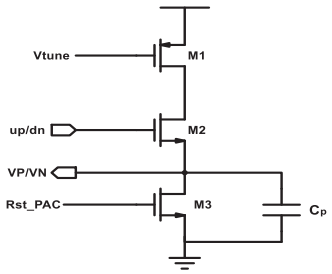
در شکل (۳)-الف نمایی از ساختار APD و در شکل (۳)-ب نمودار زمانی مربوط به آن در حالت قفل نشان داده شده است [۱۵]. APD به صورت مستقیم فازهای بین REF و VCO_Div را در پنجره زمانی مقایسه می‌کند. هنگامی که سیگنال کنترل زمانی PUL_window در حالت صفر منطقی باشد، APD اولین لبه بالارونده سیگنال‌های REF و VCO_Div را مقایسه می‌کند. فرکانس سیگنال PUL_window برابر با فرکانس REF می‌باشد و جهت اجتناب از "از دست دادن لبه[۱۶]" در مقایسه فاز، عرض پنجره زمانی Wd بایستی کمی پهن‌تر از دوره تناوب سیگنال VCO_Div باشد. لبه بالارونده سیگنال REF در نقطه وسط عرض Wd قرار می‌گیرد تا APD بتواند خطای فاز مثبت و منفی را به صورت متقارن آشکارکند [۱۴].



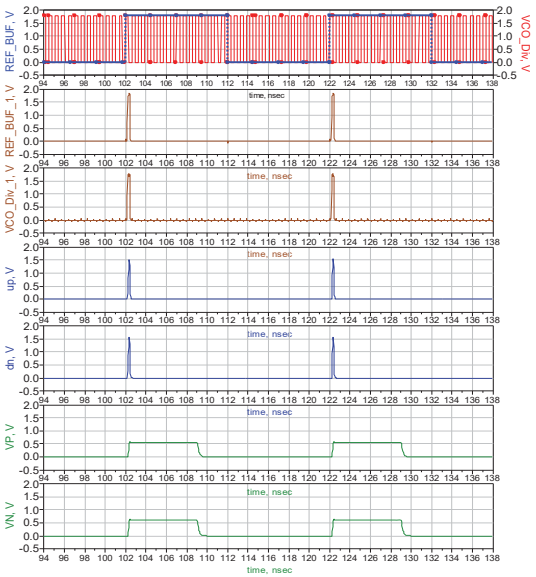
شکل (۳) الف) ساختار APD ب) نمودار زمانی APD در حالت قفل [۱۵]

مدار PAC در شکل (۴) نشان داده شده است. PAC سیگنال up/dn را به ولتاژ آنالوگ VP/VN تبدیل می‌کند. سیگنال up/dn زمان جاری شدن جریان در خازن Cp را مشخص می‌کند که نهایتاً ولتاژی آنالوگ و متناسب با عرض پالس up/dn تولید می‌شود. پس از انجام تبدیل، ولتاژ خروجی PAC ثابت می‌ماند تا زمانی که سیگنال بازنشانی این مدار فعال شود [۱۵].

در شکل (۵) خروجی APD و PAC که نتیجه شبیه‌سازی می‌باشد نشان داده شده است. خروجی‌های نشان داده شده در این شکل در حالت همتراز بودن لبه‌های بالارونده ورودی‌های APD (در حالت قفل حلقه) می‌باشند. همانطور که ملاحظه می‌شود در حالت قفل خروجی‌های PAC، یعنی VP/VN برابر و حداقل مقدار خود را دارا هستند.



شکل (۴) مدار مبدل فاز به آنالوگ (PAC) [۱۵]



شکل (۵): شکل موج نقاط مختلف APD/PAC در حالت قفل

۲-۲- پمپ بار

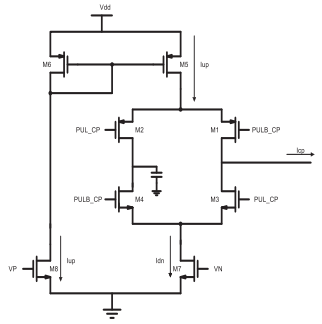
شکل (۶) مدار CP بکار برده شده در حلقه اصلی در [۱۵] را نشان می‌دهد. مزیت این CP نسبت به CP های مورد استفاده در PLL کلاسیک این است که دامنه جریان خروجی متغیر با اختلاف فاز سیگنال‌های مقایسه است و در حالت قفل پالس‌های I_{up} و I_{dn} دارای دامنه و عرض یکسان می‌باشند که در این صورت اسپور کاهش می‌یابد [۱۵].

دامنه جریان $I_{dn}(I_{up})$ متناسب با ولتاژ آنالوگ VP(VN) خروجی PAC می‌باشد. در مدار CP یک زوج تفاضلی ولتاژ آنالوگ را به جریان تبدیل کرده و از آینه جریان (M5 و M6) برای تزریق جریان به فیلتر حلقه استفاده می‌شود. برای برطرف کردن مشکل عدم تطبیق سوئیچ‌ها که در پمپ بارهای معمولی رایج است، عرض پالس‌های I_{up} و I_{dn} توسط سیگنال‌های PUL_CP و PULB_CP که معکوس همدیگر می‌باشند کنترل می‌شود. بهره CP را به صورت رابطه (۴) نیز می‌توان بیان کرد.

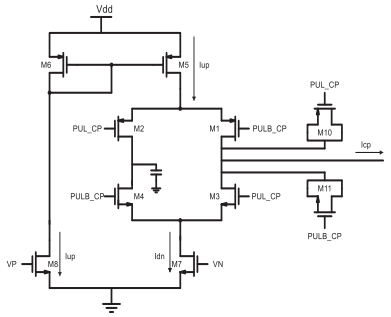
$$K_{CP} = \frac{\Delta i_{CP}}{\Delta v} = gm = \mu_n . C_{ox} (\frac{W}{L})_{7,8} (V_{GS} - V_{thn}) \quad (۴)$$

[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.14- No.2 Summer 2017

در این طراحی CP1 به صورت نشان داده شده در شکل (۷) اصلاح شده است. همانطور که ملاحظه می‌شود CP پیشنهادی دارای دو سوئیچ مجازی (M10 و M11) در خروجی می‌باشد. لذا پدیده توزیع بار کانال[۱۷] و Clock Feed-through در گره خروجی کاهش یافته و در نتیجه سبب تضعیف اسپور مرجع در طیف خروجی PLL خواهد شد [۴].



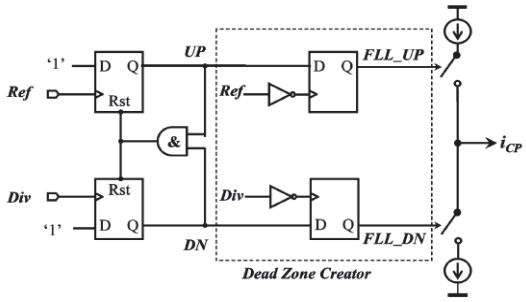
شکل (۶): CP با جریان متغیر [۱۵]



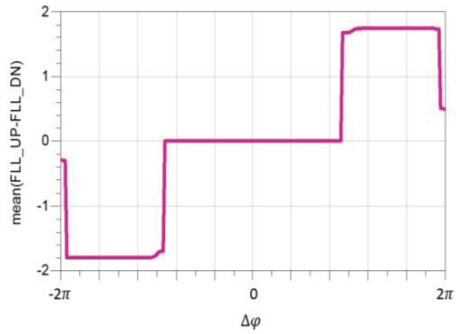
شکل (۷): CP با جریان متغیر پیشنهادی (CP1)

۲-۳- PFD و ایجادکننده DZ

همانطور که در قسمت ۲ اشاره شد در مدار FLL در ساختارهای دوحلقه‌ای ارائه شده در [۱۴] از یک PFD و ایجاد کننده DZ به صورت شکل (۸) استفاده شده است. در این ساختار علاوه بر PFD سه حالته از دو فلیپ فلاپ D دیگر که به صورت سری با آن قرار گرفته و موسوم به ایجاد کننده DZ می‌باشد استفاده شده است. با وجود دو معکوس‌کننده قرار گرفته در ورودی فلیپ‌فلاپ‌های قسمت ایجادکننده DZ ، این فلیپ فلاپ‌ها با لبه پائین رونده سیگنال‌های Ref و Div فعال می‌شوند. از آنجائیکه لبه پائین رونده سیگنال‌های مذکور نسبت به لبه بالارونده آنها دارای تاخیری به اندازه $T_{ref}/2$ می‌باشند، خروجی‌های FLL_UP و FLL_DN به ازای سیگنال‌های UP و DN با عرض کمتر از $T_{ref}/2$ سیگنالی تولید نخواهند کرد و لذا در این صورت DZ به اندازه $\pm T_{ref}/2$ ایجاد خواهد شد. منحنی مشخصه حاصل از شبیه‌سازی این ساختار به صورت شکل (۹) می‌باشد. در DZ ایجاد شده VCO موجود در PLL از کنترل حلقه FLL خارج شده و تحت کنترل حلقه اصلی که مبتنی بر APD است قرار می‌گیرد و با توجه به کمتر بودن جریان CP1 در حلقه اصلی نسبت به CP2 در FLL (که از ملزمات عملکرد صحیح می‌باشد)، پاسخ گذرا طولانی بوده و لذا هدف‌یابی فرکانس به کندی صورت می‌گیرد.



شکل (۸): ساختار PFD سه حالته با DZ در [۱۴]



شکل (۹): منحنی مشخصه حاصل شبیه‌سازی ساختار PFD با DZ نشان داده شده در شکل ۸ که در [۱۴] ارائه شده است

در پی برطرف کردن مشکل فوق، ایده ای که در طراحی این قسمت به کار گرفته شد به این صورت می‌باشد که قسمت ایجاد کننده DZ را به گونه‌ای متفاوت با ساختارهای مطرح شده در [۱۴و۱۵] طراحی کنیم، به طوری که DZ کاهش یابد. زیرا همانطور که می‌دانیم در DZ کنترل حلقه به عهده حلقه اصلی می‌باشد، و از آنجاییکه CP حلقه اصلی (CP1) دارای جریان کمتری نسبت به CP2 در FLL می‌باشد، در فرآیند قفل هرچه کنترل حلقه کمتر به عهده حلقه اصلی باشد سرعت قفل حلقه بیشتر می‌شود.

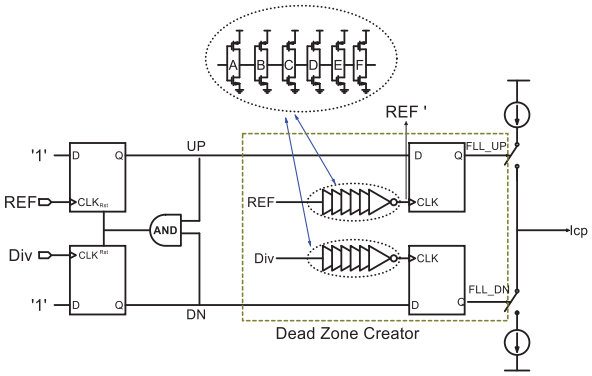
قابل ذکر است که دلیل ایجاد DZ برابر با $\pm T_{ref}/2$ در ساختار شکل (۸) فعال شدن فلیپ فلاپ‌های قسمت ایجاد کننده DZ در زمان $T_{ref}/2$ بوده است، لذا در صورت کاهش این مقدار و یا به عبارتی دیگر با زودتر فعال شدن فلیپ فلاپ‌ها، راه حل پیشنهادی محقق می‌شود.

همان‌طور که در شکل (۱۰) نشان داده شده است، جهت پیاده‌سازی مداری این ایده از شش معکوس کننده سری شده با هم که به صورت خاص طراحی شده‌اند و در ورودی فلیپ‌فلاپ‌های قسمت ایجادکننده DZ قرار گرفته‌اند استفاده می‌شود. بدین صورت که سیگنال‌های Ref

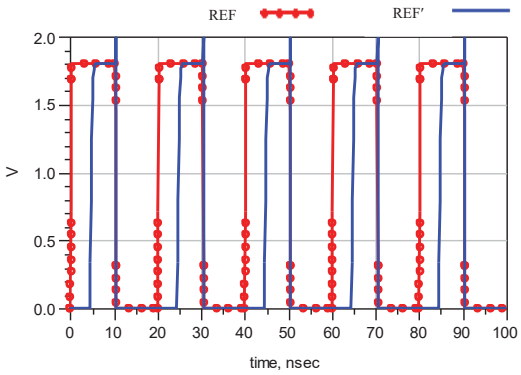
[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]
Journal of Iranian Association of Electrical and Electronics Engineers Vol14 No.2 Summer 2017

و Div بـــه ورودی آن اعمـــال شـــده و خروجـــی آن بـــه CLK فلیپ فلاپ‌های قسمت ایجادکننده DZ اعمال می‌شود.

منظور از طراحی خاص این معکوس‌کننده‌های سری این است که ابعاد آنها به گونه‌ای در نظر گرفته شده است که فقط در لبه بالارونده سیگنال ورودی تاخیر ایجاد می‌کنند و لبه پائین رونده سیگنال ورودی بدون تاخیر به خروجی منتقل می‌شود. در این طراحی ابعاد معکوس‌کننده‌های سری طوری انتخاب شده‌اند که لبه بالارونده سیگنال ورودی با تاخیری در حدود $T_{ref}/4$ به خروجی منتقل می‌شود، نتیجه شبیه‌سازی شکل موج ورودی و خروجی معکوس‌کننده ها در ساختار پیشنهادی (شکل(۱۰)) به صورت نشان داده شده در شکل (۱۱) می‌باشد.



شکل (۱۰): PFD و ساختار پیشنهادی ایجاد کننده DZ

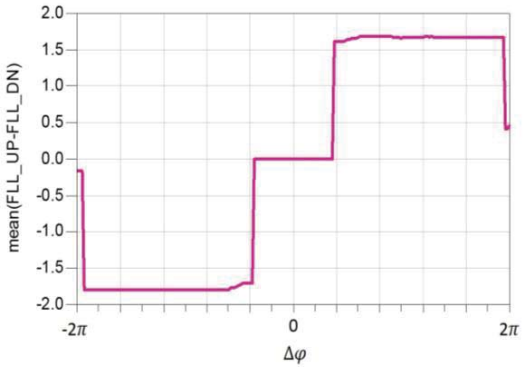


شکل(۱۱): سیگنال ورودی و خروجی معکوس‌کننده‌های سری در ساختار شکل (۱۰)

قابل ذکر است که در این طراحی برای ایجاد کردن تاخیر $T_{ref}/4$ در لبه بالارونده سیگنال‌های Ref و Div در ساختار شکل (۱۰)، نسبت W_P/W_N در معکوس‌کننده‌های سری A، B، C، D، E، F به ترتیب 60، 1/60، 60، 1/60، 60، 1/60 در نظر گرفته شده است.

حال با اعمال خروجی معکوس‌کننده‌های طراحی شده به CLK فلیپ‌فلاپ‌های قسمت ایجادکننده DZ می‌توانیم DZ را به $\pm T_{ref}/4$ کاهش دهیم. با کاهش DZ کنترل حلقه در اختلاف بین $T_{ref}/4$ تا $T_{ref}/2$ هم به عهده FLL بوده و به دلیل بیشتر بودن جریان CP2 نسبت به CP1 ، سرعت حالت گذرا افزایش می‌یابد. منحنی مشخصه PFD و ایجادکننده DZ پیشنهادی در شکل (۱۲) نشان داده شده است.

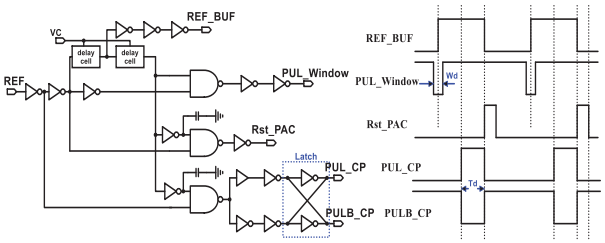
همانطور که ملاحظه می‌شود DZ در این طراحی نسبت به DZ نشان داده شده در شکل (۹) کاهش یافته است.



شکل(۱۲): منحنی مشخصه PFD و ایجادکننده DZ پیشنهادی نشان داده شده در شکل(۱۰)

۲-۴- مدار تولید پالس

در PLL مبتنی بر APD، نیاز به پالس‌هایی با عرض‌های مشخص برای آشکارسازی فاز و همچنین کنترل حلقه می‌باشد. مدار تولید پالس قسمت مهمی از حلقه اصلی می‌باشد که در شکل (۱۳) نشان داده شده است. برای تولید پنجره زمانی که نقطه وسط آن منطبق بر لبه بالا رونده سیگنال REF_BUF می‌باشد از دو سلول تاخیر یکسان استفاده شده است [۱۵].



شکل(۱۳): مدار تولید پالس و نمودار زمانی مربوط به آن

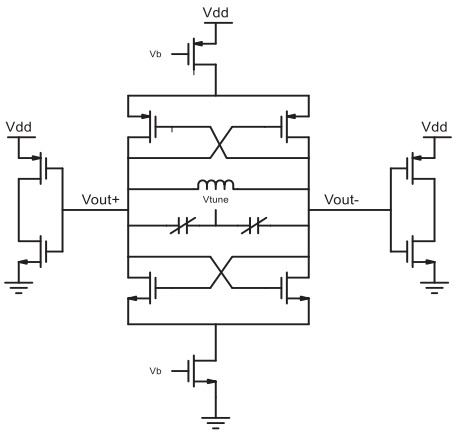
۲-۵- مدارهای دیگر

در قسمت‌های پیشین به طراحی مدرات مختص PLL دو حلقه‌ای و همچنین مدارهای مختص آشکارسازی پنجره‌ای پرداخته شد. در این قسمت به مابقی مدراها که در طراحی‌های PLL تک‌حلقه‌ای (کلاسیک) رایج هم استفاده می‌شود پرداخته خواهد شد.

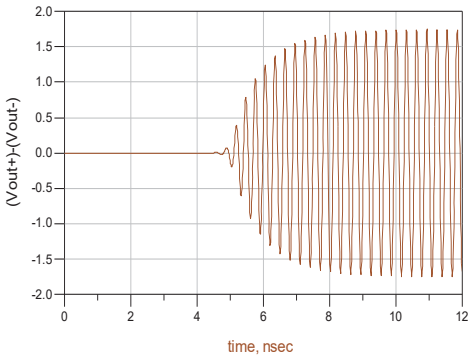
[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]

۲-۵-۱- VCO

VCO طراحی شده در این پروژه یک LC-VCO با ساختار ضربدری مکمل[۱۸] می‌باشد که به همراه بافرهای خروجی در شکل (۱۴) نشان داده شده است [۲]. سیگنال خروجی LC-VCO طراحی شده نیز در شکل (۱۵) نشان داده شده است. قابل ذکر است که VCO طراحی شده دارای بهره (Kvco) برابر با 240 MHz/V می‌باشد و فرکانس مرکزی آن 3.2 GHz است.



شکل (۱۴): LC-VCO با ساختار ضربدری مکمل



شکل(۱۵): . سیگنال خروجی LC-VCO طراحی شده

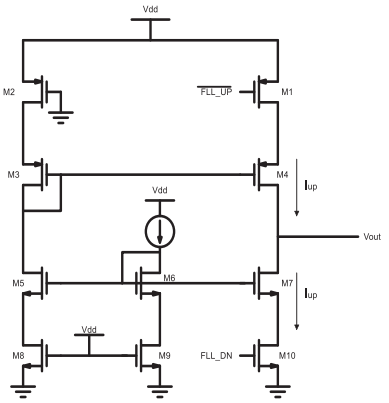
۲-۵-۲- CP در FLL

مدار CP طراحی شده در FLL که در شکل(۲) با CP2 نشان داده شده به صورت شکل (۱۶) می‌باشد [۲].

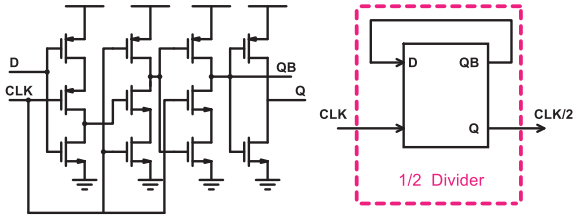
این مدار متناسب با عرض پالس‌های خروجی مدار ایجادکننده DZ، جریان شارژ و دشارژ 300μA تولید می‌کند.

۲-۵-۳- تقسیم کننده فرکانسی

در این طراحی برای پیاده سازی تقسیم‌کننده 1/2 از فلیپ‌فلاپ مبتنی بر TSPC[19] به صورت نشان داده شده در شکل (۱۷) استفاده می‌شود [۴]. برای ایجاد تقسیم‌کننده 1/32 نیز از ترکیب سری پنج تقسیم‌کننده 1/2 استفاده می‌شود.



شکل(۱۶): مدار CP در FLL (CP2)



شکل (۱۷): تقسیم‌کننده فرکانسی مبتنی بر TSPC [۴]

۲-۵-۴- فیلتر حلقه

جهت تضعیف بیشتر اسپور مرجع از فیلتر پایین‌گذر مرتبه سه استفاده شده است (شکل(۱۸)) که شامل یک فیلتر پسیو RC که ترکیب سری R1 و C1 است می‌باشد. به علاوه، برای کاهش ریپل در ولتاژ کنترل VCO از خازن C2 استفاده شده است. همچنین قطب دیگری توسط R2 و C3 جهت تضعیف بیشتر اسپور مرجع اضافه شده است.

پهنای باند حلقه باز PLL یعنی ω_c به صورت:

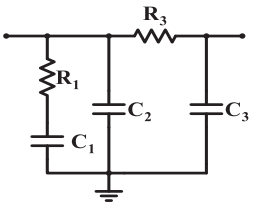
$$\omega_c = \frac{\beta_{CP,APD}.K_{VCO}.R_1.C_1}{C_1 + C_2 + C_3} \qquad (۵)$$

بیان می‌شود، و $\beta_{CP,APD}$ برابر است با:

$$\beta_{CP,APD} = K_{APD}.K_{PAC}.K_{CP}.\frac{T_d}{T_{ref}} \qquad (۶)$$

که در آن K_{APD} بهره APD، K_{PAC} بهره PAC، K_{CP} بهره پمپ بار، T_{ref} دوره تناوب سیگنال مرجع و T_d زمان جاری شدن جریان شارژ و دشارژ (بطور همزمان) توسط CP حلقه اصلی (CP1) به فیلتر حلقه می‌باشد [۱۵]. لذا انتخاب عناصر مناسب فیلتر حلقه، جهت حاصل شدن پهنای باند بهینه ضروری می‌باشد.

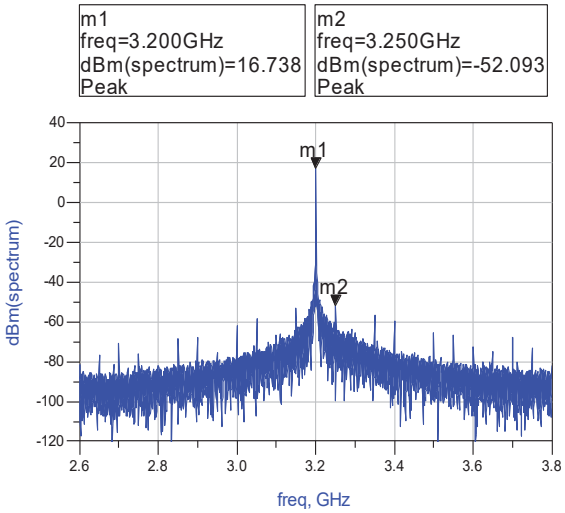
[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]
Journal of Iranian Association of Electrical and Electronics Engineers Vol14 No.2 Summer 2017



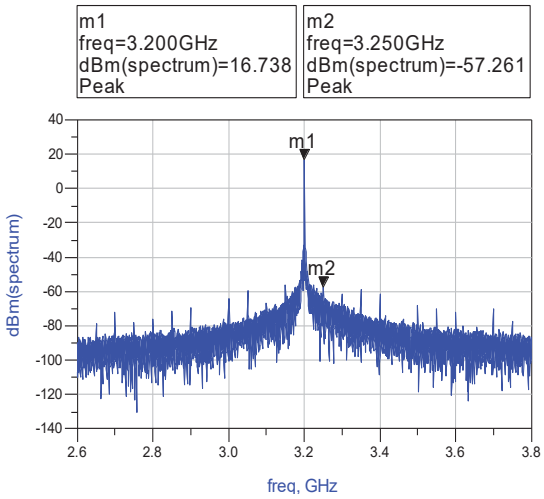
شکل (۱۸): فیلتر پایین‌گذر مرتبه سه

۳- نتایج شبیه سازی

همانطور که در قسمت طراحی CP1 اشاره شد، بااضافه کردن سوئیچ‌های مجازی[۲۰] در خروجی CP1 می‌توان سطح اسپورمرجع در طیف خروجی PLL را کاهش داد. در شکل (۱۹) و شکل (۲۰) طیف خروجی PLL، به ترتیب بدون سوئیچ مجازی و با اضافه کردن سوئیچ مجازی نشان داده شده است. همانطورکه ملاحظه می‌شود اضافه کردن سوئیچ مجازی سبب کاهش سطح اسپور به اندازه 5 dBc شده است.



شکل(۱۹): طیف خروجی بدون سوئیچ‌های مجازی در پمپ بار

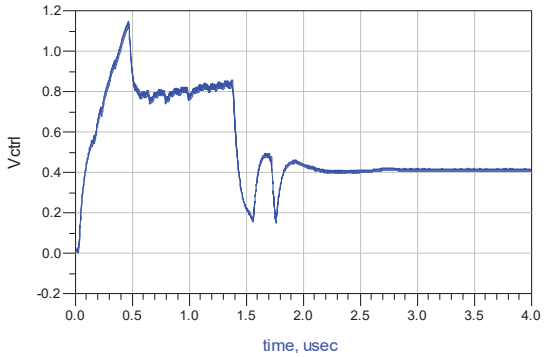


شکل(۲۰): طیف خروجی با سوئیچ‌های مجازی در پمپ بار

همانطور که تشریح شد، در این مقاله ساختار ایجاد کننده DZ به گونه‌ای متفاوت با ساختار ایجاد کننده DZ در [۱۴] بوده است، بدین صورت که با کاهش DZ در مدار ایجادکننده DZ، زمان قفل حلقه کاهش پیدا کرده است. در شکل (۲۱) و شکل (۲۲) ولتاژ کنترل VCO در فرآیند قفل حلقه، به ترتیب با استفاده از مدار ایجادکننده DZ در [۱۴] و مدار ایجاد کننده DZ پیشنهادی نشان داده است. در شکل (۲۳) نمودارهای مربوط به ولتاژ کنترل حلقه در دو حالت ذکر شده در شکل (۲۱) و (۲۲) در یک صفحه جهت مقایسه نشان داده شده است. همانطور که ملاحظه می‌شود با ساختار پیشنهادی زمان قفل حلقه در حدود 32% کاهش یافته است. با توجه به اساس عملکرد PLL دو حلقه‌ای مبتنی بر APD، در حالت قفل FLL نقشی در عملکرد سیستم نداشته و لذا می‌توان اجزای آن را غیرفعال نموده و بدین صورت سبب کاهش توان مصرفی کل شد. در جدول (۱) مشخصه‌های PLL طراحی شده با چند نمونه از PLL های طراحی شده در سال‌های اخیر مقایسه شده است.

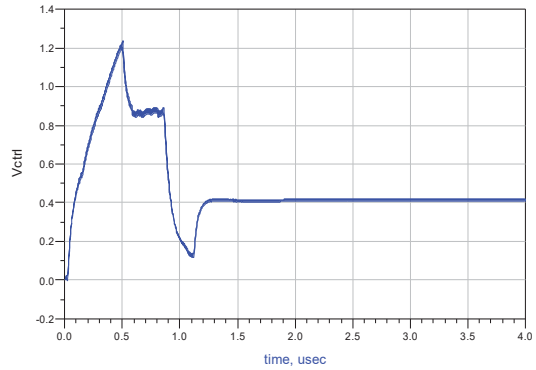
۴- نتیجه‌گیری

در PLL دو حلقه‌ای ارائه شده به دلیل غیرفعال شدن FLL پس از قفل حلقه، و استفاده از تقسیم‌کننده فرکانسی TSPC توان مصرفی کاهش قابل توجه‌ای پیدا کرده است. مزیت CP با جریان متغیر (متغیر با ولتاژ خروجی PAC) این است که در حالت قفل، جریان شارژ و دشارژ برابر و حداقل مقدار ممکن را دارا هستند. لذا اسپور مرجع کاهش می‌یابد. در این مقاله با افزودن سوئیچ‌های مجازی به CP حلقه اصلی(CP1)، تضعیف بیشتری در سطح اسپور مرجع حاصل شد. همچنین در FLL، ساختار جدیدی برای ایجاد کردن DZ ارائه شده است که سبب کاهش زمان قفل حلقه شده است.

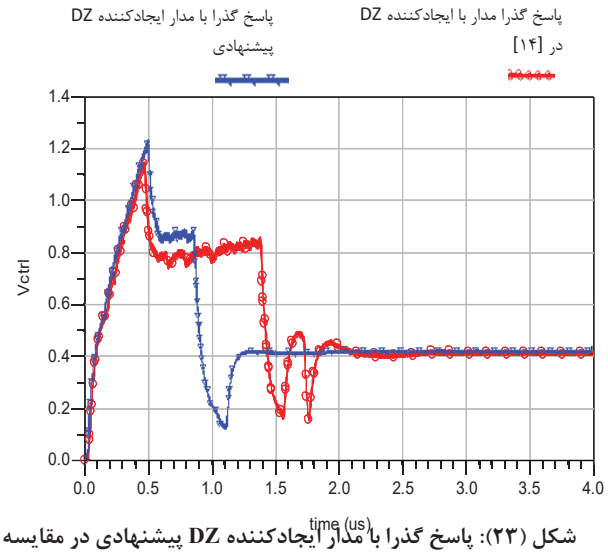


شکل (۲۱): پاسخ گذرا با مدار ایجادکننده DZ در [۱۴]

[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]



شکل (۲۲): پاسخ گذرا با مدار ایجادکننده DZ پیشنهادی



شکل (۲۳): پاسخ گذرا با مدار ایجادکننده DZ پیشنهادی در مقایسه با مدار ارائه شده در [۱۴]

جدول (۱): مقایسه مشخصات سیستم طراحی شده با طراحی‌های اخیر

	تکنولوژی (µm)	فرکانس خروجی (GHz)	فرکانس مرجع (MHz)	اسپور مرجع (dBc)	زمان قفل حلقه (µs)	توان مصرفی (mw)
مرجع[۱۷]*	0.13	1.5	40	-50	5	5.06
مرجع [۱۸]	0.18	2.5	250	-51	1.25	46.9
مرجع[۱۹]	0.18	3.67	50	-65	20	46.7
مرجع[۲۰]	0.18	2.4	5	-40.8	25	7.95
مرجع[۵]	0.18	5	10	-70	20	19.8
مرجع[۹]	0.18	5.3	20	-74	76	36
این مقاله*	0.18	3.2	50	-74	1.9	4.15

*شبیه‌سازی

مراجع

[1] D. Banerjee, PLL performance, simulation and design: Dog Ear Publishing, 2006.

[2] G. Bistue, C. Quemada, and I. Adin, Design methodology for RF CMOS phase locked loops: Artech House, 2009.

[۳] حمید رحیم پور، م. غلامی، غ. اردشیر و ح. میار نعیمی، "طراحی ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر دیجیتالی با سرعت بالا"، مجله انجمن مهندسین برق و الکترونیک ایران، شماره دوم، پائیز ۱۳۹۴، ص ۱-۷.

[4] B. Razavi and R. Behzad, RF microelectronics vol. 1: Prentice Hall New Jersey, 1998.

[5] W.-H. Chiu, Y.-H. Huang, and T.-H. Lin, "A dynamic phase error compensation technique for fast-locking phase-locked loops," Solid-State Circuits, IEEE Journal of, vol. 45, pp. 1137-1149, 2010.

[6] M. Bayer, T. Chomicz, F. James, P. McEntarfer, D. Mijuskovic, and J. Porter, "A low noise CMOS frequency synthesizer with dynamic bandwidth control," in Custom Integrated Circuits Conference, 1994., Proceedings of the IEEE 1994, 1994, pp. 171-174.

[7] W.-H. Chiu, T.-S. Chan, and T.-H. Lin, "A 5.5-GHz 16-mW fast-locking frequency synthesizer in 0.18-µm CMOS," in Solid-State Circuits Conference, 2007. ASSCC'07. IEEE Asian, 2007, pp. 456-459.

[8] C.-Y. Yang and S.-I. Liu, "Fast-switching frequency synthesizer with a discriminator-aided phase detector," Solid-State Circuits, IEEE Journal of, vol. 35, pp. 1445-1452, 2000.

[9] C.-Y. Kuo, J.-Y. Chang, and S.-I. Liu, "A spur-reduction technique for a 5-GHz frequency synthesizer," Circuits and Systems I: Regular Papers, IEEE Transactions on, vol. 53, pp. 526-533, 2006.

[10] Z. Yang, Z. Tang, and H. Min, "A fully differential charge pump with accurate current matching and rail-to-rail common-mode feedback circuit," in Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on, 2008, pp. 448-451.

[11] M.-S. Hwang, J.-H. Kim, and D.-K. Jeong, "Reduction of pump current mismatch in charge-pump PLL," Electronics letters, vol. 45, pp. 135-136, 2009.

[12] S. Cheng, H. Tong, J. Silva-Martinez, and A. I. Karsilayan, "Design and analysis of an ultrahigh-speed glitch-free fully differential charge pump with minimum output current variation and accurate matching," Circuits and Systems II: Express Briefs, IEEE Transactions on, vol. 53, pp. 843-847, 2006.

[13] A. Kral, F. Behbahani, and A. Abidi, "RF-CMOS oscillators with switched tuning," in Custom Integrated Circuits Conference, 1998. Proceedings of the IEEE 1998, 1998, pp. 555-558.

[14] X. Gao, E. A. Klumperink, M. Bohsali, and B. Nauta, "A low noise sub-sampling PLL in which divider noise is eliminated and PD/CP noise is not multiplied by," Solid-State Circuits, IEEE Journal of, vol. 44, pp. 3253-3263, 2009.

[15] D. Cai, H. Fu, J. Ren, W. Li, N. Li, H. Yu, et al., "A dividerless PLL with low power and low reference spur by aperture-phase detector and phase-to-analog converter," Circuits and Systems I: Regular Papers, IEEE Transactions on, vol. 60, pp. 37-50, 2013.

[16] A. R. Shahani, D. K. Shaeffer, S. Mohan, H. Samavati, H. R. Rategh, M. del Mar Hershenson, et al., "Low-power dividerless frequency synthesis using aperture phase

[Downloaded from jiaeee.com on 2025-10-24]

[DOR: 20.1001.1.26765810.1396.14.2.9.2]

detection," Solid-State Circuits, IEEE Journal of, vol. 33, pp. 2232-2239, 1998.
[17] V. I. Karam and J. W. Rogers, "A 5.8 mW Fully Integrated 1.5 GHz Synthesizer in 0.13-µm CMOS," in Silicon Monolithic Integrated Circuits in RF Systems, 2007 Topical Meeting on, 2007, pp. 127-130.
[18] J.-C. Chih, C.-T. Chiu, J.-M. Wu, S.-H. Hsu, and Y.-S. Hsu, "Piecewise-linear phase frequency detector for fast-lock phase-locked loops," in Circuits and Systems (MWSCAS), 2011 IEEE 54th International Midwest Symposium on, 2011, pp. 1-4.
[19] C.-M. Hsu, M. Z. Straayer, and M. H. Perrott, "A low-noise wide-BW 3.6-GHz digital fractional-N frequency synthesizer with a noise-shaping time-to-digital converter and quantization noise cancellation," Solid-State Circuits, IEEE Journal of, vol. 43, pp. 2776-2786, 2008.
[20] D. Mandal and T. Bhattacharyya, "Implementation of CMOS low-power integer-N frequency synthesizer for SOC design," Journal of Computers, vol. 3, pp. 31-38, 2008.

زیرنویس‌ها

[1] Phase Lock Loop(PLL)
[2] lock time
[3] Reference Spur
[4] Voltage Controlled oscillator(VCO)
[5] Low Pass Filter(LPF)
[6] Charge Pump(CP)
[7] Phase/Frequency Detector (PFD)
[8] mainloop
[9] AperturePhaseDetector
[10] Phase to Analog Convertor(PAC)
[11] Frequency Lock Loop (FLL)
[12] Dead Zone(DZ) creator
[13] frequncy acquisition
[14] coarse tuning
[15] fine tuning
[16] Edge missing
[17] Channel charge distribution
[18] Complementary Cross Coupled
[19] True Single Phase Clocking
[20] Dummy

[Downloaded from jiaeee.com on 2025-10-24]
[DOR: 20.1001.1.26765810.1396.14.2.9.2]