

# طراحی و مدل‌سازی مبدل‌های آنالوگ به دیجیتال سازگار با دمای اتاق به کمک نانوترازیستورهای تکالکترونی با جزیره کوانتم نقطه‌ای نیمه‌هادی

حامد امین‌زاده<sup>۱</sup> محمد علی دشتی<sup>۲</sup> محمد میرعلایی<sup>۳</sup>

۱- دانشیار- دانشکده مهندسی برق - دانشگاه پیام‌نور- تهران - ایران

[haminzadeh@ieee.org](mailto:haminzadeh@ieee.org)

۲- کارشناسی ارشد- دانشکده مهندسی برق - دانشگاه آزاد اسلامی واحد بوشهر - بوشهر - ایران  
[miralaei\\_m@yahoo.com](mailto:miralaei_m@yahoo.com)

۳- دانشجوی دکتری- دانشکده مهندسی برق - دانشگاه آزاد اسلامی واحد شیراز - شیراز - ایران  
[dashti.ali1362@gmail.com](mailto:dashti.ali1362@gmail.com)

**چکیده:** در این مقاله، جزئیات طراحی و مدل‌سازی یک مبدل آنالوگ به دیجیتال سازگار با دمای اتاق با استفاده از نانوترازیستورهای تکالکترونی با جزیره کوانتم نقطه‌ای سیلیکونی ارائه شده است. در مقایسه با نانو ترازیستورهای تکالکترونی با جزیره فلزی، استفاده از جزایر سیلیکونی در حد چند نانومتر سبب می‌شود که ترازیستور عملکرد مطلوبی در دمای اتاق داشته باشد و نظام انسداد و نوسان کولنی آن پایدار گردد. نانو ترازیستورهای با جزیره سیلیکونی همچنین همخوانی بیشتری با فرآیند ساخت CMOS دارند و می‌توان آن دو را به صورت ترکیبی و بر روی یک بستر مشترک پیاده‌سازی کرد. مبدل آنالوگ به دیجیتال این مقاله، از نوسان‌های کولنی پایدار مشخصه جریان- ولتاژ ترازیستورهای تکالکترونی سیلیکونی در دمای اتاق بهره‌برداری می‌کند. نمونه سه‌بیتی شبیه‌سازی شده از آن با فرکانس نمونه‌برداری GS/s ۵، از آرایش مقسم خازنی و سه زوج ترازیستور تکالکترونی در آرایش مکمل استفاده می‌کند. شبیه‌سازی آن با استفاده از شبیه‌ساز مونت-کارلوی سایمون انجام گرفته است و نتایج بدست آمده حکایت از عملکرد پایدار ایستا و پویا در دمای اتاق دارد.

**کلمات کلیدی:** نانوترازیستورهای تکالکترونی، فرآیند ساخت نانو، دمای اتاق، رژیم انسدادکولنی، مبدل‌های آنالوگ به دیجیتال با سرعت بالا و نوسان‌های کولنی

---

تاریخ ارسال مقاله: ۱۳۹۴/۱۱/۲

تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۰۹/۱

تاریخ پذیرش مقاله: ۱۳۹۶/۰۲/۷

نام نویسنده‌ی مسئول: دکتر حامد امین‌زاده

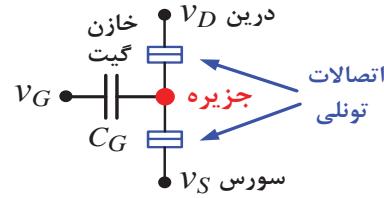
نشانی نویسنده‌ی مسئول: ایران - تهران - بزرگراه ارشاد - دانشگاه پیام‌نور - دانشکده مهندسی برق



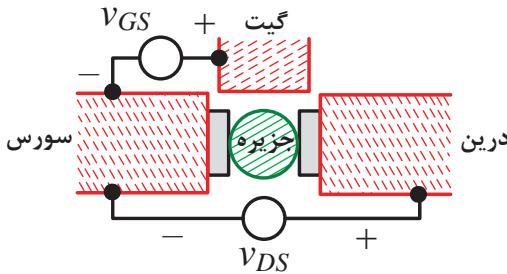
## ۱- مقدمه

با کوچکتر شدن اندازه قطعات نیمه‌هادی و نزدیک شدن آنها به عناصر بینایدین طبیعت یعنی اتم‌ها و مولکول‌ها، چالش‌های جدیدی فراروی فن‌آوری ساخت این قطعات قرار گرفته و امکان پیاده‌سازی مؤثر آنها را با مشکل مواجه نموده است. مطالعات فعلی نشان می‌دهند که این محدودیت‌های بینایدین، در چند سال آینده مانع از کاهش بیشتر اندازه نانوترانزیستورهای CMOS با هدف افزایش سرعت و کاهش سطح آنها خواهد شد [۱-۳]. هم اینک نیز اثرات مرتبط با چالش‌های حوزه نانو شامل نویز، جریان نشتی بالا و مقاومت خروجی پایین، استفاده از نانوترانزیستورهای CMOS را در بسیاری کاربردها نامناسب کرده است [۴-۶]. چندین گزینه به منظور جایگزینی ترانزیستورهای ماسفت فراوری دانشمندان قرار دارد. یکی از آنها استفاده از قطعه‌ای است که بر مبنای تونل‌زنی کنترل شده الکترون‌ها از میان سد پتانسیل کار می‌کند [۷]. قطعه مذکور قادر است که جریان الکترونیکی در حد تغییرات یک یا چند الکtron بر حسب زمان را کنترل کند و به همین دلیل «ترانزیستور تک‌الکترونی» نامیده می‌شود.

اساس کار نانوترانزیستورهای تک‌الکترونی (Single Electron Transistor) یا به اختصار (SET) بر مبنای همین تونل‌زنی متوالی در قالب دو اتصال فلزی عایق و یک جزیره بسیار کوچک (کوانتموی) مرکزی استوار است. شکل (۱) مدل مداری ترانزیستور SET را نشان می‌دهد. کاربرد سه پایانه اصلی یعنی سورس، درین و گیت دقیقاً شبیه به پایانه‌های متناظر در ترانزیستورهای ماسفت است. الکترون‌ها از میان دو سد پتانسیل در بین اتصالات فلزی و جزیره تونل‌زنی کرده و، بسته به اندازه ولتاژ گیت، به صورت کنترل شده از سورس به درین راه می‌یابند (شکل (۲)). ولتاژ گیت، سطح پتانسیل جزیره مرکزی و آستانه تونل‌زنی را کنترل می‌کند و مقدار آن از مرتبه ولت است. ولتاژ اولیه گیت را می‌توان با اضافه کردن یک الکترون یک گیت جانبی (backgate) در کنار الکترون گیت اصلی تنظیم نمود. ترانزیستورهای SET حدنهایی افزارهای کلیدزنی با ابعاد نانومتری هستند و بر مبنای یکی از اصول بنیادین در ابعاد نانو، یعنی تونل‌زنی الکترون‌ها به یک جزیره کوانتموی فلزی، نیمه‌هادی یا مولکولی کار می‌کنند [۸,۹]. این قطعات به واسطه ویژگی‌های منحصر به فردی که از لحاظ توان مصرفی و سطح اشغالی فوق العاده کوچک دارند از پتانسیل بالای برای مجتمع-سازی برخوردار هستند. ادامه تحقیقات بر روی آنها، نوید افزایش چشم‌گیر تراکم مدارهای مجتمع را در آینده‌ای نزدیک می‌دهد [۲-۳].



شکل (۱): آرایش مداری یک ترانزیستور SET



شکل (۲): ساختار فیزیکی ترانزیستور SET

یک ویژگی منحصر به فرد ترانزیستورهای SET، تناوبی بودن جریان درین-سورس با تغییر ولتاژ گیت آن است که با عنوان «نوسان کولنی» شناخته می‌شود. منشاء اصلی آن، سازوکار نقل و انتقال الکترون‌ها به جزیره کوانتموی است که در ادامه توضیح داده خواهد شد.

به ازای ولتاژ گیت صفر ولت، انسداد کولنی در جزیره رخ می‌دهد. در این وضعیت هیچ الکترونی قادر نیست که به داخل جزیره و یا از آن به خارج تونل‌زنی کند. لذا جریان درین-سورس و هدایت ترانزیستور برابر با صفر خواهد بود. با افزایش ولتاژ گیت، به تدریج انرژی پتانسیل جزیره کاهش یافته و اولین سطح انرژی خالی در مجاورت با سطوح فرمی درین و سورس قرار می‌گیرد. با اعمال ولتاژ درین-سورس چند ده میلی‌ولت، الکترون‌ها در این حالت قادر خواهد بود که از پایانه سورس به جزیره و سپس به درین تونل‌زنی نموده و جریان قابل اندازه گیری درین-سورس را ایجاد کنند. اگر ولتاژ گیت باز هم افزایش یابد، سطح انرژی جزیره باز هم پایین‌تر آمده و یک الکترون آزاد در بالا-ترین سطح انرژی به دام می‌افتد. افزایش انرژی جزیره به واسطه حضور این الکترون، مجدد باعث انسداد کولنی می‌شود. تفاوت انسداد فعلی با قبلی (به ازای ولتاژ صفر ولت) آن است که یک الکترون اضافی در جزیره به دام افتاده است. واضح است که با افزایش بیشتر ولتاژ گیت انسدادهای جدیدی رخ داده و تعداد بیشتری الکترون به دام می‌افتد [۱۰، ۱۱]. این پدیده باعث تغییر تناوبی هدایت انتقالی و جریان ترانزیستور با ولتاژ گیت خواهد شد که مبنای ایجاد نوسان‌های کولنی می‌باشد.

در ادامه این مقاله، در بخش ۱-۱ به مقایسه راهکارهای ممکن برای پیاده‌سازی مبدل‌های آنالوگ به دیجیتال فلش می‌پردازیم. در این رابطه برتری‌های مبدل آنالوگ به دیجیتال ساخته شده از ترانزیستورهای SET را نسبت به ساختارهای معمول مبتنى بر ترانزیستورهای CMOS برخواهیم شمرد. مبدل فلش از نوع ترانزیستور تک‌الکترونی این مقاله، به کمک یک آرایش مداری بهینه موسوم به «تابع متقارن متناوب» (Periodic Symmetric Function) یا (PSF) طراحی شده است. تابع PSF یک تابع متناوب با دوره تناوب  $T_p$  و با نماد  $F_p(X)$  است که وابسته به مجموع ورودی‌ها بوده ( $X = \sum x_i$ ) و از رابطه  $F_p(X + T_p) = F_p(X)$  تبعیت می‌کند. توابع مورد نظر با استفاده از ترانزیستورهای تک‌الکترونی با جزیره کوانتم مقطعه‌ای

پیچیدگی یک مقایسه‌کننده در فن‌آوری CMOS، به مراتب بیشتر از یک زوج SET مکمل ساده است. برخلاف مبدل‌های آنالوگ به دیجیتال CMOS، مبدل‌های SET نیازی به کدکننده (Encoder) برای تبدیل کد خروجی به باینری ندارند. دلیل آن، وجود خاصیت تنابو ذاتی ترانزیستورهای SET است که باعث می‌شود که خروجی زوج SET مکمل، از ابتدا به شکل باینری باشد. مبدل‌های آنالوگ به دیجیتال مبتنی بر نانو افزارهای SET را می‌توان بر مبنای توابع متقارن متناوب پیاده‌سازی نمود. اما عدم دسترسی به ترانزیستورهای با رفتار پایدار در دمای اتاق سبب شده است که کاربرد این بلوک (و مدارهای مشتق شده از آن)، اغلب به دمای پایین و در محدوده چند درجه کلوین محدود گردد [۱۴, ۱۵, ۱۶, ۱۷]. ساختار پیشنهاد شده در [۱۵]، از یک مدار ترکیبی شامل ترانزیستورهای ماسفت و SET بهمنظر طراحی مبدل استفاده می‌کند. به قیمت افزایش پیچیدگی، نتایج شبیه‌سازی نشان‌دهنده توان مصرفی پایین‌تر و سرعت نمونه‌برداری بالاتر نسبت به مبدل CMOS یکسان است. نحوه شبیه‌سازی این مبدل، مبتنی بر برازش منحنی بر روی نمودارهای واقعی در دمای پایین و به کمک شبیه‌ساز SPICE است. اما هیچ راهکاری برای پایدار و صحت عملکرد مبدل در دمای اتاق پیشنهاد نشده است.

در این مقاله از یک معماري بهینه برای پیاده‌سازی مبدل آنالوگ به دیجیتال فلاش مبتنی بر ترانزیستورهای SET سیلیکونی استفاده شده است. در مقایسه با مبدل‌های رایج [۱۴, ۱۵, ۱۶, ۱۷]، این ساختار به حداقل تعداد بلوک‌ها برای پردازش نیاز دارد. اگر چه تعداد بلوک‌های آن با ساختار پیشنهاد شده در مقاله [۱۵] برابری می‌کند، اما تابع متقارن متناوب آن تنها به دو SET سیلیکونی نیاز دارد. این در شرایطی است که دروازه دقیق موجود در [۱۵]، از ترکیب یک فلازی و دو ترانزیستور ماسفت شکل گرفته است. مزیت مهم دیگر ساختار پیشنهادی، توانایی آن در تولید خروجی پایدار در دمای اتاق است؛ در حالی که ساختارهای مبتنی بر SET قبلی لزوماً در دمای پایین عملکردی پایدار دارند.

## ۲- ترانزیستورهای تک الکترونی با جزیره کوانتوم نقطه‌ای سیلیکونی

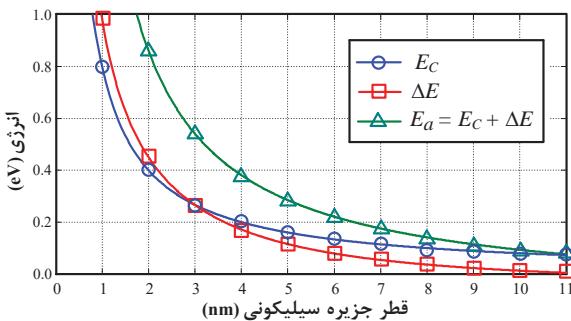
طراحی یک مبدل داده کارآمد مبتنی بر ترانزیستورهای سیلیکونی در دمای اتاق، قبل از هر چیز نیازمند یک مدل دقیق از رفتار ترانزیستورهای موردنظر است [۸, ۹, ۱۸-۲۰]. برای این کار به یک توصیف دقیق و جامع از خواص بنیادین نانوترانزیستورهای تکالکترونی نیاز داریم. یک تئوری جامع برای درک چگونگی باردار شدن جزیره کوانتوم نقطه‌ای، مدل انسداد کولنی است که بر پایه تئوری‌های آماری شکل گرفته است. این مدل قادر است که رفتار ترانزیستور تکالکترونی با جزیره فلازی و نیمه‌هادی را تشریح کند [۷]. بر مبنای مدل انسداد کولنی، سازوکار انتقال بار در ترانزیستور SET از تونل‌زنی متواالی

سیلیکونی پیاده‌سازی شده‌اند. با مطالعه روابط موجود در مقالات، بخش ۲ به تحلیل رفتار بلوک اصلی سازنده مبدل پیشنهادی در دمای اتاق یعنی ترانزیستور SET سیلیکونی می‌پردازد. این ترانزیستورها دارای جزیره کوانتوم نقطه‌ای سیلیکونی به شکل کروی و با ابعاد ۱۰ نانومتر هستند. بر خلاف ترانزیستورهای SET با جزیره فلزی که تنها در دمای‌های نزدیک به صفر مطلق کارآیی مطلوب دارند، ترانزیستورهای مورد نظر دارای رفتاری پایدار در دمای اتاق ( $T = 300^{\circ}\text{K}$ ) هستند. در بخش ۳، رفتار ترانزیستور مورد نظر را شبیه‌سازی خواهیم کرد و یک آرایش مداری بهینه برای پیاده‌سازی مبدل بر مبنای توابع متقارن متناوب ارائه خواهیم کرد. توابع PSF کاربرد زیادی در مکمل‌گیری، شمارش و جمع و تفریق نمودن داده‌های دیجیتال دارند [۱۱, ۱۲]. در این مقاله، اما، مشخصه ورودی- خروجی PSF مبدل آنالوگ به دیجیتال با کمترین هزینه و به کمک توابع  $n$  پایدار در دمای اتاق پیاده‌سازی شده است. تابع موردنظر دارای تنها دو ترانزیستور SET مکمل با جزیره کوانتوم سیلیکونی است و در دمای اتاق عملکرد پایدار دارد. لذا طراحی یک مبدل آنالوگ به دیجیتال  $n$  بیتی و مبتنی بر ترانزیستورهای SET در دمای اتاق ممکن شده است. جزئیات شبیه‌سازی یک مبدل آنالوگ به دیجیتال ۳ بیتی از این نوع، در بخش سوم ارائه خواهد شد. در نهایت بخش چهارم به نتیجه‌گیری و جمع‌بندی مطالب اختصاص دارد.

### ۱- مقایسه انواع مبدل‌های آنالوگ به دیجیتال

مبدل‌های داده از ضروری‌ترین بلوک‌های پردازش اطلاعات در پردازش‌گرهای کنونی محسوب می‌شوند [۵]. در این مقاله، به مدل‌سازی و طراحی یک مبدل آنالوگ به دیجیتال مبتنی بر ترانزیستور SET پرداخته‌ایم. بر خلاف ترانزیستورهای ماسفت با قابلیت انتقال بار از زیر ناحیه گیت، نانوفزارهای SET از یک جزیره نانومتری برای انتقال بار به روش تونل‌زنی استفاده می‌کنند. این ترانزیستورها به دلیل مصرف توان فوق العاده پایین، سطح اشغالی کم و مشخصه ولتاژ- جریان منحصر به فرد، از پتانسیل بالایی برای استفاده در مبدل‌های داده برخوردار هستند [۱۳]. تاکنون ساختارهای متعددی برای پیاده‌سازی مبدل‌های آنالوگ به دیجیتال فلاش با استفاده از ترانزیستورهای SET، ماسفت و ترکیب آنها پیشنهاد شده است [۱۴, ۱۵, ۱۶, ۱۷]. بررسی این مبدل‌ها نشان می‌دهد که نوع مبتنی بر ترانزیستور SET، فشرده‌تر و کارآمدتر بوده و از سرعت بالاتر و توان مصرفی پایین‌تری برخوردار است. به عنوان نمونه، مبدل  $n$  بیتی گزارش شده در [۱۴] تنها به  $n$  زوج ترانزیستور SET مکمل نیاز دارد. این در حالی که است که مبدل فلاش متناظر با آن در فرآیند CMOS، به  $2^n$  مقایسه‌کننده نیازمند است. این امر به معنای کاهش قابل توجه نرخ پیچیدگی و تعداد بلوک‌های لازم برای پیاده‌سازی مبدل (از نمایی به خطی) است و در درجه نخست، از خاصیت تنابو ذاتی جریان در ترانزیستورهای SET نشأت می‌گیرد. نباید این نکته را نیز از نظر دور داشت که





شکل (۳): تغییرات  $E_C$  و  $\Delta E$  بر حسب قطر جزیره سیلیکونی شکل (۳) نتیجه شبیه‌سازی  $E_C$ ،  $\Delta E$  و  $E_a$  را بر حسب قطر یک جزیره نیمه‌هادی سیلیکونی نشان می‌دهد. نمودار مذکور با حل معادلات شرودینگر سه بعدی برای یک کره سیلیکونی در ابعاد نانومتر و با استفاده از نرم‌افزار Nextnano بدست آمده است. با کاهش کافی قطر جزیره تا حد چند نانومتر می‌توان  $E_a$  را به قدر کافی افزایش داد و به رژیم نوسان کولنی پایدار در دمای اتاق و حتی بالاتر از دمای اتاق دست یافته.

ساز و کار انتقال بار در ترانزیستور SET با جزیره کوانتوم نقطه‌ای سیلیکونی کمی متفاوت از رژیم انسداد کولنی کلاسیک است و بر مبنای «رژیم انسداد کولنی کوانتومی» انجام می‌شود [۲۱، ۲۴]. از نقاط ضعف تئوری ارتدکس، صرفظر کردن از گستینگی سطوح انرژی است. این وضعیت تنها برای جزایر فلزی معتبر می‌باشد [۲۵]. اما رژیم انسداد کولنی کوانتومی می‌تواند نرخ تونلزنی را به ازای هر سطح انرژی و با در نظر گرفتن گستینگی سطوح محاسبه نموده و تصویری از جریان عبوری و هدایت انتقالی ترانزیستور ارائه دهد.

شکل (۴) چگالی حالت‌های انرژی را قبل و بعد از اتصال فلز به نیمه‌هادی در ترانزیستور SET با جزیره سیلیکونی نشان می‌دهد. قبل از اتصال، چگالی حالت‌های انرژی شامل یک سطح مشخص  $E_0$  در جزیره و توزیع یکنواخت سطوح در الکترود فلزی است. ولی پس از تزویج الکترود با جزیره سطوح انرژی به شکل یکنواخت توزیع می‌شوند و مجدداً در فواصل دورتر به سطح اولیه  $E_0$  می‌رسد. انرژی‌ای که پس از تزویج باعث تونلزنی و انتقال الکترون‌ها از درین به سورس می‌شود، انرژی آزاد نام دارد و از اختلاف انرژی کل ذخیره شده در قطعه و انرژی دریافت شده از منابع ورودی نشات می‌گیرد [۲۶]. تغییر تعداد الکترون‌های جزیره از  $n$  به  $n+1$  منجر به تغییر انرژی آزاد می‌شود که آن را  $\Delta F$  نشان می‌دهیم. در حالت کلی، نرخ تونلزنی الکترون‌ها از سد پتانسیل فلز و جزیره کوانتوم نقطه‌ای نیمه‌هادی یک فرآیند تصادفی با توزیع احتمالی است. به کمک قانون طلایب فرمی می‌توان نشان داد که نرخ تونلزنی از حالات اشغال شده الکترود فلزی به حالات اشغال نشده جزیره سیلیکونی با  $n$  الکtron از رابطه زیر بدست می‌آید [۷، ۲۲]:

$$(1) \quad E_a = E_C + \Delta E$$

انرژی لازم برای اضافه کردن یک الکtron جدید به جزیره با  $E_a$  نشان داده می‌شود که به میزان بار الکتریکی موجود در آن بستگی دارد. اثرات کوانتومی و کنش‌های بین الکترون‌ها می‌توانند بار جزیره را به صورت گستینه تغییر دهند. در مجموع،  $E_a$  برابر با حاصل جمع دو مولفه زیر است.

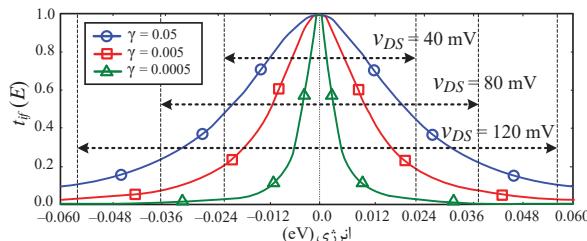
در آن،  $\Delta E$  برابر با تفاوت بالاترین سطح انرژی اشغال شده به پایین-ترین سطح انرژی اشغال نشده در جزیره کوانتومی و  $E_C$  انرژی لازم برای باردار شدن جزیره است که به میزان اندرکنش الکترون‌ها بستگی دارد [۷]. یک راه تقریبی برای بدست آوردن  $E_C$ ، محاسبه انرژی لازم برای باردار شدن ظرفیت کل خازنی جزیره یا  $C_\Sigma$  است. مقدار این خازن برابر است با [۲۱]

$$(2) \quad C_\Sigma = C_S + C_G + C_D$$

در رابطه بالا،  $C_S$ ،  $C_G$  و  $C_D$  به ترتیب ظرفیت خازن‌های دیده شده از جزیره تا پایانه‌های سورس، گیت و درین می‌باشند. واضح است که با این نمادگذاری و با در نظر گرفتن  $e$  به عنوان بار الکtron،  $E_C$  از رابطه زیر بدست می‌آید [۲۲، ۲۳]:

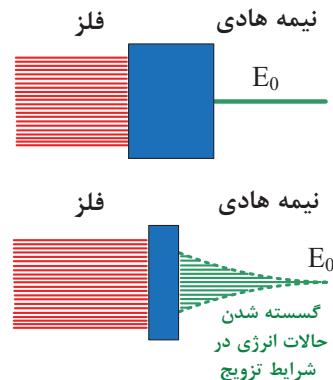
$$(3) \quad E_C = e^2 / C_\Sigma$$

افزایش میزان نوسان الکترون‌ها با افزایش انرژی آنها در دمای اتاق صفر مطلق، به ترتیج سازوکار انسداد کولنی و انتقال کنترل شده الکترون‌ها را بر هم می‌زند. برای آنکه بتوانیم از نوسان‌های حرارتی در دمای اتاق اتفاق نظر نداشته باشیم باید همچنان رابطه  $E_A \gg K_B T$  را برقرار نگاه داریم. طبق این رابطه تنها آن دسته از ترانزیستورهای تک الکترونی قادر هستند که در دمای اتاق، نوسان‌های کولنی پایدار داشته باشند که  $E_a$  به حد کافی بزرگ و از مرتبه چند الکtron ولت داشته باشند [۲۳]. در ترانزیستورهای SET با جزیره کوانتومی فلزی،  $\Delta E$  همواره خیلی کوچکتر از  $E_C$  است. لذا طبق رابطه (۱)،  $E_a$  به  $E_C$  گردیده و رژیم انسداد کولنی در دمای اتاق به شرط  $K_B T < E_C$  برقرار خواهد ماند. با توجه به اندازه متدالو  $E_C$  این شرط به هیچ وجه در مورد فلزات برقرار نمی‌باشد. به این ساز و کار، «رژیم کلاسیک انسداد کولنی» در فلزات می‌گویند و تحلیل آن بر مبنای تئوری ارتدکس انجام می‌گیرد [۷]. برخلاف جزایر فلزی، گستینگی سطوح انرژی در جزایر نیمه‌هادی با ابعاد نانومتری باعث می‌شود که  $\Delta E$  آنها قابل مقایسه و یا حتی بزرگ‌تر از  $E_C$  آنها باشد.

شکل (۵): احتمال تونیزی  $\mu_i$  بر حسب سطح انرژی

## ۱-۲ شبیه سازی ترانزیستور

در این مقاله، از نرم افزارهای *Nextnano* و سایمون (*SIMON*) به منظور شبیه سازی رفتار فیزیکی و مداری ترانزیستورهای تک الکترونی استفاده شده است [۲۶]. به کمک *Nextnano* می توان انرژی لازم برای بار دار شدن جزیره  $E_C$  و نیز اختلاف سطح انرژی  $\Delta E$  را به صورت مجزا از هم بدست آورد. از طرف دیگر، شبیه ساز سایمون قادر است که اثرات گسسته شدن انرژی در جزیره را با تعریف یکتابع لورنتزی لحاظ کند. تنظیم تابع لورنتز به طور دستی و با تنظیم ارتفاع ( $H$ ) و پهنای ( $W$ ) هر سطح انرژی انجام گردید. این دو پارامتر مقاومت سد پتانسیل جزیره سیلیکونی را نسبت به سطوح گسسته انرژی تغییر می دهند. متغیر  $H$  ارتفاع نهایی تابع لورنتز و متغیر  $W$  پهنای هر سطح انرژی را در جزیره بر اساس شکل تابع لورنتز تعیین می کند. تعیین دقیق میزان  $W$  پیچیده است؛ اما با نرمالیزه کردن تابع لورنتز و در نظر گرفتن  $H = 1$  می توان اثرات ناشی از تغییر اندازه جزیره کوانتومی و میزان گسستگی و پهن شدن سطوح را به شکل ساده تری مطالعه نمود. چگونگی مدل سازی ترانزیستورهای SET همچنان از بحث های داغ موجود در مقالات اخیر است [۸,۹]. در این مقاله مقادیر مجھول مدل به گونه ای تنظیم شده اند که نتایج بدست آمده با منحنی های جریان - ولتاژ ترانزیستور تک الکترونی ساخته شده با جزیره سیلیکونی کروی موجود در [۲۱] (و با خازن کلی  $C_{\text{tot}} = C_0 = 4\pi\epsilon_0 r = 0.43 \text{ aF}$ ) مطابق باشند. لازم به ذکر است که چنین خازن هایی به طور مستقیم پیاده سازی نمی شوند بلکه به شکل جانبی و از تزویج جزیره کروی با الکترودهای اطراف بدست می آیند. جزیره کروی از جنس سیلیکون با قطر ۲ نانومتر، توسط سدهای پتانسیلی با عایق  $\text{SiO}_2$  محصور شده است. دو سطح اول انرژی آن، با حل معادله شرودینگر سه بعدی به کمک نرم افزار *Nextnano* بدست آمدند. این مقادیر به ترتیب برابر با  $0.77 \text{ eV}$  برای تراز انرژی پایه و  $1.20 \text{ eV}$  برای اولین تراز انرژی تحریک شده و از لبه باند هدایت هستند. لذا اختلاف بین این دو سطح انرژی (یا همان  $\Delta E$ ) در حدود  $0.43 \text{ eV}$  می شود. این اختلاف به عنوان یک پارامتر اولیه در شبیه ساز سایمون لحاظ گردید و با استفاده از آن، مشخصه جریان - ولتاژ یک ترانزیستور SET نمونه شبیه سازی گردید. مقدار بدست آمده برای  $\Delta E$  با انرژی لازم برای بار دار شدن جزیره (یا همان  $E_C$ ) قابل مقایسه است. به کمک نرم افزار *Nextnano* می توان تغییرات  $\Delta E$  را بر حسب قطر جزیره کروی مطالعه کرده (شکل (۳)) و حداقل قطر لازم برای



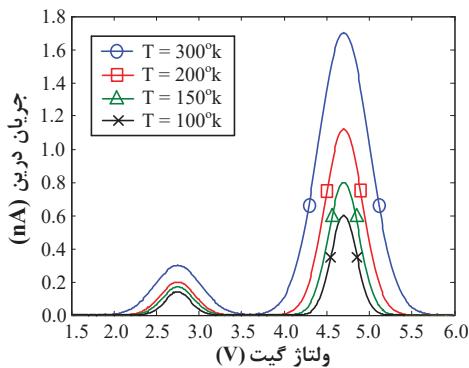
شکل (۴): چگالی حالات انرژی قبل و بعد از تزویج الکتروها با جزیره کوانتوم نقطه ای نیمه هادی

$$\Gamma(n, n+1) = \frac{2\pi}{\hbar} t_{if} \int_{-\infty}^{+\infty} f(E) [1 - f(E - \Delta E)] dE \quad (4)$$

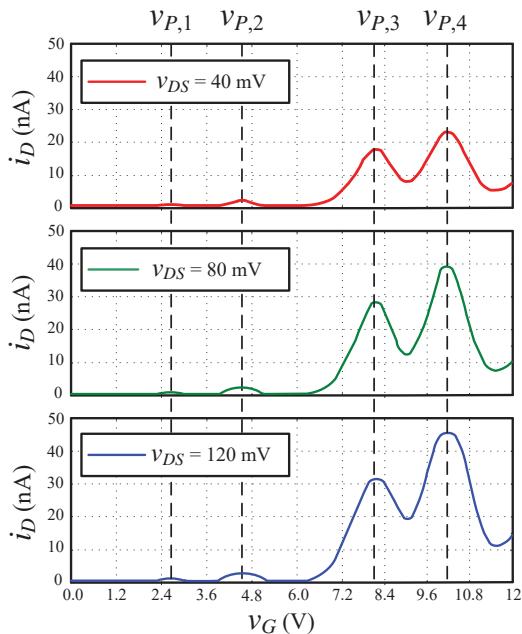
در رابطه بالا،  $t_{if}$  احتمال تونیزی بین حالات اولیه و نهایی، ( $E_i$ ) تابع توزیع فرمی احتمال پربودن سطح انرژی  $E_i$  در جزیره و  $f(E_f)$  احتمال پیدا کردن سطح خالی از جزیره  $E_f$  در جزیره است. برای جزایر کوانتوم نقطه ای سیلیکونی با سطوح انرژی گسسته، نمی توان  $t_{if}$  را برای همه سطوح ثابت فرض کرد. با یک تقریب خوب می توان  $t_{if}$  بر حسب انرژی را با یک تابع لورنتز و با ضابطه زیر مدل سازی نمود تا از آن برای تخمین هدایت انتقالی قطعه استفاده شود [۱۸,۲۴]

$$t_{if}(E) = \sum_n \alpha_n \frac{(\gamma_n/2)^2}{(E - E_n)^2 + (\gamma_n/2)^2} \quad (5)$$

در رابطه بالا،  $E_n (n = 0, 1, 2, \dots)$  اندازه سطوح انرژی جزیره سیلیکونی و در شرایطی است که این سطوح در ابعاد نانومتری از یکدیگر گسسته شده اند. پارامتر  $\gamma_n$  برابر با پهنای تابع بالا در نصف ارتفاع بوده و فرکانس فرار الکترون از جزیره را نشان می دهد. متغیر  $\alpha_n \leq 1$  نشان دهنده شدت عبور است و با شفافیت، طول و عرض سد پتانسیل ارتباط دارد. شکل (۵) حاصل شبیه سازی  $t_{if}$  یک ترانزیستور SET با جزیره سیلیکونی را بر حسب سطوح انرژی و به ازای مقادیر مختلف  $\gamma_n$  نمایش می دهد. به ازای سطوح انرژی پایین تر که متناظر با گسستگی کمتر آن سطوح است (مثلا در  $\gamma_n = 0.0005$ ،  $t_{if}$  تقریبا مستقل از ولتاژ و جریان بوده و لذا به نزد تونیزی و جریان درین ثابت می انجامد (رابطه (۴)). ولی به ازای سطوح انرژی بالاتر ( $\gamma_n = 0.005$  و  $\gamma_n = 0.05$ ، تغییرات ولتاژ درین سورس به تغییرات شدیدتر جریان می انجامد). تفاوت اصلی مشخصه جریان - ولتاژ ترانزیستورهای با جزیره نیمه هادی و ترانزیستورهای با جزیره فلزی، از گسستگی سطوح انرژی و وابستگی  $t_{if}$  به انرژی ناشی می شود. این موضوع برای جزایر فلزی مصدق نداشته و  $t_{if}$  همواره ثابت است.



شکل (۶): منحنی جریان-ولتاژ ترانزیستور SET سیلیکونی؛ شامل نوسان‌های کولنی در دماهای مختلف



شکل (۷): تغییرات جریان بر حسب ولتاژ درین-سورس در دمای اتاق

با توجه به تزویج خازنی گیت، این انرژی معادل با ولتاژ گیتی به اندازه زیر است:

$$v_{G1} = \left( \frac{C_\Sigma}{C_G} \right) \left[ \frac{e}{2C_\Sigma} + \frac{\Delta E}{e} - \frac{C_D}{C_\Sigma} v_{DS} \right] \quad (7)$$

برای آنکه جریان به حداکثر مقدار خود برسد، پایین ترین سطح انرژی باید در میانه سطوح فرمی درین و سورس قرار گیرد. لذا  $v_{P,1}$  وقتی حاصل خواهد شد که ولتاژ گیت اضافی به مقدار  $(C_\Sigma/C_G)(v_{DS}/2)$  نیز به  $v_{G1}$  اضافه شود:

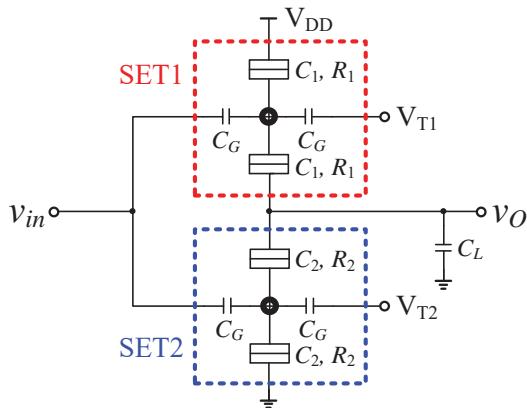
$$v_{P,1} = \frac{C_\Sigma}{C_G} \left[ \frac{e}{2C_\Sigma} + \frac{\Delta E}{e} - \frac{C_D}{C_\Sigma} v_{DS} \right] + \frac{C_\Sigma}{C_G} \left( \frac{v_{DS}}{2} \right) \quad (8)$$

با کمی افزایش ولتاژ، اولین سطح خالی انرژی با یک الکترون آزاد پر

عملکرد پایدار در دمای اتاق را بدست آورد. چنین عملکرد مطلوبی تنها با جزایر کوانتومی سیلیکونی و با قطر حداکثر 3.5 nm حاصل می‌شود [۲۴,۲۷]. شکل (۶)، حاصل شبیه‌سازی جریان درین-ولتاژ گیت ترانزیستور را در دماهای مختلف و به ازای  $v_{DS} = 50$  mV نمایش می‌دهد. نوسان‌های کولنی در همه دمایا و از جمله دمای اتاق قابل رویت بوده و عملکرد مطلوب ترانزیستور تک الکترونی سیلیکونی را در دمای اتاق نوید می‌دهد. دامنه قله‌های جریان، با افزایش ولتاژ گیت و افزایش تعداد الکترون‌های اضافی در جزیره بزرگتر می‌شوند. دلیل این مسئله را باید ناشی از ابستگی نمایی پهنانی سطوح انرژی به ارتفاع و پهنانی سد پتانسیل دانست. به عبارت دیگر، ارتفاع سد پتانسیل با افزایش  $v_{GS}$  کمتر می‌گردد که موجب می‌شود که احتمال تونلزنی الکترون‌ها از سد پتانسیل به صورت نمایی افزایش یابد. به عنوان یک نتیجه کلی، پهنا و ارتفاع قله‌های جریان با بیشتر شدن ولتاژ گیت افزایش می‌یابند. شکل (۷) نوسان‌های کولنی نمودار جریان-ولتاژ را در دمای اتاق و به ازای ولتاژهای درین-سورس مختلف نشان می‌دهد. با افزایش  $v_{DS}$ ، ارتفاع و پهنانی قله‌های جریان افزایش می‌یابند. در واقع به ازای هر ولتاژ درین-سورس، یک سطح انرژی مشخص از جزیره کوانتومی بین سطوح فرمی درین و سورس قرار می‌گیرد. لذا طبق شکل (۵)، آن قسمت از پهنانی سطوح انرژی که میان انرژی سورس و درین قرار گیرد مشخص کننده احتمال تونلزنی و اندازه قله جریان خواهد بود. برای آن دسته از سطوح انرژی که پهنانی بیشتری دارد، افزایش ولتاژ اثر قوی‌تری بر روی قله خواهد گذاشت چرا که بیشتر شدن ولتاژ در هر گام، پهنانی انرژی بیشتری را قبل رویت نموده و موجب افزایش قله جریان خواهد شد. نکته قابل تأمل دیگر در شکل (۷) تغییر نرخ افزایش ارتفاع قله‌ها با افزایش ولتاژ گیت است. منشاء این قضیه را باید در انتقال تراز انرژی از حالت پایه (اوربیتال شبه ۵) به اولین تراز انرژی تحریک شده (اوربیتال شبه ۷) دانست. برای اوربیتال شبه ۷، احتمال حضور الکترون در لبه‌های جزیره کوانتومی (و پهنانی سطوح انرژی) بیشتر از اوربیتال شبه ۵ است [۲۷]. بنابراین دو قله ابتدایی جریان که مربوط به اسپین بالا و پایین تراز انرژی پایه هستند، ارتفاع بسیار کمتری نسبت به دو قله انتهایی (اسپین بالا و پایین تراز انرژی تحریک شده اول) دارند.

نکته پر اهمیت دیگر در رابطه با مشخصه ترانزیستور SET سیلیکونی، نحوه محاسبه ولتاژ گیت معادل با قله‌های جریان (ولتاژهای  $v_{P,2}$ ,  $v_{P,3}$  و  $v_{P,4}$ ) در شکل (۷) است. الکترودهای درین، گیت و سورس دارای تزویج خازنی با جزیره کوانتومی هستند. لذا اعمال ولتاژ  $v_{DS}$  پتانسیل جزیره را به اندازه  $(C_D/C_\Sigma)v_{DS}$  کاهش می‌دهد. فرض کنید که تنها راه برای افزایش جریان درین، کم کردن پتانسیل حالت‌های خالی انرژی در جزیره باشد به طوری که این سطوح در بین سطوح فرمی درین و سورس قرار گیرند. انرژی مورد نیاز برای خنثی‌سازی الکتریکی جزیره برابر است با

$$E_N = E_C/2 + \Delta E - v_{DS} \quad (9)$$



شکل (۸): آرایش مداری بلوک‌های PSF پیاده‌سازی شده با دو ترانزیستور SET با جزایر سیلیکونی

قبل از هر چیز لازم است که پارامترهای اصلی دو ترانزیستور SET تعریف شوند. عناصر  $R_1$ ,  $C_1$ ,  $R_2$  و  $C_2$  به ترتیب نشان‌دهنده مقاومت و خازن پیوندهای تونلی هستند. اندازه خازن‌ها به شکل فیزیکی پیوندها بستگی دارند در حالی که مقاومت‌ها، به طور مستقیم وابسته به نرخ تونل زنی الکترون‌ها هستند (رابطه (۴)). عملکرد مطلوب در دمای اتاق مستلزم آن است که انرژی لازم برای باردار شدن جزیره سیلیکونی بزرگ‌تر از نوسان‌های حرارتی بوده و مقاومت‌های تونل زنی  $R_1$  و  $R_2$  به مراتب کوچک‌تر از مقاومت واحد کوانتمومی یعنی  $R_Q = h/e^2 \approx 28.5 \text{ k}\Omega$  گردند. مقدارهای دقیق  $R_1$ ,  $R_2$ ,  $C_1$  و  $C_2$  از طریق شبیه‌سازی و پس از تعیین دقیق نوع ترانزیستور و ابعاد جزیره کوانتمومی آن تعیین می‌شوند. دو خازن مساوی  $C_G$  در شکل (۸)، نشان‌دهنده خازن‌های تزویج گیت‌ها با جزیره کوانتمومی هستند و دوره تناوب نوسان‌های کولنی را در دمای اتاق طبق روابط (۸) تا (۱۱) تعیین می‌کنند.

عملکرد کلی دو ترانزیستور SET موجود در PSF را می‌توان با در نظر گرفتن هر یک به عنوان یک کلید ساده بررسی نمود. وضعیت روشن بودن (ON) یا خاموش بودن (OFF) هر کلید توسط ولتاژ گیت اصلی یعنی  $v_{in}$  تعیین می‌شود. مقاومت روشن بودن ( $R_{ON}$ ) و خاموش بودن ( $R_{OFF}$ ) هر ترانزیستور تک‌الکترونی که در دمای بالاتر از صفر مطلق کار می‌کند، متفاوت از مقدارهای ایده‌آل صفر و بینهایت است. با این حال، اگر ترانزیستور در یک دمای مشخص پایدار باشد، آن به طرز قابل توجهی بزرگ‌تر از  $R_{ON}$  خواهد بود ( $\gg R_{OFF}$ ). فرض کنید که سیگنال اعمال شده به ورودی PSF به گونه‌ای باشد که ترانزیستور SET1 را در وضعیت روشن و ترانزیستور SET2 در وضعیت خاموش قرار دهد. در این شرایط، خازن بار  $C_L$  از طریق SET1 و با ولتاژ تغذیه  $V_{DD}$  شارژ می‌شود و خواهیم داشت:

$$v_0 = R_{OFF}V_{DD}/(R_{OFF} + R_{ON}) \approx V_{DD} \quad (12)$$

این ولتاژ در خروجی به عنوان سطح  $1^\circ$  منطقی تلقی می‌شود. در حالت دیگر، فرض کنید که ترانزیستور SET1 در وضعیت خاموش و

می‌شود و انسداد کولنی رخ می‌دهد. برای حداکثر شدن مجدد جریا باید سطوح انرژی مجدداً به میزان  $E_C = e^2/C_\Sigma$  کاهش یابند. این مقدار معادل با ولتاژ گیتی به قرار زیر است:

$$v_{P,2} = v_{P,1} + \frac{C_\Sigma}{C_G} \left( \frac{e}{C_\Sigma} \right) \quad (9)$$

با افزایش بیشتر ولتاژ گیت، تغییر تراز انرژی رخ می‌افتد. لذا قله سوم با کاهش پتانسیل جزیره به میزان  $E_a = E_C + \Delta E$  انفاق می‌افتد که معادل با ولتاژ گیت به اندازه زیر است:

$$v_{P,3} = v_{P,2} + \frac{C_\Sigma}{C_G} \left( \frac{e}{C_\Sigma} + \frac{\Delta E}{e} \right) \quad (10)$$

در تراز یکسان، قله چهارم با کاهش انرژی به میزان  $E_C$  رخ می‌دهد که معادل با ولتاژ گیت به اندازه زیر است:

$$v_{P,4} = v_{P,3} + \frac{C_\Sigma}{C_G} \left( \frac{e}{C_\Sigma} \right) \quad (11)$$

به همین ترتیب، نوسان‌های کولنی به ازای سطوح مختلف انرژی تکرار می‌شوند تا قله‌های بعدی از روابط مشابه بدست می‌آیند.

### ۳- مبدل‌های آنالوگ به دیجیتال مبتنی بر ترانزیستورهای تک الکترونی در دمای اتاق

سرعت بالا و سطح اشغالی بسیار کوچک، ترانزیستورهای SET را در زمرة بهترین گزینه‌ها بهمنظور پیاده‌سازی مبدل‌های آنالوگ به دیجیتال پرسرعت قرار می‌دهد. در این قسمت، ابتدا جزئیات طراحی یک مبدل آنالوگ به دیجیتال فلش شامل ترانزیستورهای تک الکترونی سیلیکونی را در بخش ۱-۳ مطالعه می‌کنیم. پس از آن در بخش ۲-۳، رفتار ایستا و پویای یک مبدل ۳ GS/s را شبیه‌سازی نموده و نتایج حاصل را با کارهای تحقیقاتی مشابه مقایسه می‌کنیم.

### ۱-۳ نحوه طراحی مبدل

شکل (۸) آرایش مداری PSF استفاده شده در این مقاله را به تصویر می‌کشد. ساختار آن شامل دو ترانزیستور SET مکمل است که مشابه با دروازه معکوس‌کننده در مدارهای CMOS رفتار می‌کنند. با این حال، نوسان‌های کولنی ترانزیستورهای SET1 و SET2، مشخصه انتقالی متفاوتی را نسبت به یک معکوس‌کننده ساده نتیجه می‌دهد. هر ترانزیستور دارای یک گیت اصلی و یک گیت جانبی است. تزریق سیگنال آنالوگ ورودی  $v_{in}$  از طریق گیت اصلی انجام شده و سطح منطقی ولتاژ دیجیتال خروجی  $v_0$  را تعیین می‌کند. برای این کار، ولتاژ گیتهای جانبی توسط منابع  $V_{T1}$  و  $V_{T2}$  به گونه‌ای تنظیم می‌شوند که رفتار مکمل ترانزیستوری، مشابه با دو نوع pMOS و nMOS در فناوری CMOS، حاصل شود.

با این نتایج، ولتاژ ورودی  $v_{in}(2) = v_{in}(1) + V_{T1}$  ترانزیستور SET2 را در وضعیت روشن و ترانزیستور SET1 را در وضعیت خاموش قرار داده و وضعیت خروجی را از '1' منطقی به '0' منطقی سوچ می‌دهد. سومین تغییر سطح منطقی، بهارای  $v_{in}$  رابطه زیر رخ می‌دهد:

$$v_{in}(3) = v_{P,3} = v_{P,1} + \frac{C_\Sigma}{C_G} \left( \frac{2e}{C_\Sigma} + \frac{\Delta E}{e} \right) \quad (16)$$

این ورودی مجدداً باعث افزایش ولتاژ خروجی می‌شود. لذا، در مجموع، نوسان‌های دوره‌ای بین سطوح منطقی '1' و '0' تکرار می‌شوند تا مشخصه PSF آیدآل در دمای اتاق حاصل شود.

شکل (۱۰) آرایش بلوکی مبدل آنالوگ به دیجیتال  $n$  بیتی مبتنی بر PSF های سازگار با دمای اتاق را نمایش می‌دهد. این مبدل از یک مدار نمونهبردار در ورودی، یک شبکه حافظن مقسوم ولتاژ برای تولید مقیاس‌های صحیحی از سیگنال آنالوگ نمونهبرداری شده و هسته اصلی شامل  $n$  بلوک PSF تشکیل می‌شود. مدار نمونهبردار از یک حافظن نگهدارنده و یک کلید ساده تشکیل شده است که کلید موجود در آن، با استفاده از یک ترانزیستور SET ساخته می‌شود. این مدار، نمونه اولیه را تا اتمام پردازش و تولید معادل دیجیتال خروجی نگاه می‌دارد و با فرکانس نمونهبرداری کلی مبدل کار می‌کند. مقسوم ولتاژ ورودی، سیگنال آنالوگ  $v_{in}$  را به مقیاس‌های مناسب  $v_{in}/2$ ,  $v_{in}/4$  و ... و  $v_{in}/2^{n-1}$  جهت اعمال به PSF های موجود در هسته تبدیل می‌کند. این سیگنال‌ها سپس توسط PSF ها پردازش می‌شوند و با توجه به نوسان‌های کولنی آنها، به طور مستقیم به کدهای دیجیتال صحیح تبدیل می‌شوند. کمترین بیت قابل تمایز توسط مبدل  $v_{LSB}(\min)$  را می‌توان با توجه به اختلاف قله‌های فرد جریان در شکل (۹) تخمین زد. این اختلاف، طبق روابط (۸) تا (۱۱)، منجر به رابطه زیر برای  $v_{LSB}(\min)$  می‌شود:

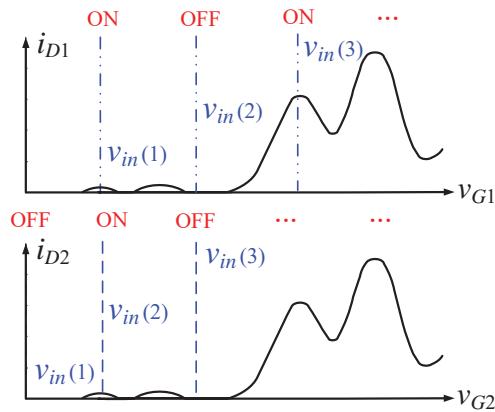
$$v_{LSB}(\min) = \frac{1}{2} \left( \frac{2e}{C_\Sigma} + \frac{\Delta E}{e} \right) \frac{C_\Sigma}{C_G} \quad (17)$$

وابستگی رابطه بالا به  $\Delta E$ ، مصالحه میان قدرت تفکیک مبدل را با عملکرد پایدار در دمای اتاق آشکار می‌کند. به قیمت کاهش دمای کاری مبدل، قدرت تفکیک را می‌توان با کاهش  $\Delta E$  بهبود بخشید. در بهترین حالت و به ازای  $\Delta E = 0$ ، قدرت تفکیک به  $v_{LSB}(\min) = e/C_G$  محدود شده و بازه دمایی مشابه با حالتی خواهد شد که از ترانزیستورهای SET فلزی استفاده شود. نکته بعدی بهتر شدن قدرت تفکیک مبدل با افزایش  $C_G$  (از طریق افزایش قطر جزیره و الکترود گیت) می‌باشد. با این کار اما

ترانزیستور SET2 در وضعیت روشن قرار داشته باشند. حافظن بار از طریق SET2 دشارژ می‌شود و ولتاژ خروجی از رابطه

$$v_O = R_{ON} V_{DD} / (R_{OFF} + R_{ON}) \approx 0 \quad (18)$$

و معادل با سطح '0' منطقی بدست می‌آید. شکل (۹) نوسان



شکل (۹): تغییر جریان درین با ولتاژ گیت ترانزیستورهای SET1 و SET2 در دمای اتاق

های دوره‌ای دو ترانزیستور SET1 و SET2 را به شکل گرافیکی به تصویر می‌کشد. با فرض آنکه  $v_{in} = v_{in}(1) = 0$  باشد،  $v_{in}(2)$  روشن و  $v_{in}(3)$  خاموش بوده و  $v_O$  طبق رابطه (۱۸) به  $V_{DD}$  نزدیک خواهد شد. هم اکنون، اگر  $v_{in}$  را از (۲) به (۳) تغییر دهیم  $v_{in}(1)$  افزایش دهیم جریان SET1 کاهش یافته و جریان SET2 بیشتر می‌شود. لذا وضعیت روشنایی دو ترانزیستور بر عکس خواهد شد و ولتاژ خروجی طبق رابطه (۱۸) نزدیک به صفر بدست می‌آید. اگر باز هم  $v_{in}$  را از (۲) به (۳) افزایش دهیم، وضعیت دو ترانزیستور به گونه‌ای خواهد شد که ولتاژ خروجی مجدداً برابر با '1' منطقی می‌گردد. این نوسان‌های تناوبی ادامه می‌یابند تا رفتار PSF بحث شده در بخش مقدمه بدست آید.

با استفاده از ترانزیستورهای SET سیلیکونی می‌توان PSF شکل (۸) را به گونه‌ای طراحی کرد که در دمای اتاق رفتار پایدار داشته باشد. برای این کار، ولتاژ گیت جانبی ترانزیستور SET2 را برابر با صفر در نظر می‌گیریم:

$$V_{T2} = 0 \text{ V.} \quad (18)$$

پس از آن، ولتاژ گیت جانبی SET1 را بر روی قله اول جریان (رابطه (۸)) تنظیم می‌کنیم. لذا، به ازای  $v_{in} = v_{in}(1)$  وضعیت روشنایی دو ترانزیستور به گونه‌ای می‌شود که خروجی برابر با سطح '1' منطقی گردیده و رفتار مطلوب نشان داده شده در شکل (۹) حاصل شود:

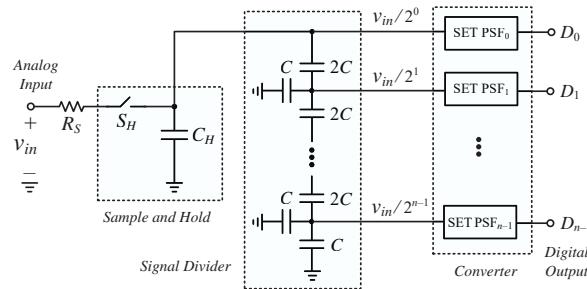
$$\begin{aligned} V_{T1} &= v_{P,1} = \frac{C_\Sigma}{C_G} \left[ \frac{e}{2C_\Sigma} + \frac{\Delta E}{e} - \left( \frac{C_D}{C_\Sigma} \right) v_{DS} + \frac{v_{DS}}{2} \right] \\ &\simeq \frac{C_\Sigma}{C_G} \left[ \frac{e}{2C_\Sigma} + \frac{\Delta E}{e} \right]. \end{aligned} \quad (19)$$

می‌شوند تا کدهای دیجیتال صحیح تولید شوند. شبیه‌سازی مبدل توسط نرم‌افزار سایمون حکایت از تولید سیگنال‌های دیجیتال پایدار در دمای اتاق دارد. شکل (۱۱) تغییر صحیح سیگنال دیجیتال خروجی ( $D_2D_1D_0$ ) را با افزایش خطی سیگنال ورودی نشان می‌دهد. در بررسی این کدها نباید لحظات گذار از یک حالت به حالت دیگر را لحظه نمود چرا که در این لحظات بیت‌های خروجی اعداد صحیحی را نشان نمی‌دهند. طبعاً در لحظه نمone برداری از بیت‌ها توسط رجیسترها خروجی، کدهای صحیح به قسمت دیجیتال راه می‌یابند. عملکرد پویای مبدل را با شبیه‌سازی طیف توان به ازای سیگنال سینوسی ورودی با فرکانس نایکوپست بررسی نمودیم. شکل (۱۲) دامنه طیف توان خروجی بر حسب فرکانس را نمایش می‌دهد. نسبت سیگنال به نویز و اعوجاج یا SNDR بدست آمده در فرکانس نایکوپست برابر با  $18.46 \text{ dB}$  است که تنها  $1.5 \text{ dB}$  با نسبت سیگنال به نویز کوانتیزاسیون فاصله دارد. با توجه به این مقدار SNDR، تعداد بیت موثر ENOB در حدود  $2.77$  تخمین زده می‌شود. بررسی عملکرد ایستایی مبدل، با محاسبه ضرایب غیرخطی تفاضلی یا DNL و تجمعی یا INL ممکن است. در مبدل پیشنهادی، این کار با اعمال یک ولتاژ سینوسی فرکانس پایین به مبدل و محاسبه اختلاف هیستوگرام بدست آمده با هیستوگرام سیگنال سینوسی ایده‌آل انجام گرفت. حداکثر DNL و INL بدست آمده از این روش، به ترتیب  $0.71 \text{ LSB}$  و  $0.62$  هستند که نشان‌دهنده عدم وجود کد گمشده، غیرکنواختی یا LSB هستند که نشان‌دهنده عدم وجود کد گمشده، غیرکنواختی یا هر خطای قابل ملاحظه دیگر می‌باشد. مبدل شبیه‌سازی شده در دمای اتاق، مصرف توان ایستا ندارد. مصرف توان پویای آن نیز وابسته به فرکانس سیگنال آنالوگ اعمال شده به ورودی می‌باشد. جدول (۱) عملکرد مبدل پیشنهادی را با انواع مشابه موجود در مقالات اخیر مقایسه می‌کند. با توجه به نوع ترانزیستورهای استفاده شده، این مبدل تنها مبدل با عملکرد پایدار در دمای اتاق است.

افزایش تعداد بیت‌ها به سادگی و از طریق اصلاح شبکه مقسم خازنی و نیز افزودن بلوك‌های PSF بیشتر انجام‌پذیر است. با توجه به تعداد بلوك‌های کمتر مبدل پیشنهاد شده در مقایسه با مبدل‌های CMOS (و فرکانس قطع بالاتر ترانزیستورهای SET در مقایسه با نوع ماسفت)، افزایش فرکانس نمونه‌برداری به بالاتر از  $5 \text{ GHz}$  (فرکانس کاری فعلی مبدل‌های فلش CMOS)، امکان پذیر خواهد بود.

#### ۴- نتیجه‌گیری

در این مقاله برای اولین بار جزئیات طراحی یک مبدل آنالوگ به دیجیتال  $n$  بیتی با استفاده از نانوترانزیستورهای تکالکترونی به اثبات رسید. کوانتوم نقطه‌ای سیلیکونی در دمای اتاق مورد بحث قرار گرفته است. استفاده از جزیره کوانتومی نیمه‌هادی سبب می‌شود که مبدل عملکرد پایداری در دمای اتاق داشته باشد و نوسان‌های کولنی آشکار باشند. ابتدا به بررسی مدل جریان-ولتاژ ترانزیستور با توجه به نرخ تونل‌زنی بارها پرداختیم. پس از آن عملکرد یکتابع متقارن متناظر طراحی



شکل (۱۰): مبدل آنالوگ به دیجیتال ۳ بیتی نمونه مبتنی بر SET سیلیکونی در دمای اتاق

طبق رابطه (۳) کاهش یافته و منجر به کاهش حداکثر دمای عملکرد پایدار مبدل می‌گردد. افزایش  $C_G$  همچنین بیشتر شدن اثر بارگذاری بلوك‌های PSF بر روی شبکه نرdban خازنی می‌شود. برای محاسبه اثر بارگذاری بلوك‌های PSF بر روی شبکه نرdban خازنی، ابتدا باید ظرفیت خازن ورودی ترانزیستورهای تکالکترونی ( $C_{SET}$ ) را با در نظر گرفتن نکات زیر تخمین بزنیم:

- وقتی بار خالص موجود در جزیره در مقایسه با بار گیت کوچک باشد،  $C_{SET} \approx C_G$  خواهد بود.
- وقتی بار خالص جزیره قابل مقایسه با بار گیت گردد، از بار خالص جزیره نمی‌توان صرفنظر نمود. با در نظر گرفتن  $v_{island}$  به عنوان ولتاژ جزیره،  $C_{SET}$  این حالت از رابطه

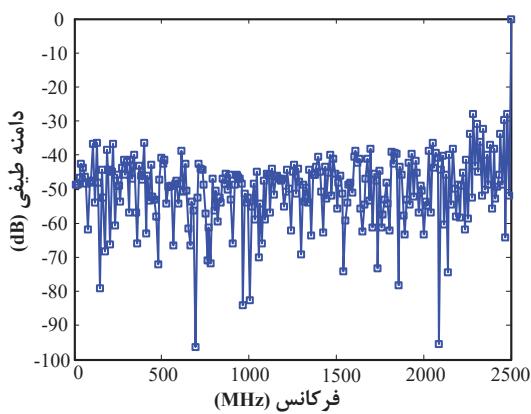
$$C_{SET} = C_G (1 - dv_{island}/dv_G) \quad (18)$$

محاسبه می‌شود. در اغلب اوقات، حالت اول برقرار است و خازن ورودی PSF ها برابر با  $2C_G$  است. به عبارت دیگر، اغلب دو ترانزیستور تک-الکترونی موازی با خازن معادل  $C_G$  از شبکه مقسم خازنی دیده می‌شود.

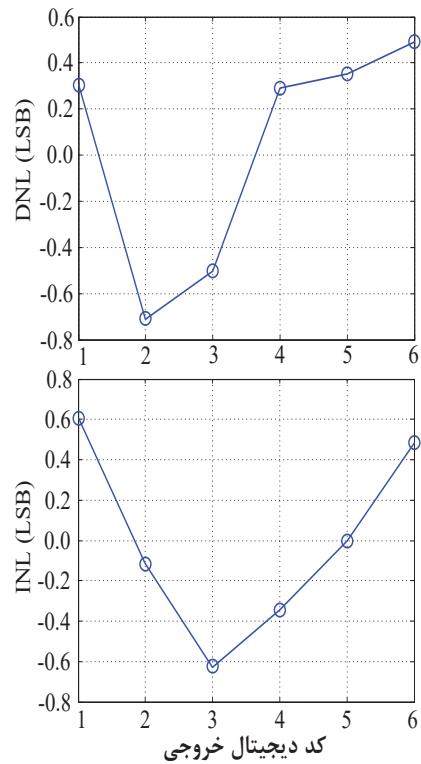
فرکانس نمونه‌برداری مبدل شکل (۱۰) را می‌توان به دو شیوه تعریف کرد. با وجود مدار نمونه‌بردار (SHA) در ورودی مبدل، فرکانس نمونه‌برداری آن طوری تنظیم می‌شود که با فرکانس نمونه‌برداری کل برابر باشد. شیوه کلی دیگر، تنظیم فرکانس سیگنال ساعت رجیسترها خروجی به گونه‌ای است که از خروجی PSF ها به طور همزمان و با یک نرخ مشخص نمونه‌برداری کند.

#### ۳- نتایج شبیه‌سازی

کارآیی مبدل پیشنهادی در دمای اتاق، از طریق شبیه‌سازی یک مبدل آنالوگ به دیجیتال ۳ بیتی با آرایش شکل (۱۰) به اثبات رسید. فرکانس نمونه‌برداری مبدل همان فرکانس مدار نمونه‌بردار ورودی و برابر با  $5 \text{ GS/s}$  می‌باشد. مدار نمونه‌بردار از یک خازن نگهدارنده و یک کلید ساده تشکیل شده است که از ترانزیستور SET ساخته می‌شود. تقسیم کننده سیگنال، ولتاژ ورودی آنالوگ ( $v_{in}$ ) را به مقایسه‌های مناسب  $v_{in}/2$  و  $v_{in}/4$  جهت اعمال به PSF های موجود در هسته مبدل تبدیل می‌کند. این سیگنال‌ها سپس توسط PSF ها پردازش

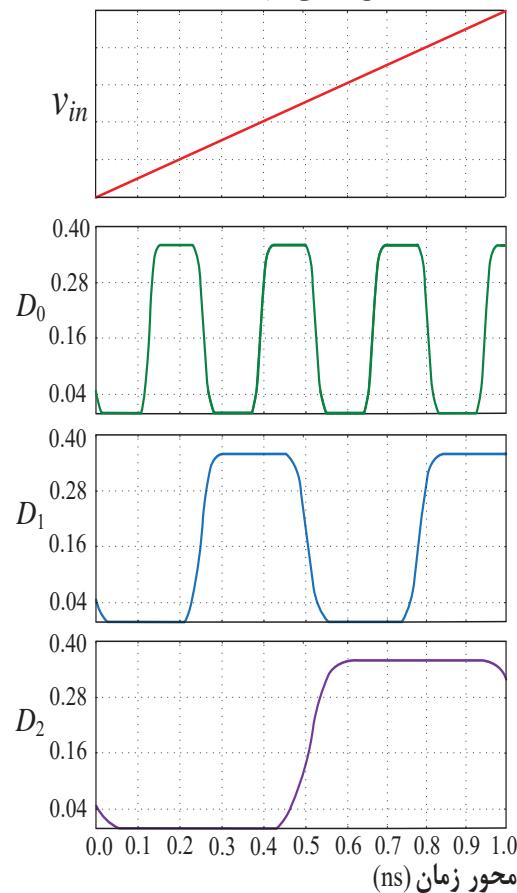


شکل (۱۲): شبیه‌سازی طیف خروجی مبدل با اعمال ورودی سینوسی با فرکانس نایکوپست.



شکل (۱۳): شبیه‌سازی ضرایب غیر خطی تفاضلی (DNL) و تجمعی (INL) مبدل.

شده بر مبنای ترانزیستورهای موردنظر را در دمای اتاق بررسی نمودیم.تابع مذکور از اثر نوسان‌های کولنی ترانزیستورها استفاده می‌کند و تنها به دو زوج ترانزیستور تک‌الکترونی با جزیره سیلیکونی نیاز دارد. نمونه سه بیتی از مبدل آنالوگ به دیجیتال فلش با فرکانس نمونه‌برداری ۵ GS/s، بر اساس چنین تابع متقانی طراحی گردیده و معیارهای ایستایی (ضرایب غیرخطی تفاضلی و تجمعی) و پویایی (نسبت سیگنال به نویز) آن شبیه‌سازی شده‌اند. مبدل مورد نظر تنها به چهار خازن مجتمع در آرایش مقسم خازنی و سه تابع متقان متنابض احتیاج دارد و نیازی به مقایسه‌کننده و مدار کدکننده (همانند مبدل‌های فلش) ندارد. در مقایسه با سایر نمونه‌ها، مبدل مورد نظر دارای اجزای کمتری است و مزایای قابل توجهی از جمله امکان کار در دمای اتاق، سرعت بالا و سطح اشغالی کم دارد.



شکل (۱۴): نتایج شبیه‌سازی برای مبدل آنالوگ به دیجیتال ۳ بیتی طراحی شده در دمای اتاق.

- Broadening on its Performance", J. Elec. Materials, Vol. 42, No. 1, pp. 47-57, 2013.
- [11] Hu, C., Sorin D., Cotofana, S. D., Jianfei J. "Single-Electron Tunneling Transistor Implementation of Periodic Symmetric Functions." IEEE Trans. Circ. Systems II: Express Briefs, Vol. 51. No. 11, pp. 593-597, 2004.
- [12] Cotofana, S. D., Vassiliadis, S., "Periodic Symmetric Functions, Serial Addition and Multiplication with Neural Networks", IEEE Trans. Neural Networks, Vol. 9, pp. 1118-1128, Nov. 1998.
- [13] Ou, X., Wu, N. J., "Analog-Digital and Digital-Analog Converters Using Single-Electron and MOS Transistors", IEEE Trans. Nanotech., Vol. 4, pp. 722-729, Nov. 2005.
- [14] Hu, C., Cotofana S. D., Jiang, J., "Analog-to-Digital Converter Based on Single-Electron Tunneling Transistors", IEEE Trans. Very Large Scale Integ., Vol. 12, No. 11, pp. 1209-1211, Nov. 2004.
- [15] Lee, C. H., et.al., "Design of a Robust Analog-to-Digital Converter Based on Complementary SET/CMOS Hybrid Amplifier", IEEE Trans. Nanotech., Vol. 6, No. 6, pp. 667-675, Nov. 2007.
- [16] Lee, J., et al. "Ultra-Energy-Efficient Analog-to-Digital Converters Based on Single-Electron Transistor/CMOS Hybrid Technology for Biomedical Applications", Semiconductor Science and Technology, Vol. 24, No. 11, 2009.
- [17] Li, Q., Li C., Gang W. "Digital-Analog and Analog-Digital Converters Based on Single-Electron and MOS Transistors." IEEE 8th Int. Conf. Control Automation. 2010.
- [18] Datta, S., Quantum Transport: Atom to Transistor, Cambridge, U.K.: Cambridge University Press, 2005.
- [۱۹] مرادی نسب، مهدی، فتحی پور، مرتضی، "مدل بسته جریان-ولتاژ در ترانزیستورهای نانولوک کربنی آلاییده"، مجله انجمن مهندسین برق و الکترونیک ایران، سال هشتم- شماره دوم، ۶۲-۶۸ دانشگاه امیرکبیر، تهران، زمستان ۱۳۹۰.
- [۲۰] ظهیری، زینب، حسینی، سید ابراهیم، کبیریان دهکردی، بهنام، "معرفی یک ترانزیستور دوقطبی جدید بر اساس وارونگی سطحی"؛ مجله انجمن مهندسین برق و الکترونیک ایران، جلد ۱۱- شماره دوم، ۹۵-۹۱ دانشگاه امیرکبیر، تهران، زمستان ۱۳۹۵.
- [21] Beenakker, C. W. J. "Theory of Coulomb-Blockade Oscillations in the Conductance of a Quantum Dot", Physical Review B, Vol. 44, No. 4, pp. 1646, 1991.
- [22] Shin, S.J., et.al, "Si-Based Ultra-Small Multi-Switching Single Transistor Operating at Room-Temperature", Appl. Phys. Lett., Vol. 97, No. 10, Sep. 2010.
- [23] Wasshuber, C., Computational Single-Electronics. Springer Science & Business Media, 2012.
- [24] Korotkov, A., Konstantin L. "Resonant Fowler-Nordheim Tunneling Through Layered Tunnel Barriers and its Possible Applications", Int. Elec. Devices Meeting, 1999.
- [25] Miralaie, M., et al. "Modeling and Analysis of Room-Temperature Silicon Quantum Dot-Based Single-Electron Transistor Logic Gates." J. Computational Theoretical Nanoscience, Vol. 11, No.1, pp. 15-24, 2014.
- [26] Kouwenhoven, L.P., et al. "Electron Transport in Quantum Dots", Mesoscopic Electron Transport., Springer Netherlands, pp. 105-214, 1997.
- [27] Wasshuber, C., Hans K., Siegfried S. "SIMON-A Simulator for Single-Electron Tunnel Devices and

جدول (۱): مقایسه عملکرد مدل پیشنهادی با انواع مشابه.

مبدل پیشنهاد شده	[۱۷] (2010)	[۱۶] (2009)	[۱۵] (2007)	[۱۴] (2004)	ساختر
Silicon SET	CMO S/Met al SET	CMOS /Metal SET	CMOS /Metal SET	Metal SET	فن‌آوری
۳ بیت	۳ بیت	۴ بیت	۴ بیت	۴ بیت	قدرت تفکیک
5000 MHz	20 MHz	100 kHz	20 MHz	-	فرکانس نمونه- برداری
0.71LS B 0.62LS B	-	0.5LSB 0.5LSB	0.25LS B 0.25LS B	-	DNL INL
300°k	100°k نایپیدار در اتاق	77°k نایپیدار در دماهی اتاق	27°k نایپیدار در دماهی اتاق	10°k نایپیدار در دماهی اتاق	دماهی عملکرد مناسب

## مراجع

- [1] Kim, Y-B., "Challenges for Nanoscale MOSFETs and Emerging Nanoelectronics", Transactions on Electrical and Electronic Materials, Vol. 11, No. 3, pp. 93-105, 2010.
- [2] Rezali, F. A. M, Sharifah F., Wan M. H., Norhayati S. "Scaling Impact on Design Performance Metric of Sub-Micron CMOS Devices Incorporated with Halo." IEEE Regional Symp. on Micro and Nanoelectronics, 2015.
- [3] Moore, G. E. "Progress in Digital Integrated Electronics." Electron Devices Meeting, Vol. 21, 1975.
- [4] Aminzadeh, H., Dashti, A. "Hybrid Cascode Compensation with Current Amplifiers for Nano-Scale Three-Stage Amplifiers Driving Heavy Capacitive Loads", Analog Integ. Circuit Signal Processing, Vol. 83, No.3, pp. 331-341, 2015.
- [5] Aminzadeh, H. "MOSFET-Only Pipelined Analogue-to-Digital Converters: Non-Linearity Compensation by Digital Calibration", Int. J. Electronics, Vol. 101, No. 2, pp. 158-173, 2014.
- [6] Danaie, M., Aminzadeh, H., Naseh, S. "On the Linearization of MOSFET Capacitors", IEEE Int. Symp. Circuits Systems, 2007.
- [7] Grabertand, H., Devoret, M. H., Single Charge Tunneling: Coulomb Blockade Phenomena in Nanostructures, Springer Science & Business Media, Vol. 294, 2013.
- [8] Ghosh, A., et al. "A Modified Macro Model Approach for SPICE Based Simulation of Single Electron Transistor." J. Computational Electronics, pp. 1-7, 2016.
- [9] Jain, A., et al. "A New SPICE Macro Model of Single Electron Transistor for Efficient Simulation of Single-Electronics Circuits." Analog Integ. Circuits Signal Processing, Vol. 82, No. 3, pp. 653-662, 2015.
- [10] Miralaie, M., Leilaieoun, M., Abbasian, K., "Modeling of a Room-Temperature Silicon Quantum Dot-Based Single-Electron Transistor and the Effect of Energy-Level



- Circuits", IEEE Trans. Computer-Aided Design of Integ. Circ. Systems, Vol. 16, No. 9, pp. 937-944, 1997.
- [28] Sée, J., Philippe D., Sylvie G. "Comparison Between a sp 3 d 5 Tight-Binding and an Effective-Mass Description of Silicon Quantum Dots", Physical Review B, Vol. 66, No. 19, pp. 193-307, 2002.
- [29] Tucker, J. R. "Complementary Digital Logic Based on the Coulomb Blockade", J. Applied Physics, Vol. 72, No. 9, pp. 4399-4413, 1992.

## زیرنویس‌ها