Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 1, 2025
DOI: 10.61186/jiaeee.22.1.73

Simulation of CMOS Fabrication Processes for Double-Insulating Silicon-on-Diamond MOSFET

Hamed Eskandari[1], Arash Daghighi[2], Esmaeil Shafaghat[3]

[1] MSc. Department of Electrical Engineering, Faculty of Engineering, Shahrekord University, Shahrekord, Iran
hmsk991@gmail.com
[2] Associate Professor, Department of Electrical Engineering, Faculty of Engineering, Shahrekord University, Shahrekord, Iran
daghighi-a@sku.ac.ir
[3] MSc, Department of Electrical Engineering, Faculty of Engineering, Shahrekord University, Shahrekord, Iran
esmaeilshafaghat@gmail.com

Abstract:
In this article, for the first time, simulation of CMOS fabrication processes for double-insulating silicon-on-diamond MOSFET is discussed. The fabrication process suitable for 22-nanometer feature size and the presence of two main insulating layers, are implemented according to the standard steps of CMOS processes. The diamond layer, as the first electrical insulator, has high thermal conductivity, which enables the application of this structure for high power and cryogenic operation. Due to the presence of silicon dioxide as the second electrical insulator, some of the main electrical characteristics of the transistor, such as threshold voltage, unity-gain cut-off frequency, on-current, and short channel effects are improved. Therefore, the threshold voltage of 0.225 V, on-current as 0.045 mA/um and unity-gain cut-off frequency of 370 GHz was extracted. The simulation results demonstrate the superiority of the structure compared with conventional silicon-on-insulator technologies of semiconductor devices.

Keywords: **Simulation of Fabrication Process, Silicon-on-Diamond Transistor, Silicone on double layer insulation, CMOS standard processes, MOSFET**

Article Type: Research

Received: 18. 03. 2024

Revised: 16. 04. 2024

Accepted: 29. 07. 2024

Corresponding author: Arash Daghighi

Corresponding author's address: Faculty of Engineering, Shahrekord University, Shahrekord, Iran

[Downloaded from jiaeee.com on 2026-05-19]

[DOI: 10.61186/jiaeee.22.1.57]

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

With the advancement of technology in the fabrication process of semiconductor devices in materials science and electronics, scaling down the dimensions of devices to less than 100 nanometers has continued. This scaling down trend for conventional MOSFETs brings certain problems; hence, a new replacement structure is required. Among the problems that arise with the scaling down of devices to the nano range are: Short channel effects, reduced gate control over the channel, attenuation of stability of certain electrical characteristics such as threshold voltage, self heating effects, and others. Initially, to address these problems, the silicon-on-insulator structure was introduced; however, due to the presence of silicon oxide insulator in this structure and the low thermal conductivity of silicon oxide, it causes an increase in temperature in the chip and consequently leads to self heating effects in the sub-silicon layers. Therefore, to solve these problems, the silicon-on-diamond structure was introduced. Diamond, with the highest thermal conductivity and lowest electrical conductivity, solves the problem of self heating effects. In the latest design, a silicon-on-diamond transistor with an additional insulating layer was proposed, which, in addition to addressing the aforementioned problems, exhibits improved electrical capabilities in the scaling down of device dimensions. This could potentially be a better replacement for silicon-on-insulator devices with more advantages.

2. Contributions

In this research, contrary to classical simulation methods, which analyze the behavior and electrical characteristics of a transistor by extracting its circuit model, we performed a simulation of fabrication processes for a Double insulating Silicon-on-Diamond Mosfet in accordance with CMOS Standards. This allowed for a more advanced quantum analysis of the final structure. In addition to proving the feasibility of its fabrication, we conducted a more precise examination of its electrical characteristics. This method provides a better observation of the actual and improved performance of the device, and allows for comparison with other new and previous device structures.

3. Procedures

One of the unique features of the Double insulating Silicon-on-Diamond Mosfet is the ability to adjust the length of the second insulating layer. This additional insulating layer, positioned between the Source & Drain Regions of the transistor and partially covering the first diamond insulating layer, enhances some of the most critical electrical characteristics of the transistor, such as threshold voltage, switching speed, and power operation, while addressing the issues related to the scaling down of the device size. In this research, using one of the newest methods for analyzing the structure and electrical behavior of semiconductor devices, we aimed to demonstrate the special capabilities of this transistor, prove its feasibility, and compare it with other current structures, paving the way for improved performance and addressing new device challenges as technology advances and device dimensions scale down. Therefore, our focus in this study was on implementing the fabrication processes of the transistor, particularly in the challenging and complex steps of creating the second insulating layer made of silicon oxide with a length of 22 nanometers. These steps were executed using special techniques in accordance with CMOS fabrication standards and ensuring the appropriate efficiency of the device.

4. Findings

one of the unique features of this structure, is The ability of Changing the length of second insulator layer, which enables to control threshold voltage, power operation and etc. is The fabrication process suitable for 22-nanometer feature size and the presence of two main insulating layers, are implemented according to the standard steps of CMOS processes. The diamond layer, as the first electrical insulator, has high thermal conductivity, which enables the application of this structure for high power and cryogenic operation. Due to the presence of silicon dioxide as the second electrical insulator, some of the main electrical characteristics of the transistor, such as threshold voltage, unity-gain cut-off frequency, on-current, and short channel effects are improved. Therefore, the threshold voltage of 0.225 V, on-current as 0.045 mA/um and unity-gain cut-off frequency of 370 GHz was extracted.

5. Conclusion

In this project, fabrication steps of double insulating silicon-on-diamond transistor according to CMOS standard processes has shown, the simulation of transistor fabrication processes has been performed with by newest simulator tools. The simulation results demonstrate the superiority of the structure compared with conventional silicon-on-insulator technologies of semiconductor devices. And it has shown that Silicon-on-diamond technology is proposed as an advanced alternative to traditional SOI technology.

[Downloaded from jiaeee.com on 2026-05-19]

[DOI: 10.61186/jiaeee.22.1.57]

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره اول، بهار ۱۴۰۴، صفحات ۷۳-۸۰

DOI: 10.61186/jiaeee.22.1.73

شبیه‌سازی فرآیندهای ساخت سیماس برای ترانزیستور سیلیکون روی الماس دولایه

حامد اسکندری[۱]، آرش دقیقی[۲]، اسماعیل شفقت دهکردی[۳]

۱- دانش‌آموخته کارشناسی ارشد- دانشکده فنی و مهندسی- دانشگاه شهرکرد- شهرکرد- ایران

hmsk991@gmail.com

۲- دانشیار- دانشکده فنی و مهندسی- دانشگاه شهرکرد- شهرکرد- ایران

daghighi-a@sku.ac.ir

۳- دانش‌آموخته کارشناسی ارشد - دانشکده فنی و مهندسی- دانشگاه شهرکرد- شهرکرد- ایران

esmaeilshafaghat@gmail.com

چکیده: در این مقاله برای اولین بار به شبیه‌سازی ساخت و پیاده‌سازی فرآیندهای سیماس برای ترانزیستور سیلیکون روی الماس دولایه پرداخته شده است. فرآیندهای ساخت این ترانزیستور متناسب با تکنولوژی سایز ۲۲ نانومتری آن و وجود دو لایه‌ی اصلی عایق در این ساختار، مطابق با استانداردهای ساخت سیماس افزاره‌های نیمه‌رسانا پیاده‌سازی شده است؛ الماس به عنوان عایق الکتریکی اول دارای هدایت حرارتی بالا است که امکان کاربرد این ساختار را در شرایط دمایی یکسان در توان و فرکانس‌های بالاتر فراهم می‌کند. همچنین به دلیل وجود اکسید سیلیکون به عنوان عایق الکتریکی دوم، امکان کنترل و بهبود برخی از مشخصات الکتریکی اصلی ترانزیستور نظیر: ولتاژ آستانه، فرکانس قطع بهره واحد، جریان روشنایی و غیره را میسر می‌سازد. به همین جهت: ولتاژ آستانه ۰/۲۲۵ ولت، جریان روشنایی ۰/۰۴۵ میلی آمپر بر مایکرون و فرکانس قطع بهره واحد ۳۷۰ گیگاهرتز، از نمودارهای مشخصات الکتریکی ساختار نهایی ترانزیستور استخراج و بررسی شد تا اطمینان حاصل گردد ترانزیستور ساخته شده با هدف اثبات امکان ساخت آن، کارآیی مطلوب و برتر را نیز نسبت به ساختارهای پیشین دارد. نتایج حاصل از شبیه‌سازی و تحقیقات پیشین، موید برتری این ساختار و جایگزینی پیشرفته‌تر برای ساختارهای پیشین با فناوری سنتی سیلیکون رو عایق است.

کلمات کلیدی: شبیه‌سازی فرآیندهای ساخت، ترانزیستور سیلیکون روی الماس، سیلیکون روی عایق دولایه، فرآیندهای استاندارد سیماس، ماسفت

نوع مقاله: پژوهشی

دریافت: ۱۴۰۲/۱۲/۲۸

بازنگری: ۱۴۰۳/۰۱/۲۸

پذیرش: ۱۴۰۳/۰۵/۰۸

نام نویسنده‌ی مسئول: دکتر آرش دقیقی

نشانی نویسنده‌ی مسئول: ایران – شهرکرد – بلوار رهبر– دانشگاه شهرکرد – دانشکده فنی و مهندسی – گروه الکترونیک و مخابرات

[Downloaded from jiaeee.com on 2026-05-19]

[DOI: 10.61186/jiaeee.22.1.57]

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

۱- مقدمه

در علم مواد و الکترونیک، استفاده از سیلیکون روی الماس[۱] به عنوان یک ساختار نوین با به‌کارگیری خواص منحصربه فرد هر دو ماده معروف است. در این ساختار، سیلیکون و الماس از لحاظ خواص متفاوت، به هم متصل هستند؛ سیلیکون یک نیمه‌رسانا است که الکترونیک و ساخت مدارها را پاسخگو می‌شود، در حالی که الماس یک ماده با سختی بسیار بالا است که هدایت حرارتی بسیار عالی و مقاومت شیمیایی بالا دارد [۱]. سیلیکون به عنوان یک ماده پایه در ساخت تراشه‌های الکترونیکی است، در حالی که الماس به عنوان یک لایه‌ی عایق الکتریکی عالی با هدایت حرارتی بالا در ساخت ترانزیستورهای مبتنی بر تکنولوژی سیلیکون بر روی الماس استفاده می‌شود. الماس دارای ویژگی‌های فیزیکی بسیار مطلوب از قبیل بندگپ فوق‌عریض[۲] (۵/۵ eV)، میدان الکتریکی بحرانی بالا (MV/cm ۸<) و همچنین هدایت حرارتی بسیار بالا (W/K·m ۲۰۰۰~۲۴۰۰) است که گزینه‌ای امیدبخش برای کاربردهای جدید در الکترونیک قدرت و غیره محسوب می‌شود [۲].

به دلیل وجود اکسید سیلیکون در ترانزیستورهای سیلیکون روی عایق، گرمای ایجاد شده در ترانزیستورها راهی برای خروج نداشته و این باعث به وجود آمدن اثر خودگرمایی[۳] در این ترانزیستورها می‌گردد [۳]. از این‌رو استفاده از زیرپایه‌های سیلیکون روی الماس برای ترانزیستورهای سیلیکون روی عایق[۴] پیشنهاد شده است [۴]. از طرفی به دلیل هدایت گرمایی بالای الماس در مقایسه با اکسید سیلیکون، وجود الماس باعث هدایت سریع گرما در زیرپایه های سیلیکون روی الماس شده و دمای سیستم در مقایسه با زیرپایه‌های سیلیکون روی عایق بسیار کاهش یافته است. از همین رو امکان استفاده از این زیرپایه‌ها را در شرایط دمایی یکسان و توان بالاتر فراهم می‌کند. از طرفی لایه‌ی الماس در تکنولوژی سیلیکون روی الماس با هدایت یکنواخت و سریع گرما موجب هم دما شدن ترانزیستورهای کناری با دمای ترانزیستور فعال می‌گردد [۵]. از جمله آثار نامطلوب عایق مدفون الماس در انتقال گرمای تولید شده به ترانزیستورهای کناری، افزایش جریان خاموشی ترانزیستورهای کناری تا میزان هشت برابر است. این وابستگی دمایی باعث افزایش جریان خاموشی ترانزیستورهای کناری و ایجاد مسئله عدم انطباق در مدارات مجتمع می‌شود [۶]. با استفاده از لایه‌ی الماس به عنوان لایه‌ی عایق، ترانزیستور سیلیکون روی الماس دو لایه[۵]، خواص برتری را در مقایسه با ترانزیستورهای سیلیکون روی عایق معمولی ارائه می‌دهد [۷].

با پیشرفت تکنولوژی در فرآیند ساخت افزاره‌های نیمه رسانا، ابعاد افزاره‌ها تا کمتر از ۱۰۰ نانومتر کوچک شدند. این روند کوچک سازی برای ترانزیستورهای ماسفت معمولی بر طبق نقشه راه ITRS، مشکلاتی را به همراه دارد؛ که نیازمند یک ساختار جایگزین است، اثرات کانال کوتاه از جمله مشکلاتی است که با کوچک شدن ابعاد افزاره در محدوده‌ی نانو نمود می‌کند [۸]. از جمله مشکلاتی که با کوچک‌سازی ابعاد افزاره مشاهده شد می‌توان به: کاهش کنترل گیت بر روی کانال و اثرات کانال، اثرات کانال کوتاه، تضعیف اعتبار برخی مشخصه های الکتریکی افزاره نظیر ولتاژ آستانه اشاره کرد. با کوچکتر شدن تکنولوژی فایل ترانزیستورها، ابعاد ترانزیستورها کاهش یافته و به دنبال آن، طول کانال زیر گیت آنها نیز کاهش می‌یابد که باعث ایجاد اثرات نامطلوب؛ کاهش شیب زیرآستانه، کاهش نرخ I_{on}/I_{off} ، کاهش تحرک‌پذیری حامل‌ها در کانال، کاهش طول عمر و کارایی ترانزیستور، کاهش سد پتانسیل ناشی از القای درین، و اثر حامل‌های داغ در ولتاژهای درین بالا می‌شوند [۹]. در ابتدا به منظور برطرف کردن این مشکلات، ساختار سیلیکون روی عایق تمام تهی با نواحی سورس و درین فرورفته ارائه شد؛ اما در این ساختار به دلیل فرورفتگی نواحی سورس و درین به عمق عایق، مقاومت سری در افزاره کاهش یافت [۱۰].

الماس با بیشترین هدایت گرمایی و کمترین گذردهی الکتریکی بهترین گزینه در میان مواد عایق است. از همین رو چنانچه الماس به عنوان عایق مدفون مورد استفاده قرار گیرد باعث انتقال مناسب گرمای تولید شده در ناحیه‌ی سیلیکون به زیرلایه شده و به دنبال آن با کاهش دمای قطعه، مانع از اثرات خودگرمایی می‌شود. اگر در ساختار سیلیکون روی عایق از الماس به عنوان عایق مدفون استفاده شود ساختار جدید، سیلیکون روی الماس نامیده می‌شود. همچنین به دلیل چگالی توان بالای این ساختار در مقایسه با سیلیکون روی عایق می‌تواند در کاربرد های توان بالا استفاده شود. هدایت گرمایی الماس تقریبا بیش از ده برابر سیلیکون و هزار برابر دی اکسید سیلیکون است [۱۱]. تکنولوژی سیلیکون بر روی عایق، یک راه حل برای مشکلات کوچک‌سازی تکنولوژی ساخت است که بویژه در فناوری بدنه[۶] در حال حرکت به سمت کوچک‌سازی در محدوده نانومتری بیشتر قابل توجه است [۱۲].

به علت استفاده از الماس به عنوان عایق در ساختار سیلیکون روی الماس، جریان حالت خاموشی افزاره بالا می‌رود و بر روی اثرات کانال کوتاه افزاره تاثیر می‌گذارد. همچنین پیشتر به دلیل مشکلات اثرات خودگرمایی در ساختارهای سیلیکون روی عایق و اثرات کانال کوتاه در ساختار سیلیکون روی الماس، با بررسی چگونگی بهبود اثرات کانال کوتاه در ساختار سیلیکون روی الماس، ترانزیستور سیلیکون روی الماس با لایه‌ی عایق اضافی پیشنهاد شد [۱۳, ۱۴]. در این ساختار یک لایه‌ی عایق اضافی که می‌تواند دی اکسید سیلیکون یا هر عایق دیگری با گذردهی الکتریکی کمتر نسبت به الماس باشد به عنوان لایه‌ی عایق دوم، بر روی الماس و در بین سورس و درین قرار گرفته و به‌طور جزئی لایه‌ی عایق الماس را می‌پوشاند [۱۵]. در نتیجه با داشتن مزایای این ساختار مانند خازن‌های پارازیتی کوچک، مقاومت سری کوچک و داشتن بیشترین ولتاژ آستانه در بین ادوات سیلیکون روی عایق، بهترین ساختار استفاده از سیلیکون روی الماس دولایه است [۱۶, ۱۷]. همچنین از

[Downloaded from jiaeee.com on 2026-05-19]

[DOI: 10.61186/jiaeee.22.1.57]

نتایج به‌دست می‌آید که در صورت انتخاب صحیح ابعاد، این ساختار عملکرد مناسبتری را در بین ادوات سیلیکون روی عایق خواهد داشت و می‌تواند به عنوان یک ساختار با مزایای بیشتر، جایگزین سایر ادوات سیلیکون روی عایق شود [۱۸].

در این مقاله با هدف بررسی امکان ساخت و بررسی ساختار ترانزیستور سیلیکون روی الماس دولایه، به کمک نرم افزار شبیه‌سازی ساخت افزاره‌های نیمه رسانا، به پیاده سازی فرآیندهای سیماس[۷] ساخت این ترانزیستور سیلیکون روی الماس دولایه پرداخته شده است. همچنین در راستای بهبود و ارتقای ساختار مدنظر، به انجام مطالعات دقیق و شبیه‌سازی فرآیندهای ساخت مواد افزاره پرداخته شده. درنهایت پس از پیاده‌سازی ساختار نهایی ترانزیستور سیلیکون روی الماس دولایه، جهت اطمینان از کارآیی و عملکرد مطلوب ترانزیستور، نمودارهای مشخصات الکتریکی ترانزیستور استخراج شد تا در واقع مشخصه‌های مطلوب استخراج شده از نمودار، موید امکان ساخت ترانزیستور مطابق با فرآیندهای استاندارد ساخت سیماس توأم با کارآیی واقعی و مطلوب آن باشد.

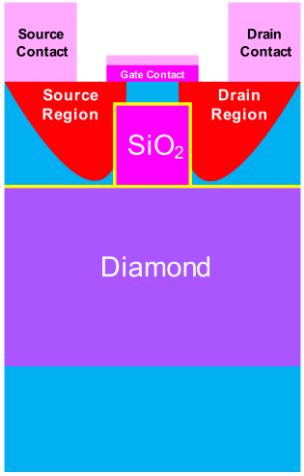
۲- مراحل کلی ساخت ترانزیستور

با افزایش کوچک‌سازی اندازه و پیچیدگی افزاره‌ها، فناوری CMOS توانسته است به عنوان مهم‌ترین روش ساخت افزاره‌های دیجیتال و الکترونیکی در دنیای مدرن ارائه داده شود. ساخت افزاره‌های نیمه رسانا به عنوان یکی از موضوعات بسیار جذاب در علم مهندسی الکترونیک مورد توجه قرار گرفته است. فرآیندهای CMOS به عنوان یکی از مهم‌ترین فناوری‌های ساخت افزاره‌های نیمه‌رسانا در دهه‌های اخیر، نقش بسیار حیاتی در پیشرفت فناوری اطلاعات و الکترونیک بازی کرده است [۱۹].

فناوری‌های نوآورانه در زمینه ساخت و توسعه این افزاره‌ها به‌طور مداوم باعث عملکرد و کارایی بالاتر افزاره‌ها در زمینه‌های مختلف شده است. الماس به عنوان یک منتشرکننده حرارتی با پتانسیل بالا، قابلیت کاربرد گسترده در زمینه‌های مختلف از جمله الکترونیک قدرت و فرکانس رادیویی (RF) را دارا است [۲۰]. به دلیل خصوصیات قابل توجه الماس از جمله: مقاومت مکانیکی بسیار بالا، هدایت حرارتی فوق‌العاده و به ویژه مدیریت کارآمد حرارت در کاربردهای اپتوالکترونیک و الکترونیک قدرت برای دستیابی به بالاترین عملکرد بدون تضعیف و غیره، الماس در محدوده‌های مختلفی از کاربردها به کار می‌رود [۲۱].

ترانزیستورهای سیلیکون روی الماس دارای یک لایه‌ی نازک از جنس سیلیکون تک بلور هستند که بر روی زیرساخت الماس قرار دارد. این اتصال بین سیلیکون و الماس می‌تواند عملکرد بهتری در خروج حرارت و عملکرد الکتریکی افزاره نسبت به ساختارهای کلاسیک و پیشین مبتنی بر سیلیکون روی عایق را فراهم کند [۲۲]. از مزایای جدید افزاره سیلیکون روی الماس دولایه می‌توان به: کاهش مولفه‌های میدان‌های الکتریکی نفوذی از طرف درین به بدنه ترانزیستور، کاهش اثرات کانال کوتاه، کاهش جریان نشتی، کاهش توان مصرفی در طراحی مدارات مجتمع اشاره کرد [۲۳-۲۶].

به طور کلی اولین مرحله فرآیند ساخت ترانزیستور، انتخاب و برش ورقه سیلیکونی در فرآیند ساخت افزاره‌های نیمه‌رسانا است. ابتدا یک بستر سیلیکونی از مونوکریستال سیلیکون بر روی سطح ویفر انتخاب و برش‌دهی می‌شود سپس طی یک فرآیند لایه‌نشانی، بلورهای الماس بر روی بستر سیلیکونی لایه‌نشانی می‌شود و لایه‌ی عایق اول ترانزیستور ایجاد خواهد شد. پس از لایه‌نشانی الماس بر روی بستر سیلیکونی، لایه‌نشانی اکسید سیلیکون بر روی لایه‌ی عایق اول (الماس) صورت می‌گیرد. لایه‌نشانی اکسید سیلیکون به روش‌های مختلف اعمال می‌شود. از روش های لایه‌نشانی با بخار شیمیایی[۸] یا روش‌های دیگر با رعایت شرایط و تنظیمات مشخص در استانداردها استفاده می‌شود. لایه‌های اکسید سیلیکون به‌عنوان عایق و پوشش محافظ مورد استفاده قرار می‌گیرند. بعد از اتمام فرآیندهای ایجاد لایه‌های عایق اول و دوم ترانزیستور، بستر سیلیکونی از جنس مونوکریستال سیلیکون طی دو فرآیند اساسی در تکنولوژی ساخت افزاره‌های نیمه رسانا؛ لایه‌نشانی سیلیکون مونوکریستال بر روی اکسید سیلیکون و همچنین لایه‌نشانی سیلیکون مونوکریستال بر روی الماس انجام می‌شود و بستر اصلی ترانزیستور تشکیل خواهد شد. در ادامه ایجاد نواحی سورس و درین ترانزیستور از جنس نیمه‌هادی نوع N یا الکترونی، با استفاده از پروسه های کاشت یون آرسنیک در سیلیکون و انتشار یونی مبتنی بر دما و اتمسفر صورت خواهد گرفت. آنگاه طی دو مرحله لایه‌نشانی اکسید سیلیکونی بر روی بستر اصلی و پس از آن لایه‌نشانی پلی سیلیکون بر روی اکسید سیلیکون، فرآیند شکل‌دهی پایه گیت ترانزیستور انجام می‌شود. در آخرین مرحله، اتصال های فلزی پایه‌های نواحی سورس و درین ترانزیستور با لایه‌نشانی فلز آلومینیوم و شکل‌دهی آن صورت خواهد گرفت و درنهایت ساختار ترانزیستور سیلیکون روی الماس دولایه را مطابق شکل (۱) خواهیم داشت.



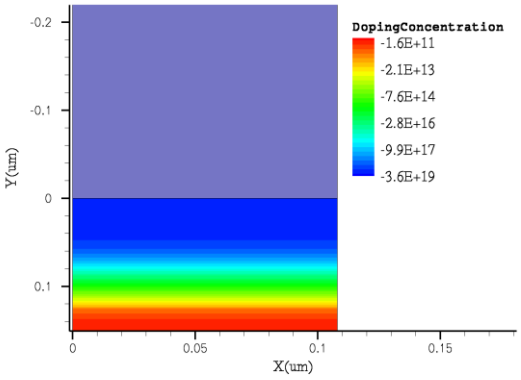
شکل (۱): نمای کلی ساختار ترانزیستور سیلیکون روی الماس دولایه

[Downloaded from jiaeee.com on 2026-05-19]

[DOI: 10.61186/jiaeee.22.1.57]

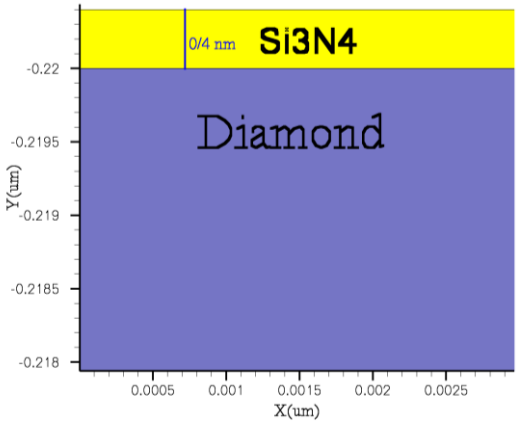
۳- شبیه‌سازی فرآیندهای ساخت ترانزیستور

شبیه‌سازی فرآیندهای ساخت ترانزیستور سیلیکون روی الماس دو لایه مطابق با فرآیندهای استاندارد ساخت CMOS به شرح ذیل انجام شد؛ تکنولوژی‌سایز این ترانزیستور ۲۲ نانومتر است و فرآیندهای ساخت آن نیز متناسب با این تکنولوژی‌سایز استخراج شده. همچنین در جدیدترین طراحی این ساختار با ایجاد لایه‌ی عایق دوم (اکسید سیلیکون) که بر روی ویفر سیلیکون روی الماس لایه‌نشانی شده است: طی فرآیندی شامل یک مرحله ماسک‌زنی و سپس یک مرحله طرح‌نگاری نوری، عملیات زدایش و شکل‌دهی عایق دوم انجام می‌شود. قابلیت‌های نوآورانه و برتر این ترانزیستور نسبت به ساختارهای پیشین نیز به دلیل وجود همین لایه‌ی عایق دوم است. بنابراین فرآیندهای ساخت طرح دولایه عایق این ترانزیستور با قابلیت‌های فیزیکی و الکتریکی منحصربه‌فرد آن وابسته به حفظ تناسبات فیزیکی این ساختار از جمله؛ طول عایق دوم و تکنولوژی‌سایز آن است. در نتیجه، در صورت تغییر فیچرسایز(تکنولوژی سایز)، باعث تغییر طول عایق دوم و سایر بخش‌های فیزیکی موثر در ساختار می‌شود که در نتیجه آن، فرایندهای ساخت ترانزیستور نیز تغییر خواهد کرد. تمامی فرآیندهای ساخت این ترانزیستور در نرم‌افزار تخصصی مرحله به مرحله مطابق استانداردهای ساخت و ملاحظات فیزیکی خاص خود، شبیه‌سازی و استخراج شدند. در اولین مرحله، ابتدا لایه ای از جنس مونوکریستال سیلیکون بر روی سطح ویفر انتخاب و آلایش شده تا به نیمه هادی نوع P یا حفره تبدیل شود. سپس مطابق شکل (۲)، لایه ای از کربن (الماس) بر روی زیرلایه سیلیکونی آلاییده شده، لایه‌نشانی می‌شود. که به عنوان عایق الکتریکی اول ترانزیستور عمل می‌کند.



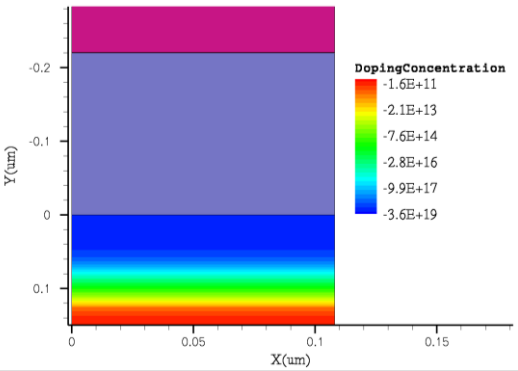
شکل (۲): لایه‌نشانی لایه‌ی عایق اول (الماس)

در مرحله بعد مطابق شکل (۳)، لایه‌ی فوق نازک از جنس نیترید سیلیسیم[۹] به ضخامت ۰/۴ نانومتر بر روی لایه‌ی عایق اول (الماس) لایه‌نشانی می‌شود. وجود لایه‌ی فوق نازک نیترید سیلیسیم باعث لایه‌نشانی شدن بستر سیلیکونی ترانزیستور به صورت مونوکریستال و همچنین رفع مشکلات ساختاری مرز عایق های ترانزیستور و بدنه ترانزیستور(بستر سیلیکونی) می‌شود.



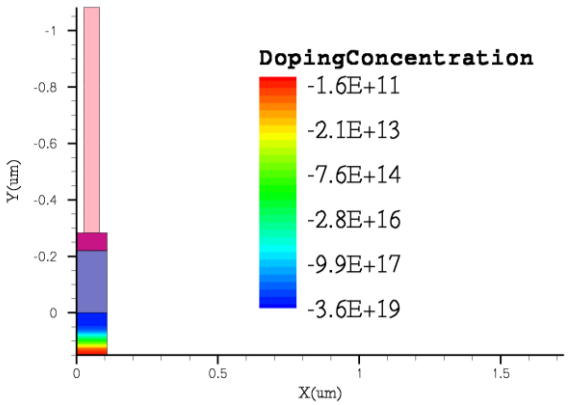
شکل (۳): لایه‌نشانی نیترید سیلیسیم بر روی الماس

پس از لایه‌نشانی لایه‌ی نیترید سیلیسیم بر روی عایق اول (الماس) مطابق شکل (۴)، اکسید سیلیکون به عنوان لایه‌ی عایق دوم ترانزیستور بر روی الماس لایه‌نشانی می‌شود. اکسید سیلیکون به عنوان عایق الکتریکی دوم و همچنین تا حدودی محافظ سطوح زیر لایه ترانزیستور در برابر مواد و شرایط مختلف محیطی، اثرات مخرب مانند خوردگی و زبری سطح و غیره استفاده می‌شود.



شکل (۴): لایه‌نشانی لایه‌ی عایق دوم (اکسید سیلیکون)

در مرحله بعد شکل‌دهی لایه‌ی عایق دوم (اکسید سیلیکون) طی یک فرآیند شامل دو مرحله انجام می‌شود؛ ابتدا مطابق شکل (۵) با یک مرحله لایه‌نشانی ماسک از جنس عنصر مقاوم در برابر نور بر روی اکسید سیلیکون، طول عایق دوم مشخص می‌شود.

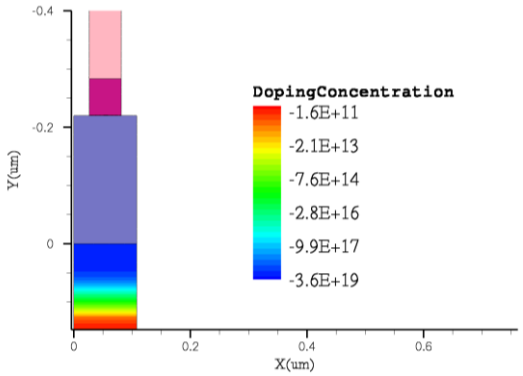


شکل (۵): ایجاد لایه‌ی ماسک مقاومت در برابر نور

[Downloaded from jiaeee.com on 2026-05-19]

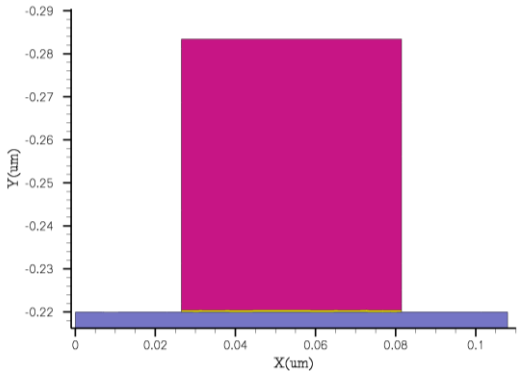
[DOI: 10.61186/jiaeee.22.1.57]

سپس در مرحله دوم مطابق شکل (۶) با یک مرحله، طرح نگاری نوری[۱۰] به کمک ماده حساس به نور[۱۱] عملیات زدایش[۱۲] جهت حذف قسمت‌های اضافی از سطح انجام می‌شود.



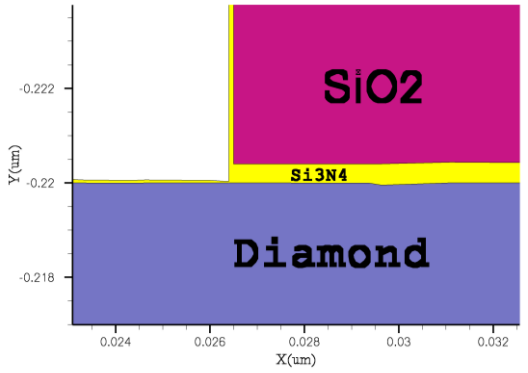
شکل (۶): زدایش نواحی اضافی عایق دوم (اکسید سیلیکون)

با اتمام فرآیند زدایش، شکل‌دهی عایق دوم ترانزیستور سیلیکون روی الماس دولایه مطابق شکل (۷)، انجام می‌شود.



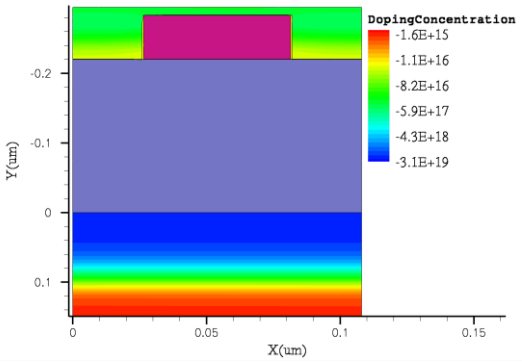
شکل (۷): شکل نهایی عایق های ترانزیستور

در ادامه مطابق شکل (۸) مجدداً لایه‌ی فوق نازکی از نیترید سیلیسیم بر روی سطح لایه‌های عایق اول و دوم، لایه‌نشانی می‌شود. وجود لایه‌ی نیترید سیلیسیم بر روی این سطوح جهت جلوگیری از رشد کریستال‌های بستر سیلیکونی به صورت آمورف است: که ابتکاری نوآورانه و نکته ای حیاتی در مراحل ساخت این ترانزیستور است.



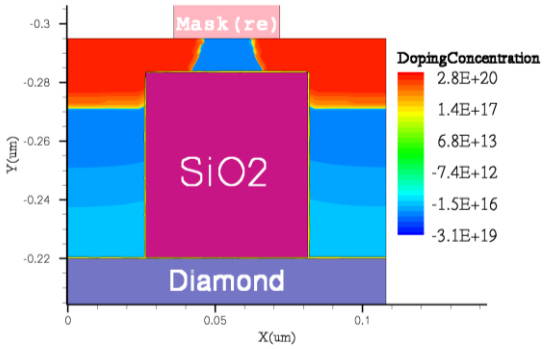
شکل (۸): لایه‌نشانی Si_3N_4 بر روی عایق های ترانزیستور

در مرحله بعد، فرآیند ایجاد بستر اصلی ترانزیستور انجام می‌شود. مطابق شکل (۹) لایه‌ای از جنس سیلیکون خالص بر روی لایه‌های زیرین (عایق ها) ترانزیستور لایه‌نشانی شده. سپس به کمک دو مرحله کاشت و انتشار دمایی یون برم در بستر سیلیکونی، بستر اصلی آلایش[۱۳] شده و به نیمه هادی نوع P یا حفره تبدیل می‌شود.



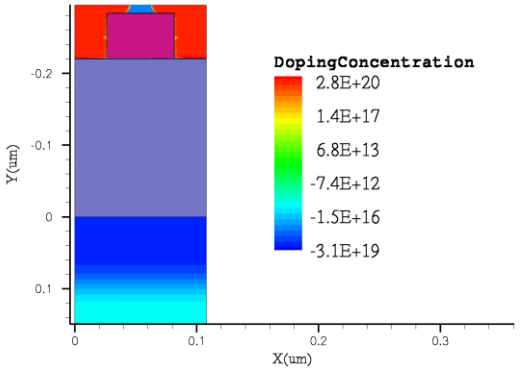
شکل (۹): لایه‌نشانی بستر اصلی ترانزیستور

در ادامه، ابتدا یک ماسک با ضخامت و طول معین ایجاد می‌شود تا نواحی مدنظر از بستر اصلی آلایش نوع N شوند. سپس با کاشت و انتشار میزان مشخصی از یون های آرسنیک در بستر اصلی طی یک فرآیند دمایی و محیطی مشخص، آلایش سبک[۱۴] نواحی سورس و درین ترانزیستور مطابق شکل (۱۰) ایجاد می‌شوند.



شکل (۱۰): ایجاد نواحی سورس و درین ترانزیستور با آلایش سبک

در مرحله دوم، این بار با مقادیر و ناخالصی متفاوت نسبت به مرحله قبل؛ مجدداً یون های آرسنیک در بستر اصلی، کاشت و انتشار داده می‌شوند تا نواحی سورس و درین به کف بستر اصلی رسیده و تا سطح عایق اول، امتداد داده شوند. در نهایت شکل نهایی نواحی سورس و درین ترانزیستور مطابق شکل (۱۱) تکمیل و ایجاد می‌شوند.

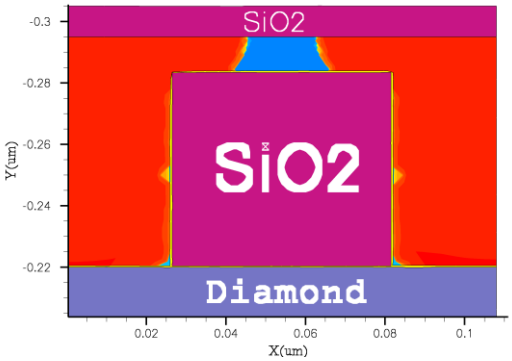


شکل (۱۱): شکل نهایی نواحی سورس و درین ترانزیستور

[Downloaded from jiaeee.com on 2026-05-19]

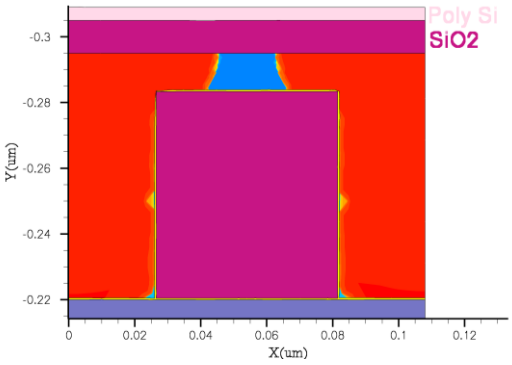
[DOI: 10.61186/jiaeee.22.1.57]

در مراحل بعد، اتصالات پایه‌های ترانزیستور باید ایجاد شوند. ابتدا پایه گیت ترانزیستور طی دو مرحله لایه‌نشانی ایجاد می‌شود: در مرحله اول مطابق شکل (۱۲) طی یک فرآیند، لایه ای از اکسید سیلیکون با ضخامتی معین بر روی سطح بستر ترانزیستور لایه‌نشانی می‌شود.



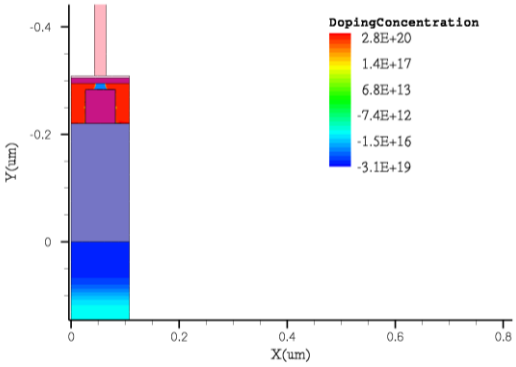
شکل (۱۲): لایه‌نشانی اکسید سیلیکون بر روی بستر اصلی

در مرحله دوم مطابق شکل (۱۳) طی فرآیندی دیگر، لایه‌ای از ماده پلی سیلیکون با ضخامتی معین بر روی اکسید لایه‌نشانی شده در مرحله قبل، لایه‌نشانی می‌شود.



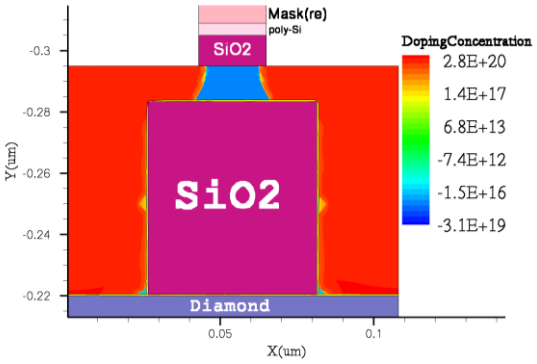
شکل (۱۳): لایه‌نشانی پلی سیلیکون بر روی اکسید گیت

برای شکل‌دهی پایه گیت ترانزیستور، مطابق شکل (۱۴) یک ماسک جهت تعیین طول گیت بر روی لایه‌ی پلی‌سیلیکونی ایجاد شده.



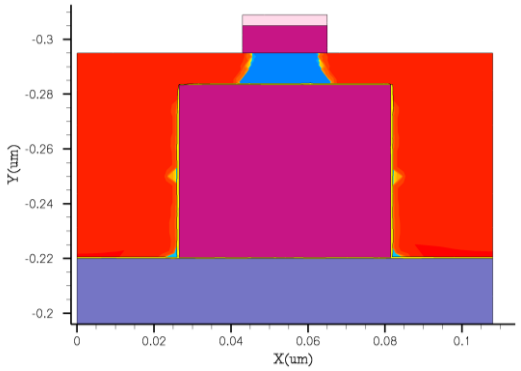
شکل (۱۴): لایه‌نشانی ماسک بر روی پلی سیلیکون گیت

سپس به کمک یک مرحله طرح نگاری نوری با تاباندن پرتوهای خاصی به ماده حساس به نور که بر روی قسمت‌های مدنظر (بخش‌های اضافی) قرار داده شده است، الگوی مدنظر مطابق شکل (۱۵) ایجاد شد؛ فرآیند زدایش جهت حذف بخش‌های اضافی از لایه‌های اکسیدی و پلی سیلیکونی پایه گیت ترانزیستور سیلیکون روی الماس دولایه انجام شده است.



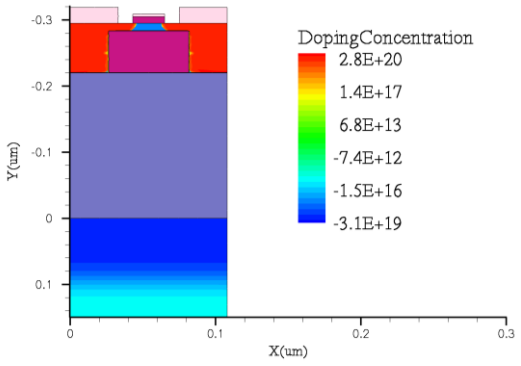
شکل (۱۵): ساختار پایه گیت ترانزیستور

پس از شکل‌دهی پایه گیت ترانزیستور و ایجاد الگوی مدنظر، ماسک ایجاد شده با یک فرآیند زدایش حذف می‌شود. درنهایت مطابق شکل (۱۶) شکل نهایی پایه گیت ترانزیستور ایجاد می‌شود.



شکل (۱۶): شکل نهایی پایه گیت ایجاد شده روی ترانزیستور

در آخرین مراحل شبیه‌سازی فرآیندهای ساخت، پایه‌های فلزی نواحی سورس و درین ترانزیستور بدین صورت ایجاد شدند: ابتدا فرآیند لایه‌نشانی و سپس زدایش جهت شکل‌دهی فلز آلومینیوم انجام شد تا درنهایت اتصالات فلزی این نواحی مطابق شکل (۱۷) ایجاد شوند.



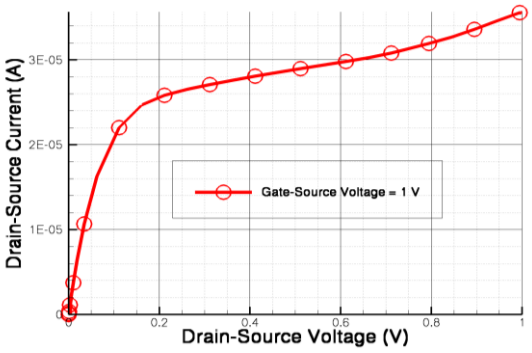
شکل (۱۷): شکل نهایی ترانزیستور سیلیکون روی الماس دولایه

تحقیقات پیشین در این زمینه با استخراج مدل مداری افزاره با طول کانال ۲۲ نانومتر: ولتاژ آستانه، پاسخ فرکانسی، سرعت کلیدزنی را

[Downloaded from jiaeee.com on 2026-05-19]

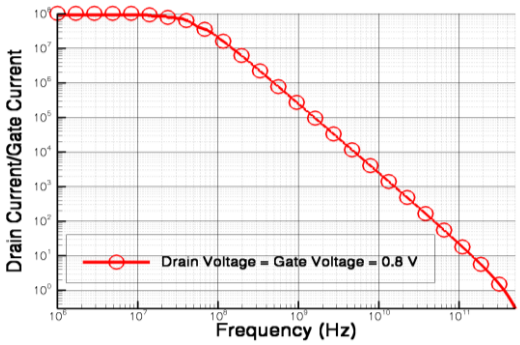
[DOI: 10.61186/jiaeee.22.1.57]

اندازه‌گیری کرده و با استخراج رابطه‌ی آنها با سایر مشخصات فیزیکی ترانزیستور، برتری مشخصه‌های فیزیکی و الکتریکی این ساختار را تحت شرایط یکسان با ساختارهای سیلیکون روی عایق و فناوری‌های پیشین نشان دادند [۱۶-۱۸]. در این مقاله بعد از استخراج ساختار نهایی ترانزیستور با کلیه جزئیات، مشخصات الکتریکی آن استخراج شد تا اطمینان حاصل گردد که در واقع ترانزیستور ساخته شده به این نحو، مطابق با استانداردهای ساخت سیماس، کارآیی مناسب را دارد. به این منظور ابتدا تنظیمات فیزیکی برای استخراج مشخصه جریان خروجی ترانزیستور انجام شد و نمودار جریان خروجی درین_سورس بر حسب ولتاژ درین_سورس، مطابق نمودار زیر در شکل (۱۸) بدست آمد. این مشخصه در ولتاژ گیت ۱ ولت، ولتاژ آستانه در حالت تشکیل کانال را به میزان ۰/۲۲۵ ولت نشان می‌دهد. همان‌طور که دیده می‌شود، نمودار جریان خروجی درین_سورس بر حسب ولتاژ درین_سورس ترانزیستور سیلیکون روی الماس دولایه، مشخصه مطلوب ترانزیستور را نشان می‌دهد که همانند نمودار ترانزیستورهای ماسفت معمولی، با افزایش ولتاژ درین_سورس ترانزیستور به بیشتر از ولتاژ درین_سورس ناحیه اشباع، ترانزیستور وارد ناحیه اشباع شده و در حالت تقویت کننده جریان قرار گرفته است. در این حالت همان‌طور که مشاهده می‌کنید جریان درین_سورس ترانزیستور در این ناحیه به بیشترین مقدار خود رسیده و یک جریان تثبیت شده پایدار را دارد. در این حالت جریان روشنایی[۱۵] ترانزیستور به اندازه ۰/۰۴۵ میلی‌آمپر بر مایکرون است. این نمودار بیانگر کارآیی واقعی و مطلوب ترانزیستور است. کلیه نواحی تریود و اشباع در این نمودار مشخص است. مطابق با پژوهش‌های پیشین که در زمینه شبیه‌سازی کلاسیک و کوانتومی کانال ترانزیستور انجام شده است [۶، ۲۷]؛ تأیید کننده برتری قابلیت‌های فیزیکی و مشخصه‌های الکتریکی چون ولتاژ آستانه ترانزیستور سیلیکون روی الماس دولایه با ساختار معین شده نسبت به ساختارهای سیلیکون روی عایق سنتی و پیشین است.



شکل (۱۸): نمودار جریان درین_سورس برحسب ولتاژ درین_سورس

مشخصه پاسخ فرکانسی مدار معادل ساختار ترانزیستور سیلیکون روی الماس دولایه نیز استخراج شد و نمودار بهره جریانی[۱۶] (نسبت جریان درین به جریان گیت) بر حسب فرکانس مطابق شکل (۱۹) نشان داده شده است. مطابق این نمودار، بهره جریانی یا همان نسبت جریان خروجی (جریان درین) به جریان ورودی (جریان گیت) برحسب تغییرات فرکانس نشان دهنده است؛ این ترانزیستور به ازای ولتاژ گیت و ولتاژ درین برابر به اندازه ۰/۸ ولت، با فرکانس قطع بهره واحد ۳۷۰ گیگاهرتز، نشان دهنده پاسخ‌دهی ترانزیستور در محدوده‌های فرکانسی کاری بالای ۱۰۰ گیگاهرتز است. همچنین با بهره بالا و تقریبا ثابت تا فرکانس قطع بالا ۱۸ مگاهرتز، موید کارآیی مطلوب پاسخ فرکانسی این ترانزیستور است. همان‌طور که در شکل (۱۹) نیز مشاهده می‌کنید: کلیه مشخصات فرکانسی ترانزیستور در نمودار پاسخ فرکانسی ترانزیستور مشخص است.



شکل (۱۹): نمودار پاسخ فرکانسی ترانزیستور

۴- نتیجه‌گیری

در این مقاله به کمک نرم‌افزار شبیه‌سازی ساخت افزاره‌های نیمه رسانا، فرآیندهای ساخت ترانزیستور سیلیکون روی الماس دو لایه مطابق با فرآیندهای استاندارد ساخت افزاره‌های نیمه‌رسانا بررسی و شبیه‌سازی شد. با استناد به نتایج شبیه‌سازی اثبات شد: امکان اجرای مراحل ساخت ترانزیستور سیلیکون روی الماس دولایه مطابق با استانداردهای فرآیندهای ساخت سیماس افزاره‌های نیمه‌رسانا وجود دارد. درنهایت نمودارهای مشخصات الکتریکی ترانزیستور سیلیکون روی الماس دولایه نظیر: نمودار جریان درین_سورس برحسب ولتاژ درین_سورس مطابق شکل (۱۸) و نمودار پاسخ فرکانسی مدار معادل ترانزیستور مطابق شکل (۱۹) استخراج شد. بررسی نمودارهای مشخصات الکتریکی ترانزیستور موید مقادیر مطلوبی از ولتاژ آستانه، جریان روشنایی و فرکانس قطع بهره واحد از ساختار نهایی ترانزیستور است که به همراه نتایج مراحل شبیه‌سازی ساخت، نشان دهنده امکان ساخت ترانزیستور سلیکون روی الماس دولایه توأم با کارآیی واقعی و مطلوب آن در صنعت میکروالکترونیک و ساخت افزاره‌های نیمه‌رسانا است. همچنین به دلیل وجود لایه الماس، نتایج بدست آمده از تحلیل مراحل شبیه‌سازی ساخت این ترانزیستور موید قابلیت‌های نوآورانه و گسترده‌تر این ساختار در کاربردهای مختلف نسبت به ساختارهای سنتی پیشین(سیلیکون روی عایق) است.

مراجع

[1] J. D. Plummer, Silicon VLSI technology: fundamentals, practice and modeling. Pearson Education India, 2009.

[Downloaded from jiaeee.com on 2026-05-19]

[DOI: 10.61186/jiaeee.22.1.57]

[2] D. Li, W. Lin, Q. Wang, X. Lv, T. Zhang, and L. Li, "Trenched diamond PN junction diode with enhanced conductance modulation effect designed by simulation", Microelectronics Journal, vol. 139, p. 105903, 2023.

[3] C. Fiegna, Y. Yang, E. Sangiorgi, and A. G. O'Neill, "Analysis of self-heating effects in ultrathin-body SOI MOSFETs by device simulation", IEEE Transactions on Electron Devices, vol. 55, no. 1, pp. 233-244, 2007.

[4] J. Zimmer and G. Chandler, "GaN on SOD Substrates–The Next Step in Thermal Control", in CS MANTECH Conference, 2007: Citeseer, pp. 129-132 .

[5] K. Raleva, D. Vasileska, and S. M. Goodnick, "Is SOD technology the solution to heating problems in SOI devices?", IEEE Electron Device Letters, vol. 29, no. 6, pp. 621-624, 2008.

[6] A. Daghighi and A. Farajzadeh, "Investigation of Temperature Effects in 45nm Silicon-on-Diamond MOSFET Transistor", Majlesi Journal of Electrical Engineering, vol. 3, no. 4, 2009.

[7] G. Song, Y. Wang, and D. Q. Tan, "A review of surface roughness impact on dielectric film properties", ed: Wiley Online Library, 2022.

[8] A. Priya and R. A. Mishra, "A two dimensional analytical modeling of surface potential in triple metal gate (TMG) fully-depleted Recessed-Source/Drain (Re-S/D) SOI MOSFET", Superlattices and Microstructures, vol. 92, pp. 316-329, 2016.

[9] N. Ghobadi and A. Afzali-Kusha, "Investigation and Modeling of Negative Bias Temperature Instability (NBTI) and Hot Carrier Injection (HCI) Induced Degradation in Multi-Gate Nano-Devices", Journal of Iranian Association of Electrical and Electronics Engineers, vol. 12, no. 2, pp. 1-14, 2015.

[10] W. Ke, X. Han, D. Li, X. Liu, R. Han, and S. Zhang, "Recessed source/drain for scaling SOI MOSFET to the limit", in 2006 8th International Conference on Solid-State and Integrated Circuit Technology Proceedings, 2006: IEEE, pp. 84-86 .

[11] B. Vandana, "Study of floating body effect in SOI technology", Int. J. Mod. Eng. Res, vol. 3, no. 3, pp. 1817-1824, 2013.

[12] J.-P. Mazellier, O. Faynot, S. Cristoloveanu, S. Deleonibus, and P. Bergonzo, "Integration of diamond in fully-depleted silicon-on-insulator technology as buried insulator: A theoretical analysis", Diamond and related materials, vol. 17, no. 7-10, pp. 1248-1251, 2008.

[13] A. Daghighi, "A novel structure to improve DIBL in fully-depleted silicon-on-diamond substrate", Diamond and related materials, vol. 40, pp. 51-55, 2013.

[14] A. Daghighi" ,Double insulating silicon on diamond device", ed: Google Patents, 2015.

[15] K. K. Young, "Analysis of conduction in fully depleted SOI MOSFETs", IEEE transactions on Electron Devices, vol. 36, no. 3, pp. 504-506, 1989.

[16] A. Daghighi and A. Dadkhah" ,A capacitance model for threshold voltage computation of double-insulating fully-depleted silicon-on-diamond MOSFET", The European Physical Journal Plus, vol. 138, no. 12, pp. 1-10, 2023.

[17] A. Daghighi, J. Hoseini-Teshnizi, and G. Amini, "A Novel Silicon on Diamond Structure to Improve Drain Induced Barrier Lowering", Majlesi Journal of Electrical Engineering, vol. 7, no. 1, 2013.

[18] Z. Sepehri and A. Daghighi, "Analytical Threshold Voltage Computations for 22 nm Silicon-on-Diamond MOSFET Incorporating a Second Oxide Layer", Journal of Iranian Association of Electrical and Electronics Engineers, vol. 16, no. 2, pp. 57-64, 2019.

[19] S. Cristoloveanu, "The SOI Transistor", 75th Anniversary of the Transistor, pp. 115-133, 2023.

[20] A. Rashid, "Review of:"(Field effect nano transistors) Nano transistor electronic quantity and ionization potential)", Qeios. doi: 10.32388/464lg7, 2023.

[21] X. Huang, C. Zhou, B. Wu, Z. Geng, and X. Zhang, "Wafer-scale polishing of polycrystalline MPACVD-diamond", Surfaces, vol. 5, no. 1, pp. 155-164, 2022.

[22] J. Ahopelto et al., "NanoElectronics roadmap for Europe: From nanodevices and innovative materials to system integration", Solid-State Electronics, vol. 155, pp. 7-19, 2019.

[23] Y. Song et al., "Relationship between Co-related optical centres and nitrogen impurities in large single crystals of diamond grown in Co–C system under HPHT conditions", CrystEngComm, vol. 25, no. 3, pp. 357-364, 2023.

[24] J. Liu et al., "Carrier mobility enhancement on the H-terminated diamond surface", Diamond and Related Materials, vol. 104, p. 107750, 2020.

[25] Z. Ren et al., "Diamond field effect transistors with MoO 3 gate dielectric", IEEE Electron Device Letters, vol. 38, no. 6, pp. 786-789, 2017.

[26] H. Umezawa, T. Matsumoto ,and S.-I. Shikata, "Diamond metal–semiconductor field-effect transistor with breakdown voltage over 1.5 kV", IEEE Electron Device Letters, vol. 35, no. 11, pp. 1112-1114, 2014.

[27] Z. Hoseini and A. Daghighi, "Investigation and simulation of the effect of Substrate Doping on the Switching Delay of 22nm Double-Insulating UTBB SOI MOSFET", Journal of Iranian Association of Electrical and Electronics Engineers, 2021.

زیرنویس‌ها

[1] Silicon-on-Diamond

[2] Ultra-Wide Bandgap

[3] Self-Heating Effects

[4] Silicon-on-Insulator

[5] Double-Insulating Silicon-on-Diamond MOSFET

[6] Bulk

[7] CMOS (Complementary Metal-Oxide-Semiconductor)

[8] CVD (Chemical Vapor Deposition)

[9] Si_3N_4

[10] Photolithography

[11] Photoresist

[12] Etching

[13] Doped

[14] LDD (Lightly Doped Drain)

[15] I_{ON}

[16] I_{DS}/I_G

[Downloaded from jiaeee.com on 2026-05-19]

[DOI: 10.61186/jiaeee.22.1.57]