

یک حلقه قفل فاز سریع و خود تطبیق برای سیستم‌های فتوولتائیک تک فاز متصل به شبکه

حمید حسن پور^۱ مهدی احسانیان^۲

۱- دانش آموخته کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه صنعتی خواجه نصیرالدین طوسی- تهران- ایران
h.hassanpour@email.kntu.ac.ir

۲- استادیار- دانشکده مهندسی برق- دانشگاه صنعتی خواجه نصیرالدین طوسی - تهران- ایران
ehsanian@kntu.ac.ir

چکیده: فاز، فرکانس و دامنه ولتاژ شبکه اطلاعات مهمی در سیستم‌های فتوولتائیک متصل به شبکه هستند. برای عملیات مناسب و پایدار یک سیستم، تخمین صحیح و سریع اطلاعات شبکه تحت تغییرات و اختلالات شبکه از اهمیت ویژه‌ای برخوردار است. در این مقاله یک ساختار حلقه قفل فاز خود تطبیق جهت ردیابی سریع و صاف پرش‌های فازی ولتاژ شبکه ارائه شده است. به طوری که اگر پرشی در فاز ولتاژ شبکه ایجاد شود، زمان حالت گذرا در فرکانس تخمین زده شده توسط حلقه قفل فرکانس تقریباً برابر صفر خواهد بود. حلقه قفل فاز ارائه شده همچنین دارای زمان نشست بسیار کم برای فرکانس، فاز و دامنه تخمین زده شده است. در طراحی این حلقه قفل فاز از انتگرال‌گیر تعمیم یافته مرتبه دوم به همراه حلقه قفل فرکانس بهره گرفته شده است. تمامی شبیه‌سازی‌ها در محیط سیمولینک متلب انجام گرفته است. زمان نشست فرکانس و دامنه PLL پیش‌نهادی به ترتیب برابر با ۰.۲۳ و ۰.۲۴ ثانیه هستند.

واژه‌های کلیدی: فاز، فرکانس، دامنه، فتوولتائیک، پرش فاز، حلقه قفل فاز، ولتاژ شبکه، انتگرال‌گیر تعمیم یافته مرتبه دوم، حلقه قفل فرکانس

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.19.1.191

تاریخ ارسال مقاله: ۱۳۹۸/۲/۱۴

تاریخ پذیرش مشروط مقاله: ۱۳۹۸/۱۱/۲

تاریخ پذیرش مقاله: ۱۳۹۹/۲/۱

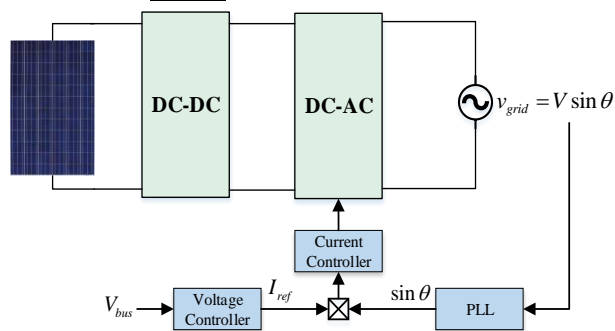
نام نویسنده‌ی مسئول: دکتر مهدی احسانیان

نشانی نویسنده‌ی مسئول: تهران - خیابان شریعتی - ضلع جنوب شرقی پل سیدخندان - دانشگاه صنعتی خواجه نصیرالدین طوسی - دانشکده‌ی برق و کامپیوتر

۱- مقدمه

خروجی PLL از حلقه‌ی قفل فرکانس^{۱۴} (FLL) در بلوک تولیدکننده سیگنال‌های عمود بر هم استفاده شده و به این طریق مقدار فرکانس شبکه تخمین زده می‌شود. همچنین در [۲۰-۲۵] از FLL جهت تخمین فرکانس شبکه استفاده شده است. در این ساختارها سرعت PLL بهبود محسوسی نداشته است. از طرفی استفاده از FLL می‌تواند باعث وابستگی تخمین فرکانس به پرش فاز شود.

یکی از مشکلات در تخمین فرکانس توسط PLL، کندی تخمین فرکانس در حضور خطای زاویه فاز است [۲۶]. خطای زاویه فاز می‌تواند به دلایل مختلف از جمله نقص سیستم ایجاد شود. با توجه به اینکه FLL در ورودی PLL قرار دارد، سطح وابستگی تغییرات ورودی



شکل (۱): ساختار کلی سیستم فتوولتائیک

به فرکانس تخمین زده شده را افزایش می‌دهد. لذا در این روش خطای فاز به طور مستقیم وارد FLL می‌شود و مقدار فرکانس تخمین زده شده را دچار مشکل می‌کند.

در این مقاله روش جدیدی ارائه شده که در آن وابستگی تخمین فرکانس به پرش فاز ورودی کاهش یافته است. در ساختار ارائه شده از SOGI به همراه FLL استفاده شده است و با ایجاد تغییراتی در ساختار FLL و ارائه روشی انطباقی توانسته خطای گذرا در سیگنال تشخیص فرکانس را کاهش دهد. با به حداقل رسیدن خطای گذرا در سیگنال تشخیص فرکانس پاسخ دینامیکی PLL بهبود داده شده است. روابط مربوط به PLL پیشنهادی به طور کامل مورد بحث قرار گرفته و با استفاده از شبیه‌سازی صحت روابط نیز به اثبات رسیده است.

ساختار کلی این مقاله به این شکل است که در بخش دوم خلاصه ای از عملکرد پایه ای PLL ارائه شده است. در بخش سوم حلقه قفل فازهای مبتنی بر سیگنال‌های عمود بر هم و انتگرال‌گیر تعمیم یافته مرتبه دوم و حلقه قفل فرکانسی توضیح داده شده است. در بخش چهارم ساختار پیشنهادی ارائه شده، بخش پنجم نیز به نحوه تنظیم پارامترها می‌پردازد و بخش ششم شامل نتایج شبیه سازی است.

۲- نحوه عملکرد PLL

حلقه‌های قفل فاز وظیفه برقراری ارتباط نرم و هم فاز کردن اینورتر و شبکه را بر عهده دارند و اطلاعاتی از قبیل فاز، فرکانس و دامنه‌ی

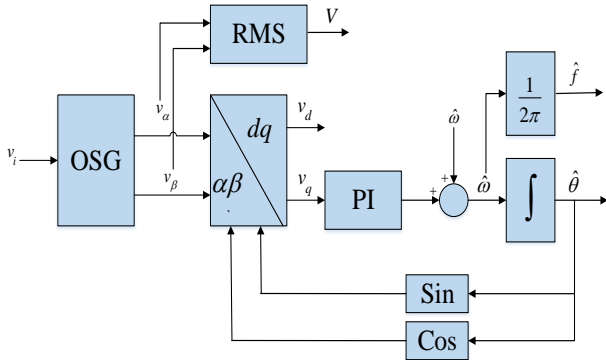
افزایش پیوسته‌ی سطح انتشار گازهای گل‌خانه‌ای و نگرانی در مورد حفاظت از محیط زیست جهان از یک سو و افزایش تقاضا برای انرژی از سوی دیگر باعث افزایش روزافزون روند استفاده از منابع مختلف انرژی‌های تجدیدپذیر شده است [۱، ۲]. در میان منابع انرژی‌های تجدیدپذیر، انرژی خورشیدی انتخابی مناسب برای کاربردهای متنوع می‌باشد. در سال‌های اخیر استفاده از سیستم‌های فتوولتائیک^۱ تک‌فاز متصل به شبکه به دلیل بازدهی بیشتر و هزینه نصب کمتر بسیار مورد توجه قرار گرفته است [۳].

ساختار کلی یک سیستم فتوولتائیک متصل به شبکه در شکل (۱) آمده است. همانطور که مشخص است یکی از ضروری‌ترین بخش‌های این سیستم‌ها، بخش حلقه قفل فاز^۲ (PLL) است. اگر چه روش‌های متنوعی در مراجع جهت همگام‌سازی سیستم‌های متصل به شبکه وجود دارد [۴-۷]، اما استفاده از PLL در سال‌های اخیر بسیار پرکاربردتر بوده است [۸، ۹]. PLL مسئولیت برقراری ارتباط نرم میان اینورتر^۳ و شبکه جهت دستیابی به ضریب توان^۴ واحد را دارد [۱۰، ۱۱]. همچنین فاز^۵، فرکانس^۶ و دامنه ولتاژ شبکه اطلاعات مهمی هستند که برای تولید جریان مرجع شبکه مورد نیاز می‌باشند.

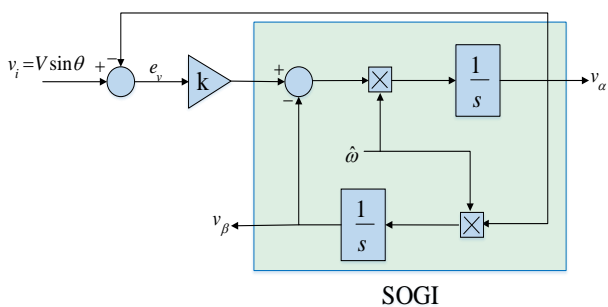
PLL‌های متنوعی در مراجع علمی ارائه شده است که بطور کلی می‌توان آن‌ها را به دو دسته حلقه‌های قفل فاز مبتنی بر قدرت^۷ (pPLL) و حلقه‌های مبتنی بر سیگنال‌های عمود بر هم^۸ (QSG-PLL) تقسیم‌بندی می‌کنند [۱۰]. در pPLL‌ها به دلیل حضور ضرب‌کننده، هارمونیک دوم فرکانس شبکه در فرکانس تخمین زده شده ایجاد می‌گردد [۱۲، ۱۳]. لذا استفاده از QSG-PLL‌ها بسیار پرکاربردتر است [۱۴-۱۶]. QSG-PLL نمونه‌ای از نوع تک‌فاز حلقه قفل فاز قاب مرجع سنکرون^۹ هستند که یک حلقه قفل فاز متداول در کاربردهای سه فاز می‌باشد [۱۷]. در QSG-PLL‌ها تفاوت در بخش تولیدکننده سیگنال‌های عمود بر هم است. روش‌های متعددی از جمله روش تاخیر انتقال^{۱۰}، تبدیل هیلبرت^{۱۱}، روش‌های مبتنی بر فیلتر و استفاده از معکوس تبدیل پارک^{۱۲} برای تولید سیگنال‌های عمود بر هم در مراجع وجود دارد [۱۰، ۱۸]. با وجود دارا بودن پاسخ گذرای بالا، این روش‌ها دارای ضعف‌هایی از قبیل وابستگی فرکانسی، پیچیدگی زیاد، غیرخطی بودن و ناتوانی در فیلتر کردن مناسب هستند. یک روش دیگر برای تولید سیگنال‌های عمود بر هم استفاده از روش انتگرال‌گیر تعمیم یافته مرتبه دوم^{۱۳} (SOGI) است که برای اولین بار در [۱۸] ارائه شده است. ایراد اصلی روش SOGI وابستگی فرکانسی است. در مراجع روش‌های مختلفی جهت حل این مشکل ارائه شده است که راهکار فرکانس ثابت به عنوان یکی از روش‌های مرجع برای بهبود ساختار SOGI ارائه شده است [۱۹].

در [۲۰] ساختار جدیدی برای تعیین فرکانس تخمین زده شده ارائه شده است. در این معماری، به جای بازخورد گرفتن از قسمت

مشخص است QSG-PLLها دارای یک بخش تولیدکننده سیگنال عمود برهم (بلوک OSG) هستند که وظیفه آن تولید دو سیگنال ورودی و سیگنال عمود بر آن است. همچنین در ساختار آنها از تبدیل پارک برای تبدیل $\alpha\beta$ به dq بهره گرفته می‌شود [۱۸]. ساختار SOGI در شکل (۴) قابل مشاهده است که در خروجی آن دو سیگنال v_α و v_β تولید می‌شود. سیگنال v_α هم فاز و هم دامنه سیگنال ورودی است. همچنین سیگنال v_β با v_α ۹۰ درجه اختلاف فاز و هم دامنه با سیگنال ورودی است [۱۸، ۲۰]. توابع تبدیل حلقه بسته (۳) و SOGI ($H_b = v_\beta/v_{in}$ و $H_a = v_\alpha/v_{in}$) به ترتیب در معادلات (۳) و



شکل (۳): ساختار کلی حلقه قفل مبتنی بر سیگنال‌های عمود بر هم



شکل (۴): ساختار حلقه قفل فاز انتگرال‌گیر تعمیم یافته مرتبه دوم

(۴) آمده‌اند، که در آن‌ها ω_n فرکانس تشدید SOGI می‌باشد و برابر با فرکانس تخمین زده شده ($\hat{\omega} = \omega_n$) است. k نیز بهره است که بر روی پهنای باند SOGI اثر می‌گذارد و دو برابر ضریب میرایی می‌باشد ($k = 2\xi$).

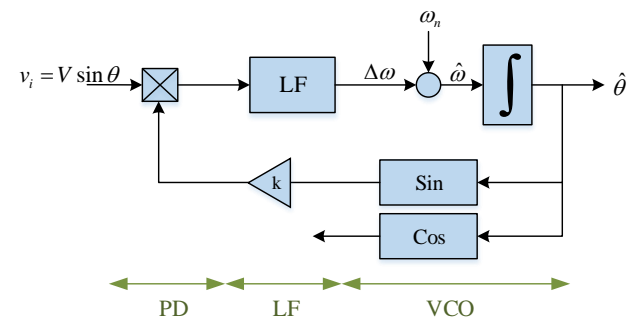
$$H_a(s) = \frac{v_\alpha(s)}{v_i(s)} = \frac{k\hat{\omega}s}{s^2 + k\hat{\omega}s + \hat{\omega}^2} \quad (3)$$

$$G_a(s) = \frac{v_\beta(s)}{v_i(s)} = \frac{k\hat{\omega}s}{s^2 + k\hat{\omega}s + \hat{\omega}^2} \quad (4)$$

دیاگرام بود تابع تبدیل $H_a(s) = v_\alpha(s) / v_i(s)$ به ازای مقادیر مختلف k در شکل (۵) نمایش داده شده است. همانطور که از رابطه (۲) و

هارمونیک اصلی شبکه را فراهم می‌سازند و همچنین در سیستم‌های متصل به شبکه جهت هم‌فاز کردن جریان مرجع و شبکه ضروری می‌باشند.

ساختار کلی یک حلقه فاز در شکل (۲) آمده است که در آن ورودی $v_i = V \sin \theta$ و ولتاژ شبکه است. $\hat{\theta} = \hat{\omega} t$ ، $\hat{\omega}$ و ω_n به ترتیب زاویه فاز تخمین زده شده، فرکانس تخمین زده شده و فرکانس نامی شبکه هستند. همان‌طور که مشخص است یک PLL از سه بخش تشخیص‌دهنده فاز^{۱۵} (PD)، حلقه فیلتر^{۱۶} (LF) و نوسان‌کننده کنترل شده با ولتاژ^{۱۷} (VCO) تشکیل می‌شود. در شکل (۲) خروجی ضرب‌کننده را می‌توان بصورت زیر نوشت:



شکل (۲): ساختار کلی PLL

$$z(t) = kV \sin \theta \cos \hat{\theta} = \underbrace{\frac{kV}{2} \sin(\theta - \hat{\theta})}_{\text{low-frequency}} + \underbrace{\frac{kV}{2} \sin(\theta + \hat{\theta})}_{\text{high-frequency}} \quad (1)$$

معادله (۱) از دو بخش فرکانس بالا و فرکانس پایین تشکیل شده است. بخش فرکانس بالای آن توسط LF، فیلتر می‌شود و تنها بخش فرکانس پایین آن یعنی $\frac{kV}{2} \sin(\theta - \hat{\theta})$ باقی خواهد ماند که

ضریب $\frac{kV}{2}$ را با انتخاب k مناسب می‌توان به عدد واحد تبدیل کرد. با فرض اینکه مقدار زاویه فاز تخمین زده شده نزدیک به زاویه فاز ولتاژ شبکه باشد، در این صورت اختلاف آن‌ها نزدیک به صفر خواهد شد ($\theta - \hat{\theta} \approx 0$) و در نتیجه $\sin(\theta - \hat{\theta}) \approx \theta - \hat{\theta}$ می‌شود. بنابراین می‌توان نتیجه گرفت که زاویه فاز تخمین زده شده برابر با زاویه فاز نامی ولتاژ شبکه خواهد شد. نحوه عملکرد PLL و همچنین روند خطی‌سازی آن به صورت کامل در [۲۷] آمده است.

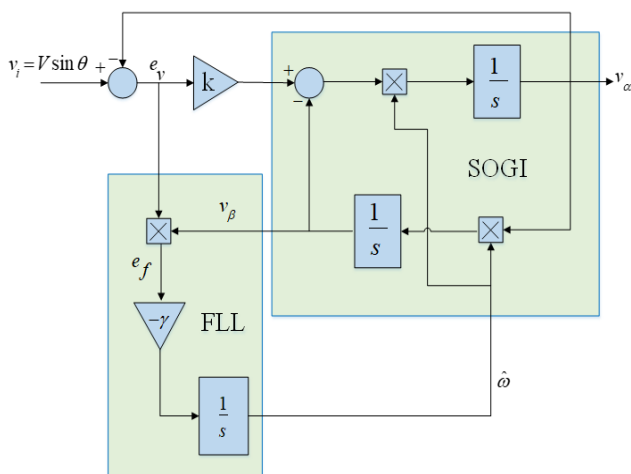
۳- حلقه‌های قفل فاز مبتنی بر سیگنال‌های عمود برهم

ساختار کلی QSG-PLL در شکل (۳) آمده است که در آن به ترتیب ورودی v_i حلقه قفل فاز و ولتاژ شبکه، v_α و v_β ولتاژهای عمود بر هم تولید شده، V اندازه دامنه ولتاژ شبکه، ω_n فرکانس نامی، $\hat{\omega}$ و $\hat{\theta}$ مقدار تخمین زده شده فرکانس و زاویه فاز هستند. همان‌طور که

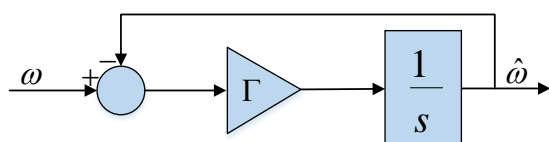
بنابراین زمان نشست (سرعت FLL) تنها وابسته به Γ خواهد بود که این زمان نشست تقریبی در (۷) آمده است:

$$\frac{\hat{\omega}}{\omega} = \frac{\Gamma}{s + \Gamma} \quad (6)$$

$$t_s(FLL) \approx \frac{5}{\Gamma} = \frac{5k\hat{\omega}}{\gamma N^2} \quad (7)$$



شکل (۶): ساختار حلقه قفل فاز انتگرال گیر تعمیم یافته مرتبه دوم - حلقه قفل فرکانس



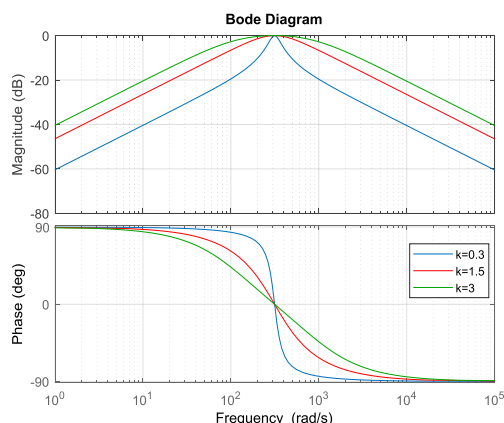
شکل (۷): مدل خطی حلقه قفل فرکانس

۴ - حلقه قفل فاز پیشنهادی

مطابق مطالب بیان شده در بخش سوم، FLL روش دیگری برای تخمین فرکانس است. از مزیت‌های این روش تخمین فرکانس توسط قسمت سازنده سیگنال‌های عمود برهم و سرعت نسبتاً بهتر آن در مقایسه با SOGI-PLL ساده است. اما این روش با توجه به آن که FLL در ورودی PLL قرار دارد، سطح اتصال تغییرات ولتاژ شبکه به فرکانس تخمین زده شده ($\hat{\omega}$) را افزایش می‌دهد. به این صورت که اگر خطای فازی در ولتاژ ورودی PLL اتفاق بیفتد، این خطا به طور مستقیم وارد حلقه FLL می‌شود و موجب انحراف مقدار فرکانس تخمین زده شده می‌شود. به عبارتی وقتی فاز ورودی تغییر می‌کند، دیگر سیگنال خطای فرکانس صفر نیست ($e_f \neq 0$). این خطای فرکانس ناشی از حاصل ضرب خطای ولتاژ در v_β است که وارد FLL

همچنین شکل (۵) قابل مشاهده است SOGI همانند یک فیلتر میان‌گذر با فرکانس مرکزی $\hat{\omega}$ عمل می‌کند. این فیلتر فقط هارمونیک اصلی را عبور می‌دهد و می‌توان بیان کرد که سیگنال v_α نمونه فیلتر شده سیگنال ورودی v_i است.

همانطور که در شکل (۵) مشخص است عرض فیلتر میان‌گذر توسط ضریب k محدود می‌شود. به این شکل که هر چه مقدار k بزرگتر شود، فیلتر میان‌گذر باریک‌تر شده و از این رو قابلیت فیلتر کردن هارمونیک‌های ولتاژ شبکه بیش‌تر می‌شود.



شکل (۵): دیاگرام بود تابع تبدیل $H_\alpha = v_\alpha / v_{in}$

ساختار SOGI به همراه FLL در شکل (۶) آمده است. در این ساختار به جای بازخورد گرفتن از قسمت خروجی PLL (قبل از انتگرال گیر در شکل (۳))، مقدار فرکانس با اضافه کردن FLL تخمین زده می‌شود. سپس فرکانس تخمین زده شده به منظور عملکرد صحیح به بلوک SOGI داده می‌شود.

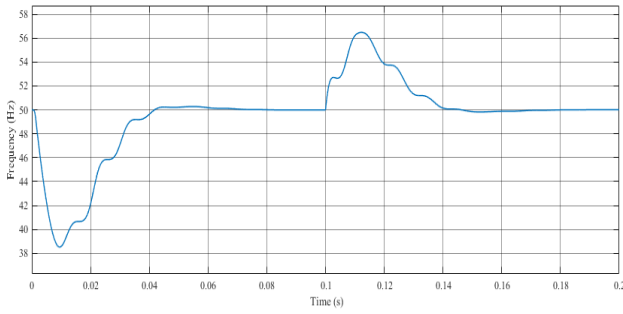
تابع تبدیل e_v / v_i ، نسبت سیگنال خطا به سیگنال ورودی است و به صورت معادله (۴) تعیین می‌شود:

$$\frac{e_v}{v_i}(s) = \frac{s^2 + \hat{\omega}^2}{s^2 + k\hat{\omega}s + \hat{\omega}^2} \quad (4)$$

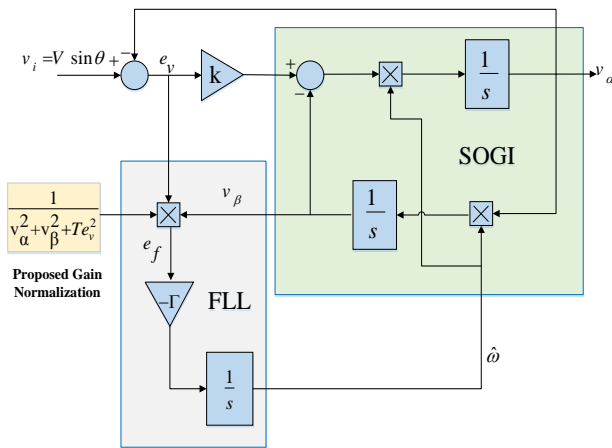
در قسمت تولیدکننده سیگنال عمود بر هم SOGI-FLL نمی‌توان از روش‌های تجزیه و تحلیل خطی به طور مستقیم برای تعیین اندازه γ استفاده کرد، زیرا حلقه‌ی تطبیق فرکانس بسیار غیرخطی است. تحلیل دینامیکی مربوط به SOGI-FLL و روند خطی‌سازی آن بصورت کامل در [۲۸] مورد بررسی قرار گرفته است. مدل خطی FLL در شکل (۷) آمده است که در آن Γ از رابطه (۵) به دست می‌آید:

$$\Gamma = \gamma \frac{V^2}{k\hat{\omega}} \quad (5)$$

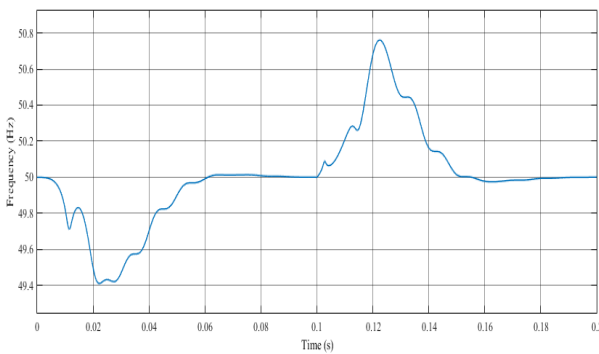
تابع تبدیل حلقه‌ی تطبیق فرکانس شکل (۷) به صورت (۶) می‌باشد.



شکل (۸): فرکانس تخمین زده شده توسط SOGI-FLL



شکل (۹): ساختار حلقه قفل فاز پیشنهادی



شکل (۱۰): فرکانس تخمین زده شده توسط ساختار پیشنهادی

شکل (۱۰) فرکانس تخمین زده شده ($\hat{\omega}$) توسط ساختار

پیشنهادی به ازای تغییر فاز در زمان ۰٫۱ ثانیه، از فاز ۰ درجه به ۴۵ درجه را نشان می‌دهد. همانطور که ملاحظه می‌شود در زمان حالت گذرا (زمان نشست) فرکانس تخمین زده شده ($\hat{\omega}$) برابر صفر ثانیه است.

شده است. به منظور غلبه بر این مشکل سیگنال کنترل (e_f) باید در طول پرفاز محدود شود تا اثر خطای فاز روی فرکانس تخمین زده شده به حداقل برسد.

به منظور نشان دادن تاثیر خطای فاز بر روی سرعت FLL شبیه سازی مربوطه انجام شده که در شکل (۸) قابل مشاهده می‌باشد. در این شکل فرکانس تخمین زده شده ($\hat{\omega}$) توسط FLL معمولی به ازای تغییر فاز در زمان ۰٫۱ ثانیه، از فاز ۰ درجه به ۴۵ درجه نشان داده شده است. همانطور که مشاهده می‌شود این تغییر فاز باعث ایجاد حالت گذرای محسوسی در تخمین فرکانس می‌گردد (دامنه تغییرات حالت گذرا فرکانس تخمین زده شده ۱۳ هرتز و زمان حالت گذرا ۰٫۰۵۲ ثانیه است).

برای حل مشکل تاثیر زیاد تغییر فاز در تخمین فرکانس، ساختاری به صورت شکل (۹) پیشنهاد شده است. در این ساختار ابتدا سیگنال خطا که حاصل ضرب e_f و v_β است، بر بیشترین دامنه سیگنال خطای فرکانس ($V^2 = v_\alpha^2 + v_\beta^2$) تقسیم می‌شود تا سیگنال ورودی FLL دارای اندازه‌های بین صفر و یک شود. سپس در مخرج

کسر $\frac{1}{v_\alpha^2 + v_\beta^2}$ عامل Te^2 اضافه شده است. به عبارت دیگر

به جای ضرب e_f در $\frac{1}{v_\alpha^2 + v_\beta^2}$ به عنوان ورودی FLL، e_f در

$$\frac{1}{v_\alpha^2 + v_\beta^2 + Te^2}$$

ضرب می‌شود.

اگر در فاز ورودی جهشی رخ دهد، این جهش باعث ایجاد خطای

ولتاژ (e_v) می‌شود در نتیجه خطای فرکانس (e_f) اتفاق می‌افتد. اما

این خطا در هنگام ورود در FLL با ضرب در عامل

$$\frac{1}{v_\alpha^2 + v_\beta^2 + Te^2}$$

نسبت به $\frac{1}{v_\alpha^2 + v_\beta^2}$ کوچک‌تر شده است.

در نتیجه FLL در هنگام جهش فاز ولتاژ ورودی، به میزان

کم‌تری تحت تأثیر قرار می‌گیرد. همچنین می‌توان با بزرگ انتخاب

کردن T به طور محسوسی اثر ایجاد حالت گذرای ناشی از جهش فاز

سیگنال ورودی در تخمین فرکانس را از بین برد.

۵- تنظیم مقدار T

در این بخش ساختار ارائه شده با استفاده از روابط ریاضی و مثلثاتی مورد بررسی قرار گرفته است. فرض کنیم سیگنال ورودی (v_i) برابر $V \cos(\omega t)$ می‌باشد. در این حالت در شرایط پایدار v_α برابر $V \cos(\omega t)$ و v_β برابر $V \sin(\omega t)$ است. با تغییر فاز ورودی به اندازه ϕ ، سیگنال ورودی حلقه قفل فاز $V \cos(\omega t + \phi)$ می‌شود. اما در لحظه اول، تغییرات فاز ورودی به v_α و v_β نرسیده است. بنابراین در لحظه اول تغییرات فاز، v_α برابر $V \cos(\omega t)$ و v_β برابر $V \sin(\omega t)$ هستند. مقدار e_f در لحظه اول مطابق ساختار شکل (۹) به صورت رابطه (۸) می‌شود:

$$e_f = v_\beta \times e_v = (V \sin(\omega t)) \times (v_i - v_\alpha) \quad (8)$$

با جای گذاری سیگنال ورودی (v_i) برابر $V \cos(\omega t + \phi)$ و v_α برابر $V \cos(\omega t)$ در رابطه (۷)، رابطه (۹) حاصل می‌شود:

$$e_f = (V \sin(\omega t)) \times (V \cos(\omega t + \phi) - V \cos(\omega t)) \quad (9)$$

با ساده سازی و متوسط گیری طرفین رابطه (۹)، رابطه (۱۰) حاصل می‌شود (برای قابل لمس تر بودن e_f از مقدار متوسط آن استفاده می‌کنیم):

$$\bar{e}_f = -\frac{1}{2} \sin \phi \quad (10)$$

با توجه به آن که e_f در $\frac{1}{v_\alpha^2 + v_\beta^2 + Te_v^2}$ ضرب می‌شود، بنابراین ورودی انتگرال گیر FLL با توجه به رابطه (۱۰) و ساختار (۹) به صورت رابطه (۱۱) است:

$$\frac{1}{v_\alpha^2 + v_\beta^2 + Te_v^2} \times -\frac{1}{2} \sin \phi \times -\Gamma \quad (11)$$

در رابطه (۱۱) با اضافه شدن عامل Te_v^2 در مخرج $\frac{1}{v_\alpha^2 + v_\beta^2}$ باعث کاهش ورودی انتگرال گیر FLL می‌شود. $\hat{\omega}$ با توجه به شکل (۹) به صورت رابطه (۱۲) محاسبه می‌شود:

$$\frac{1}{s} \left[\underbrace{\frac{1}{v_\alpha^2 + v_\beta^2 + Te_v^2} \times -\frac{1}{2} \sin \phi \times -\Gamma}_{\text{ورودی انتگرال گیر}} \right] = \hat{\omega} \quad (12)$$

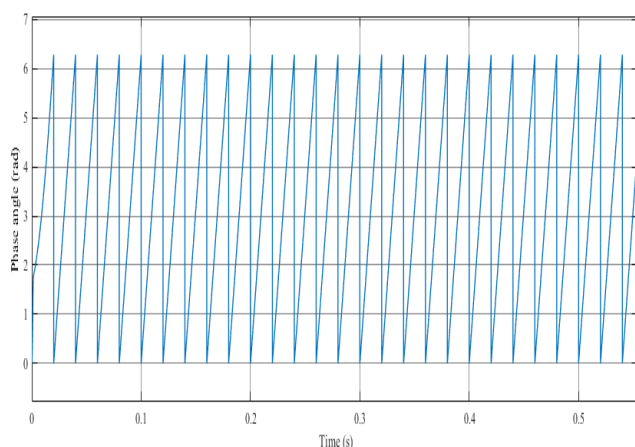
با توجه به رابطه (۱۲) با اضافه کردن Te_v^2 ، ورودی انتگرال گیر FLL (نسبت به حالت بدون Te_v^2) کاهش پیدا می‌کند. این کاهش، باعث کاهش $\hat{\omega}$ می‌شود. با توجه به رابطه (۷)، کاهش $\hat{\omega}$ باعث کاهش زمان نشست می‌گردد. در نتیجه اضافه کردن عامل Te_v^2 در مخرج کسر $\frac{1}{v_\alpha^2 + v_\beta^2}$ باعث بهبود سرعت PLL می‌شود.

۶- نتایج شبیه سازی

پارامترهای سیستم مورد مطالعه به طور کلی در جدول (۱) آمده است. و تمامی شبیه سازی ها در محیط سیمولینک متلب انجام شده است.

جدول (۱): پارامترهای سیستم مورد مطالعه

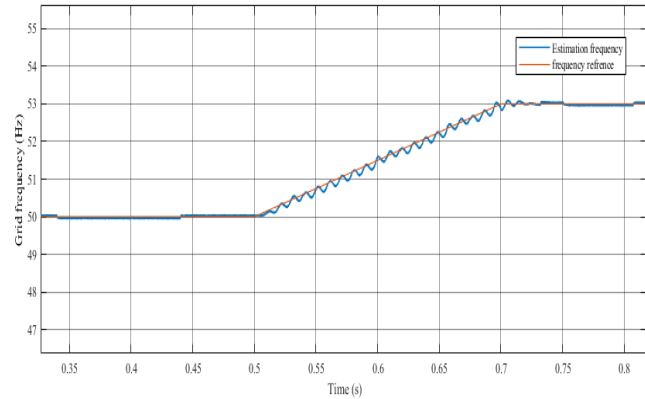
مقدار	عنوان
۲۲۰ ولت موثر	اندازه ولتاژ شبکه (V)
۵۰ هرتز	فرکانس شبکه
$k = 2.1$	اندازه بهره PLL
$k_i = 7878$ و $k_p = 137.5$	اندازه بهره های کنترل کننده تناسبی-انتگرالی
$\Gamma = 50$	اندازه بهره FLL
$T = 300$	اندازه ضریب T



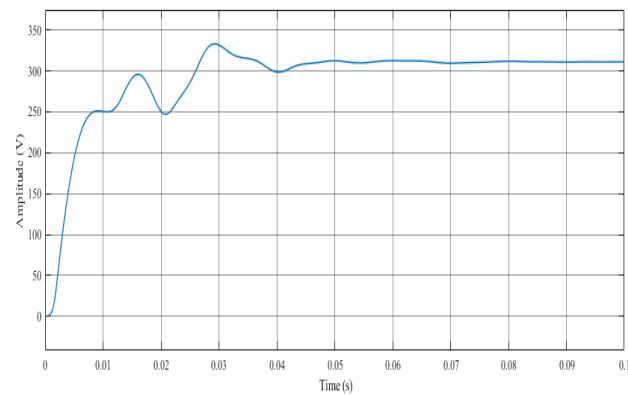
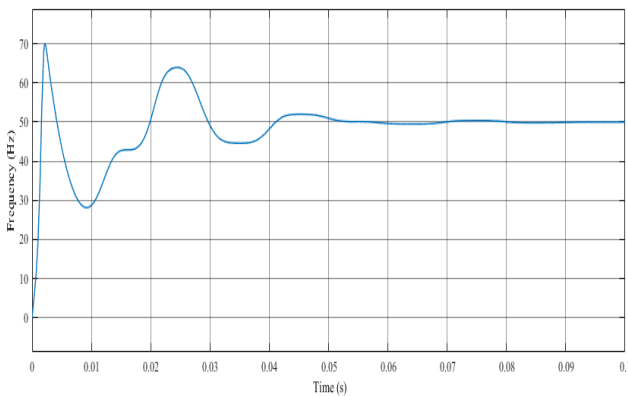
شکل (۱۱): زاویه فاز حلقه قفل فاز ارائه شده

جدول (۲): مقایسه زمان نشست حلقه‌های قفل فاز مختلف

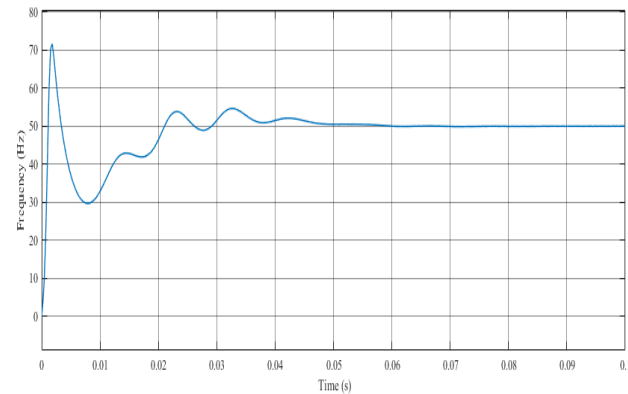
	زمان نشست تخمین فرکانس	زمان نشست تخمین دامنه
SOGI [18]	۰,۰۵۲ ثانیه	۰,۰۵۴ ثانیه
SOGI-FLL [20, 22]	۰,۰۴۵ ثانیه	۰,۰۴۶ ثانیه
PLL پیش‌نهادی	۰,۰۲۳ ثانیه	۰,۰۲۴ ثانیه



شکل (۱۲): فرکانس تخمین زده شده و ایده‌آل در اثر پرش شیب فرکانس ورودی



شکل (۱۳): نمودارهای فرکانس و دامنه تخمین زده شده ولتاژ شبکه SOGI توسط



در شکل (۱۱) زاویه فاز PLL ارائه شده ($\hat{\theta} = \hat{\omega}t$)، نشان داده شده‌است. همانطور که مشاهده می‌شود زاویه فاز به درستی و با دوره تناوبی برابر با معکوس فرکانس شبکه متناوب است. شکل (۱۲) اثر پرش شیب فرکانس شبکه بر فرکانس تخمین زده شده (\hat{f}) را نشان می‌دهد. در این شکل فرکانس شبکه در زمان ۰,۵ ثانیه از مقدار ۵۰ هرتز به مقدار ۵۳ هرتز در زمان ۰,۷ ثانیه می‌رسد (این نمودار با رنگ قرمز در شکل قابل مشاهده است). همانطور که مشاهده می‌شود با پرش شیب فرکانس شبکه از ۵۰ به ۵۳ هرتز، فرکانس تخمین زده شده توسط ساختار پیش‌نهادی نیز به خوبی فرکانس شبکه را ردیابی می‌کند و از ۵۰ به ۵۳ هرتز می‌رسد (این نمودار با رنگ آبی در شکل قابل مشاهده است). لذا درستی عملکرد ساختار پیش‌نهادی به ازای پرش شیب مشخص می‌گردد.

در ادامه سه ساختار SOGI معمولی، SOGI-FLL معمولی و PLL پیش‌نهادی با یکدیگر مقایسه شده‌اند. شکل (۱۳) نمودارهای فرکانس و دامنه تخمین زده شده ولتاژ شبکه توسط ساختار SOGI معمولی را نشان می‌دهند. در این شکل زمان نشست فرکانس و دامنه تخمین زده شده به ترتیب برابر ۰,۰۵۲ ثانیه و ۰,۰۵۴ ثانیه هستند. در شکل (۱۴) نمودارهای مربوط به فرکانس و دامنه تخمین زده شده ولتاژ شبکه با استفاده از ساختار SOGI-FLL معمولی نشان داده شده‌اند. در این شکل زمان نشست فرکانس و دامنه تخمین زده شده به ترتیب برابر ۰,۰۴۵ ثانیه و ۰,۰۴۶ ثانیه هستند. شکل (۱۵) نیز نمودارهای فرکانس و دامنه تخمین زده شده ولتاژ شبکه توسط PLL پیش‌نهادی را نشان می‌دهد. در این شکل زمان نشست فرکانس و دامنه تخمین زده شده به ترتیب برابر ۰,۰۲۳ ثانیه و ۰,۰۲۴ ثانیه هستند.

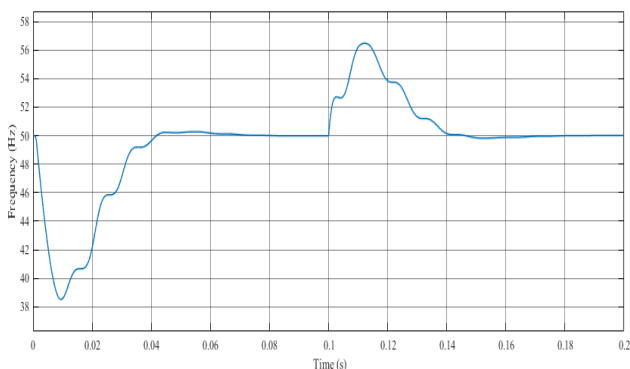
شکل‌های (۱۳) تا (۱۵) از لحاظ زمان نشست (سرعت PLL) در جدول (۲) با یکدیگر مقایسه شده‌اند. همانطور که مشخص است زمان نشست PLL پیش‌نهادی نسبت به دو ساختار دیگر کمتر است و این نشان می‌دهد که ساختار پیش‌نهادی توانسته سرعت تخمین فاز، فرکانس و دامنه PLL را نسبت به ساختارهای مشابه بهبود بخشد.

فازی برابر با ۴۵ درجه دز زمان ۰,۱ ثانیه اعمال شده و اثر آن بر روی فرکانس تخمین زده شده (خروجی FLL در شکل (۶) و یا همان $\hat{\omega}$) بررسی شده است. همانطور که در شکل (۱۶) مشاهده می‌شود دامنه تغییرات حالت گذرای فرکانس تخمین زده شده برابر با مقدار محسوس ۱۳ هرتز و زمان حالت گذرا ۰,۰۵۲ ثانیه می‌شود.

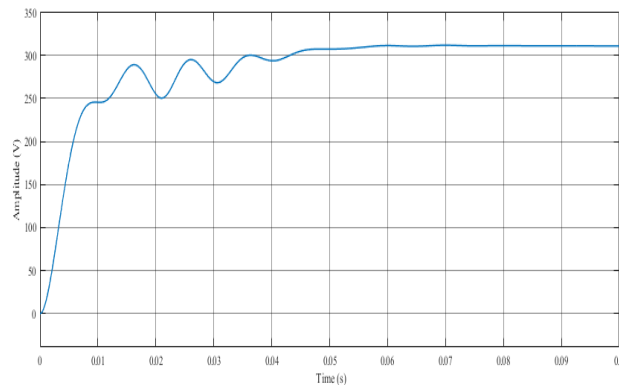
در شبیه‌سازی دوم تغییر فاز ۴۵ درجه‌ای بر روی PLL پیش‌نهادی بررسی شده است. همانطور که در شکل (۱۷) مشاهده می‌شود این جهش فاز باعث ایجاد حالت گذرا در فرکانس تخمین زده شده (خروجی FLL در شکل (۹)) نشده است. در ساختار پیشنهادی تغییرات فرکانس در حالت گذرا کم‌تر از ۰,۶ هرتز و زمان حالت گذرا (زمان نشست) صفر ثانیه است. به عبارت دیگر ساختار پیشنهادی مشکل وابستگی تغییرات فاز بر تخمین فرکانس را برطرف نموده است. جدول (۳) مقایسه‌ای میان دامنه تغییرات و زمان نشست فرکانس تخمین زده شده توسط FLL در دو ساختار SOGI-FLL و PLL پیش‌نهادی را نشان می‌دهد.

جدول (۳): مقایسه دامنه تغییرات و زمان نشست فرکانس تخمین زده پیش‌نهادی PLL و SOFI-FLL شده

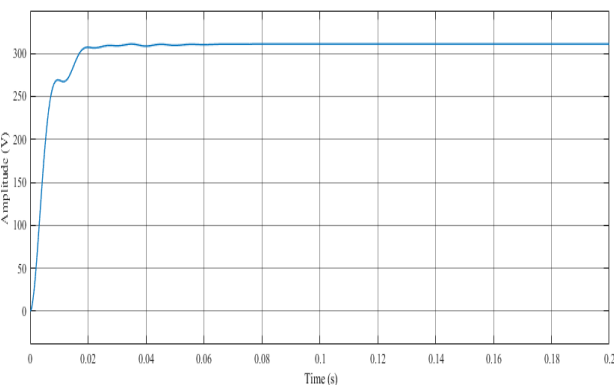
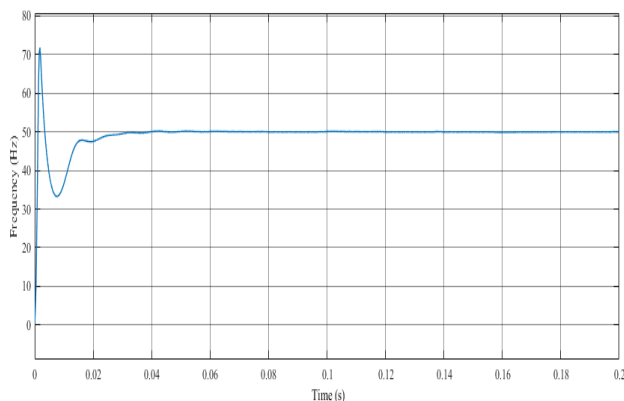
	دامنه تغییرات	زمان حالت گذرا
SOGI-FLL [20, 22]	۱۳ هرتز	۰,۰۵۲
پیش‌نهادی PLL	۰,۶ هرتز	صفر



شکل (۱۶): نمودار خروجی FLL در شکل (۶) به ازای پله فاز ۴۵ درجه‌ای ورودی



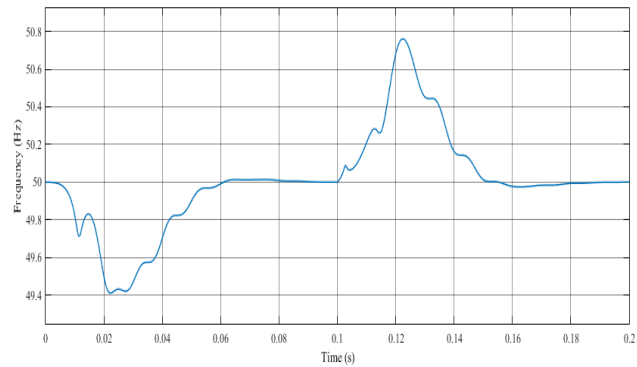
شکل (۱۴): نمودارهای فرکانس و دامنه تخمین زده شده ولتاژ شبکه توسط SOGI-FLL



شکل (۱۵): نمودارهای فرکانس و دامنه تخمین زده شده ولتاژ شبکه توسط PLL پیشنهادی

همانطور که در بخش چهارم بیان شد ساختارهای SOGI- و SOGI-FLL وابستگی زیادی به فاز ولتاژ شبکه دارند و این امر باعث بروز خطای قابل توجهی در تخمین فرکانس می‌شود. جهت مقایسه ساختار SOGI-FLL و PLL پیش‌نهادی دو شبیه‌سازی در شرایط یکسان برای دو ساختار انجام شده است. در شبیه‌سازی اول SOGI-FLL مورد بررسی قرار گرفته است، به این صورت که در ولتاژ ورودی تغییر

- [3] S. B. Kjaer, J. K. Pedersen, and F. Blaabjerg, "A review of single-phase grid-connected inverters for photovoltaic modules," *IEEE Transactions on Industry Applications*, vol. 41, no. 5, pp. 1292-1306, 2005.
- [4] R. N. Dean and A. K. Rane, "A Digital Frequency-Locked Loop System for Capacitance Measurement," *IEEE Transactions on Instrumentation and Measurement*, vol. 62, no. 4, pp. 777-784, 2013.
- [5] K. Lee, J. Lee, D. Shin, D. Yoo, and H. Kim, "A Novel Grid Synchronization PLL Method Based on Adaptive Low-Pass Notch Filter for Grid-Connected PCS," *IEEE Transactions on Industrial Electronics*, vol. 61, no. 1, pp. 292-301, 2014.
- [6] M. S. Reza, M. Ciobotaru, and V. G. Agelidis, "Tracking of time-varying grid voltage using DFT based second order generalized integrator technique," in *2012 IEEE International Conference on Power System Technology (POWERCON)*, 2012, pp. 1-6.
- [7] K. Q. Z. Chiang and M. L. Psiaki, "Kalman Filter Tracking of Limb Scan Signal using a Bank of Correlators," *IEEE Transactions on Aerospace and Electronic Systems*, vol. 49, no. 1, pp. 118-133, 2013.
- [8] Y. Han, M. Luo, X. Zhao, J. M. Guerrero, and L. Xu, "Comparative Performance Evaluation of Orthogonal-Signal-Generators-Based Single-Phase PLL Algorithms—A Survey," *IEEE Transactions on Power Electronics*, vol. 31, no. 5, pp. 3932-3944, 2016.
- [9] S. Golestan and J. M. Guerrero, "Conventional Synchronous Reference Frame Phase-Locked Loop is an Adaptive Complex Filter," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 3, pp. 1679-1682, 2015.
- [10] S. Golestan, J. M. Guerrero, and J. C. Vasquez, "Single-Phase PLLs: A Review of Recent Advances," *IEEE Transactions on Power Electronics*, vol. 32, no. 12, pp. 9013-9030, 2017.
- [11] S. Golestan, J. M. Guerrero, and J. C. Vasquez, "Three-Phase PLLs: A Review of Recent Advances," *IEEE Transactions on Power Electronics*, vol. 32, no. 3, pp. 1894-1907, 2017.
- [12] A. Elrayyah, Y. Sozer, and M. Elbuluk, "Robust phase locked-loop algorithm for single-phase utility-interactive inverters," *IET Power Electronics*, vol. 7, no. 5, pp. 1064-1072, 2014.
- [13] S. Golestan, M. Ramezani, J. M. Guerrero, F. D. Freijedo, and M. Monfared, "Moving Average Filter Based Phase-Locked Loops: Performance Analysis and Design Guidelines," *IEEE Transactions on Power Electronics*, vol. 29, no. 6, pp. 2750-2763, 2014.
- [14] P. Lamo, F. López, A. Pigazo, and F. J. Azcondo, "An Efficient FPGA Implementation of a Quadrature Signal-Generation Subsystem in SRF PLLs in Single-Phase PFCs," *IEEE Transactions on Power Electronics*, vol. 32, no. 5, pp. 3959-3969, 2017.
- [15] S. Golestan, J. M. Guerrero, A. Vidal, A. G. Yepes, J. Doval-Gandoy, and F. D. Freijedo, "Small-Signal Modeling, Stability Analysis and Design Optimization of Single-Phase Delay-Based PLLs," *IEEE Transactions on Power Electronics*, vol. 31, no. 5, pp. 3517-3527, 2016.
- [16] Q. Guan, Y. Zhang, Y. Kang, and J. M. Guerrero, "Single-Phase Phase-Locked Loop Based on Derivative Elements," *IEEE Transactions on Power Electronics*, vol. 32, no. 6, pp. 4411-4420, 2017.
- [17] C. Se-Kyo, "A phase tracking system for three phase utility interface inverters," *IEEE Transactions on Power Electronics*, vol. 15, no. 3, pp. 431-438, 2000.



شکل (۱۶): نمودار خروجی FLL شکل (۱۷): در ساختار پیشنهادی به ازای پله فاز ۴۵ درجه‌ای ورودی

۷- نتیجه‌گیری

در این مقاله یک ساختار جدید جهت اتصال نرم اینورتر به شبکه در سیستم‌های فتوولتائیک متصل به شبکه از نوع تکفاز ارائه گردید. در ساختار پیشنهادی به دلیل اهمیت قابلیت فیلتر کردن مناسب و سرعت پویایی بالا از SOGI استفاده شد. همچنین جهت تولید فرکانس تخمین زده شده مستقل از PLL، از FLL بهره گرفته شد. استفاده از FLL سرعت PLL را نسبت به SOGI معمولی افزایش می‌دهد، اما وابستگی تغییرات فاز ولتاژ شبکه بر فرکانس تخمین‌زده شده را افزایش می‌دهد.

از آنجایی که یکی از مشکلات اساسی در طراحی PLL عدم تاثیر پذیری آن نسبت به تغییرات فاز شبکه است، مشکل تاثیرپذیری از تغییرات فاز ولتاژ شبکه باید برطرف شود و برای این منظور ساختار جدیدی ارائه شد که با اعمال تغییراتی در ساختار FLL، قادر به مستقل کردن آن از تغییرات فاز ولتاژ شبکه گردید.

تغییرات دامنه فرکانس تخمین زده شده FLL در ساختار ارائه شده به ازای تغییرات ۴۵ درجه‌ای فاز ولتاژ شبکه برابر ۰.۶ هرتز (تقریباً صفر) شد. همچنین ساختار ارائه شده در ازای پرش شیب فرکانس مورد بررسی قرار گرفت که عملکرد مطلوبی داشت. زمان نشست فرکانس و دامنه PLL پیشنهادی نیز به ترتیب برابر با ۰.۲۳ و ۰.۰۲۴ ثانیه هستند.

مراجع

- [1] M.-A. Yazdanpanah Jahromi and S. M. Barakati, "A New Perspective in Design and Optimization of Hybrid Renewable Energy Systems: Consideration of Supply/Demand Match Evaluation Criteria together with the reliability of the system %J Journal of Iranian Association of Electrical and Electronics Engineers," (in eng), *Research* vol. 13, no. 3, pp. 37-48, 2016.
- [2] H. Toodeji, "Multilevel Inverter with Direct Nonlinear Controller For Connecting Solar Farms To The Grid %J Journal of Iranian Association of Electrical and Electronics Engineers," (in eng), *Research* vol. 15, no. 1, pp. 65-74, 2018.

- ¹¹ Hilbert Transformation
- ¹² Inverse Park Transformation
- ¹³ Second Order Generalized Integrator (SOGI)
- ¹⁴ Frequency Locked Loop (FLL)
- ¹⁵ Phase Detector (PD)
- ¹⁶ Loop Filter (LF)
- ¹⁷ Voltage-Controlled Oscillator (VCO)

- [18] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "A new single-phase PLL structure based on second order generalized integrator," in 2006 37th IEEE Power Electronics Specialists Conference, 2006, pp. 1-6.
- [19] F. Xiao, L. Dong, L. Li, and X. Liao, "A Frequency-Fixed SOGI-Based PLL for Single-Phase Grid-Connected Converters," IEEE Transactions on Power Electronics, vol. 32, no. 3, pp. 1713-1719, 2017.
- [20] P. Rodríguez, A. Luna, I. Candela, R. Mujal, R. Teodorescu, and F. Blaabjerg, "Multiresonant Frequency-Locked Loop for Grid Synchronization of Power Converters Under Distorted Grid Conditions," IEEE Transactions on Industrial Electronics, vol. 58, no. 1, pp. 127-138, 2011.
- [21] S. Golestan, J. M. Guerrero, J. C. Vasquez, A. M. Abusorrah, and Y. Al-Turki, "A Study on Three-Phase FLLs," IEEE Transactions on Power Electronics, vol. 34, no. 1, pp. 213-224, 2019.
- [22] A. Kherbachi, A. Bendib, K. Kara, and A. Chouder, "ARM based implementation of sogi-fll method for power calculation in single-phase power system," in 2017 5th International Conference on Electrical Engineering - Boumerdes (ICEE-B), 2017, pp. 1-6.
- [23] P. Rodriguez, A. Luna, M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "Advanced Grid Synchronization System for Power Converters under Unbalanced and Distorted Operating Conditions," in IECON 2006 - 32nd Annual Conference on IEEE Industrial Electronics, 2006, pp. 5173-5178.
- [24] C. M. Hackl and M. Landerer, "Modified Second-Order Generalized Integrators With Modified Frequency Locked Loop for Fast Harmonics Estimation of Distorted Single-Phase Signals," IEEE Transactions on Power Electronics, vol. 35, no. 3, pp. 3298-3309, 2020.
- [25] A. E. Karkevandi and M. J. Daryani, "Frequency estimation with antiwindup to improve SOGI filter transient response to voltage sags," in 2018 6th International Istanbul Smart Grids and Cities Congress and Fair (ICSG), 2018, pp. 188-192.
- [26] M. K. Ghartemani, S. A. Khajehoddin, P. K. Jain, and A. Bakhshai, "Problems of Startup and Phase Jumps in PLL Systems," IEEE Transactions on Power Electronics, vol. 27, no. 4, pp. 1830-1838, 2012.
- [27] M. Karimi-Ghartema, Enhanced phase-locked loop structures for power and energy applications. John Wiley & Sons, 2014.
- [28] S. Golestan, M. Monfared, F. D. Freijedo, and J. M. Guerrero, "Dynamics Assessment of Advanced Single-Phase PLL Structures," IEEE Transactions on Industrial Electronics, vol. 60, no. 6, pp. 2167-2177, 2013.

زیر نویس ها

- ¹ Photovoltaic
- ² Phase Locked Loop (PLL)
- ³ Inverter
- ⁴ Power Factor
- ⁵ Phase
- ⁶ Frequency
- ⁷ Power based PLLs (pPLLs)
- ⁸ Quadrature Signal Generation PLLs (QSG-PLLs)
- ⁹ Synchronous Reference Frame (SRF)
- ¹⁰ Transport Delay