

طراحی تقویت کننده هدایت انتقالی توان پایین، ولتاژ پایین خودبایاس شونده با ترانزیستورهای فین فت

علیرضا حسن زاده^۱ مهدی شیرازی^۲

۱- استادیار- دانشکده مهندسی برق- دانشگاه شهید بهشتی- تهران- ایران

a_hassanzadeh@sbu.ac.ir

۲- دانش‌آموخته کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه شهید بهشتی- تهران- ایران

mah.shirazi@mail.sbu.ac.ir

چکیده: در این مقاله، یک تقویت کننده هدایت انتقالی ولتاژ پایین برای کاربردهای توان پایین با استفاده از ترانزیستورهای گیت مجزا فین فت طراحی و شبیه سازی شده است. در طراحی این مدار برای ایجاد ورودی با دامنه تا ولتاژ تغذیه از روش زوج شبه تفاضلی در طبقه ورودی و روش خودبایاس شونده استفاده شده است. از سوی دیگر با استفاده از فین فت گیت مجزا به جای سی‌ماس می‌توان پاسخ فرکانسی و بهره را بهبود بخشید بدون آنکه توان اضافی مصرف شود. در مدل فین فت استفاده شده به دلیل دارا بودن دو گیت مجزا، می‌توان از یک گیت برای بایاس ترانزیستور و از گیت دیگر برای اعمال ورودی استفاده نمود. این مدار برای جبران سازی فرکانسی از سیستم DFC بهره برده است تا میزان خازن های جبران سازی کوچک شوند. برای طراحی مدار تقویت کننده هدایت انتقالی از مدل فین فت 20nm براساس مدل PTM استفاده شده است. در نهایت نتایج شبیه سازی با HSPICE مقدار بهره 39.27 dB، حاشیه فاز 45.05° و فرکانس بهره واحد 8.26 MHz به ازای خازن بار 3 pF با توان تلفاتی نهایی 37.75 μW می‌باشد. مقدار ولتاژ DC خروجی نیز در ولتاژ تغذیه $V_{DD}=0.5$ V برابر 0.269 V قرار داده شده است.

واژه‌های کلیدی: توان پایین، ولتاژ پایین، تقویت کننده هدایت انتقالی، فین فت گیت مجزا

نوع مقاله: پژوهشی

DOI: 10.29252/jiaeee.18.4.39

تاریخ ارسال مقاله: ۱۳۹۸/۱/۹

تاریخ پذیرش مشروط مقاله: ۱۳۹۸/۰۸/۰۸

تاریخ پذیرش مقاله: ۱۳۹۹/۳/۳۱

نام نویسنده‌ی مسئول: دکتر علیرضا حسن زاده

نشانی نویسنده‌ی مسئول: ایران - تهران - ولنجک، بلوار دانشجو - دانشگاه شهید بهشتی - دانشکده‌ی برق

۱- مقدمه

در کاربردهای توان پایین از مدارهای ولتاژ پایین برای فعالیت در ناحیه زیرآستانه بهره برده می‌شود. این کار باعث کاهش توان تلفاتی در مدارها می‌شود زیرا توان تلفاتی مستقیماً با ولتاژ تغذیه متناسب می‌باشد. طبق هدف گذاری های مدارهای توان پایین تا سال ۲۰۲۶ منابع تغذیه ولتاژ به سطح 0.54 V خواهند رسید. از سمت دیگر کاهش سطح ولتاژ تغذیه و طول کانال در مدارهای سی ماس و بهینه ماندن پارامترهای اصلی مدارهای آنالوگ یکی از چالش های پیش رو می باشد [۱]. در مدارهای ولتاژ پایین به دلیل محدودیت در ولتاژ تغذیه نمی توان بهره ذاتی را با افزایش عمودی تعداد ترانزیستورها افزایش داد در نتیجه نیاز است که تعداد طبقات افزایش یابد تا بتواند بهره ذاتی مورد نظر را تأمین نماید. افزایش تعداد طبقات نیز باعث افزایش تعداد قطب مدار می‌شود و برای تأمین پایداری نیاز به استفاده از مدارهای جبران ساز فرکانسی می باشد. برای بهبود محدوده ورودی و خروجی در مدارهای ولتاژ پایین از روش هایی نظیر بایاس بدنه، خود کسکود، گیت شناور و شیفت دهنده سطح استفاده می‌شود [۳] [۲]. تعدادی تقویت کننده هدایت انتقالی نیز که در منابع تغذیه زیر ۱ ولت کار می کنند، نیز گزارش شده است [۴] [۵].

تکنولوژی CMOS به سوی کمتر کردن طول کانال پیش می رود. با کوچکتر شدن طول کانال، مشکلاتی نظیر اثر DIBL، پراکندگی سطحی، اشباع سرعت، یونیزاسیون ضربه ای^۴ و اثر الکترون داغ^۵ می باشد که باعث افزایش جریان های نشتی و کم شدن کنترل گیت بر کانال می شوند [۶]. برای برطرف کردن این مشکلات راه کارهایی نظیر CED [۷]، استفاده از مواد High-K [۸] و استفاده از فین فت [۹] تاکنون مطرح شده است [۱۰] [۱۱].

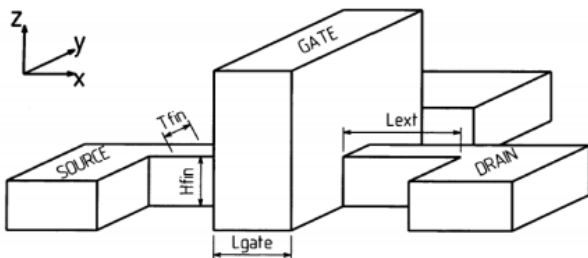
در این مقاله، با توجه به اهمیت کار در ناحیه زیرآستانه و ولتاژ پایین برای کم کردن توان مصرفی، از ترانزیستورهای فین فت دو گیتی برای کم تر کردن اثرات کانال کوتاه در نتیجه کمتر کردن توان استفاده شده است. پیکربندی متفاوت ترانزیستورهای فین فت دو گیتی، مانند حالت توان پایین، هدایت انتقالی بالا و گیت مستقل به صورت بهینه در هر قسمت از مداربکارگرفته شده است. برای شبیه سازی نتایج نیز از مدل ترانزیستور گیت مستقل فین فت برای PTM 20 nm استفاده شده است [۱۲].

این مقاله به صورت زیر مرتب شده است. بخش ۲ به بررسی مدل فین فت استفاده شده و معادلات تئوری آن می پردازد. بخش ۳ مربوط به بررسی مدار تقویت کننده هدایت انتقالی و استفاده از خود بایاس می باشد. بخش ۴ نتایج شبیه سازی شده مدار تغییر یافته بر اساس فین فت دو گیتی مطرح می‌شود و بخش ۵ مربوط به نتیجه گیری می‌باشد.

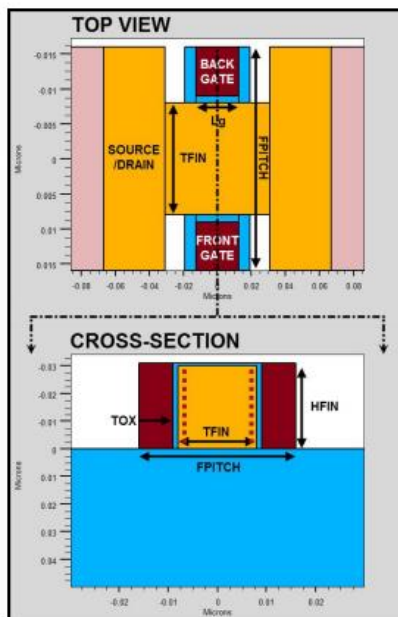
۲- بررسی مدل فین فت

۲-۱- ساختار فیزیکی فین فت گیت مستقل

شکل (۱) مدل سه بعدی یک ترانزیستور فین فت را نشان میدهد. با برش سطح بالایی گیت، یک ترانزیستور گیت مشترک فین فت تبدیل به ترانزیستور گیت مستقل می‌شود. شکل (۲) نشان دهنده نمای بالایی و روبرویی یک ترانزیستور گیت مستقل SOI می باشد. با اعمال ولتاژ به گیت ترانزیستور، کناره های فین گیت (در تصویر نمای کناری با نقطه چین مشخص شده است) تحت تأثیر میدان الکتریکی قرار می گیرند و کانال (ناحیه تخلیه) تشکیل می‌شود. در نتیجه میزان پهنایی مؤثر کانال عبارت است از $W_{eff} = 2 \times H_{fin} + T_{fin}$. برای ترانزیستورهایی که از تعداد n فین گیت برخوردار هستند، این مقدار عبارت است از $W_{eff} = 2 \times n \times H_{fin} + n \times T_{fin}$.



شکل (۱): مدل سه بعدی فین فت



شکل (۲): نمای بالایی و کناری فین فت گیت مستقل [12]

۲-۲- مشخصه های مداری فین فت

در ساختار فین فت گیت مستقل اگرچه دو گیت به یکدیگر متصل نیستند، ولی رابطه الکترواستاتیک بین گیت ها به دلیل نازک بودن فین قوی می باشد. به بیان دیگر، اگر یکی از گیت ها فعال باشد، کانال تشکیل شده زیر این گیت ممکن است باعث راحت تر روشن شدن

$$\eta = 2 - \frac{2 \left(\frac{(V_{fg} - \Delta\phi_1) - (V_{bg} - \Delta\phi_2)}{t_{ox1} + t_{ox2} + \epsilon_{si} t_{si}} \right)}{Q_{inv} - 2 \left(\frac{(V_{fg} - \Delta\phi_1) - (V_{bg} - \Delta\phi_2)}{t_{ox1} + t_{ox2} + \epsilon_{si} t_{si}} \right)} \quad (2)$$

که V_{fg} ولتاژ گیت جلویی، V_{bg} ولتاژ گیت پشتی، $\Delta\phi_1$ تابع کار گیت جلویی، $\Delta\phi_2$ تابع کار گیت پشتی، t_{ox1} ضخامت اکسید بین گیت جلویی و کانال، t_{ox2} ضخامت اکسید بین گیت پشتی و کانال، ϵ_{si} ضریب گذردهی سیلیکان، ϵ_{ox} ضریب گذردهی اکسید و t_{si} ضخامت سیلیکان می باشد. این ضریب به طور معمول از عدد ۱ در ناحیه زیرآستانه تا عدد ۲ در ناحیه وارونگی قوی تغییر میکند.

$\psi_{s1.s}$ و $\psi_{s1.d}$ با حل پتانسیل سطحی به ترتیب به ازای ولتاژ $V_{ch}=V_{ds}$ و $V_{ch}=0$ در معادله (۳) به دست می آیند. اختلاف ولتاژ درین و سورس است.

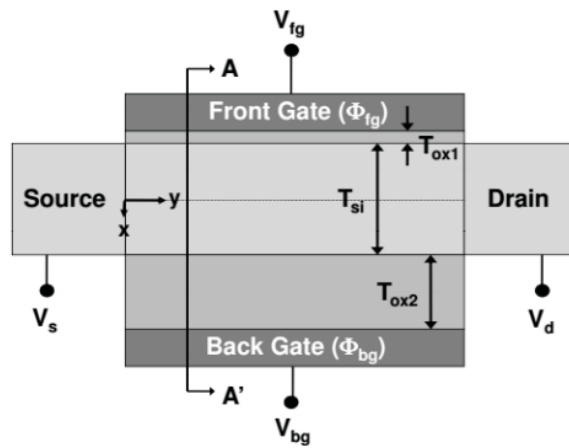
$$\psi_{s1} = \left(\frac{2q}{kT} \ln \left(\frac{C_{ox1}}{\sqrt{2N_c kT \epsilon_{si}}} \times (V_{fg} - \Delta\phi_1 - \psi_{s1}) \right) \right) + V_{ch} \quad (3)$$

که C_{ox1} خازن اکسید بین گیت جلویی و کانال، N_c غلظت باند هدایت سیلیکان و V_{ch} ولتاژ کانال در نقطه اندازه گیری می باشند. $Q_{inv.d}$ و $Q_{inv.s}$ نیز به ترتیب با استفاده از $\psi_{s1.d}$ و $\psi_{s1.s}$ به دست آمده در معادله (۳) و جایگذاری در معادله (۴) محاسبه می شوند.

$$Q_{inv}(y) = C_{ox1} (V_{fg} - \Delta\phi_1 - \psi_{s1}(y)) - \left(\frac{(V_{fg} - \Delta\phi_1) - (V_{bg} - \Delta\phi_2)}{t_{ox1} + t_{ox2} + \epsilon_{si} t_{si}} \right) \quad (4)$$

با استفاده از معادلات (۱)، (۲)، (۳) و (۴) می توان جریان ترانزیستور فین فت را محاسبه نمود. برای ترانزیستورهای کانال بلند معادله (۱) به طور طبیعی به دلیل ولتاژ بالای درین در گرفتگی به اشباع می رود. برای ترانزیستورهای کانال کوتاه اشباع ترانزیستور قبل از گرفتگی به دلیل اشباع سرعت رخ می دهد. این محاسبات برای زمانی بود که دو گیت ترانزیستور از هم مستقل بوده و ولتاژهای گوناگون بگیرند. در مواقعی که دو گیت به یکدیگر اتصال کوتاه شوند، می توان از معادلات مطرح شده در مرجع [۱۴] برای ترانزیستور کمک گرفت. در مرجع [۱۴] تمامی مشخصه های جریان و ولتاژ ماسفت ها تابعی از پتانسیل سطحی در سورس و درین می باشند. با توجه به فاصله ولتاژ گیت-سورس از ولتاژ آستانه ناحیه های مختلفی را می توان برای یک ترانزیستور تعریف نمود. در مرجع [۱۴] برای یک فین فت که دو گیت آن به هم متصل هستند، سه ناحیه با معادلات جداگانه مشخص شده است. در ناحیه خطی بالاتر از ولتاژ آستانه، جریان برقرار شده در ترانزیستور طبق معادله (۵) به دست می آید:

گیت دیگر شود. با اعمال شرایط مرزی و حل معادلات جریان و ولتاژ در مرجع [۱۳] می توان نتیجه گرفت که به دلیل ساختار مشابه فین فت دو گیتی و ماسفت دوگیتی، معادلات جریان و ولتاژ حاکم شباهت بسیاری با یکدیگر پیدا می کنند. اساس به دست آوردن معادلات جریان ولتاژ برای فین فت بر این منوال است که ساختار شامل یک کانال سیلیکانی می باشد و گیت های جلویی و پشتی هر کدام ولتاژهای گوناگون، تابع کار گوناگون و ضخامت اکساید گوناگون دارند. بدنه سیلیکانی این ترانزیستور با ناخالصی کم به طور کامل تخلیه فرض می شود. گیت پشتی نیز دارای ناخالصی کم می باشد تا اثرات نوسان تصادفی کاهش، و موبیلیتی افزایش پیدا کند. در ضمن، با وجود بدنه نازک این مدل ترانزیستور تزریق ناخالصی با غلظت بالا برای کنترل اثرات کانال کوتاه نیاز نمی باشد. ولتاژ آستانه نیز توسط گیت پشتی، با تنظیمات تابع کار به جای تغییر میزان ناخالصی تزریق شده کانال تنظیم می شود. این ساختار در شکل (۳) نمایش داده شده است [۱۳].



شکل (۳): ساختار ابتدایی برای مدل سازی فین فت دوگیتی مستقل [13]

برای حل معادلات جریان فین فت، در مرجع [۱۳] معادله (۱) ارایه شده است.

$$I_{ds} = \mu \frac{W}{L} \left(\frac{Q_{inv.s} + Q_{inv.d}}{2} (\psi_{s1.d} - \psi_{s1.s}) + \eta \frac{kT}{q} (Q_{inv.s} - Q_{inv.d}) \right) \quad (1)$$

که I_{ds} جریان درین به سورس، μ موبیلیتی الکترون یا حفره، W عرض کانال، L طول کانال، k ثابت بولتزمن، T دمای قطعه، q شارژ الکترون، ψ_{s1} پتانسیل سطحی گیت در محل اتصال اکسید گیت پشتی به کانال سیلیکانی، Q_{inv} حامل معکوس برحسب مساحت و η یک ضریب طبق معادله (۲) می باشند.

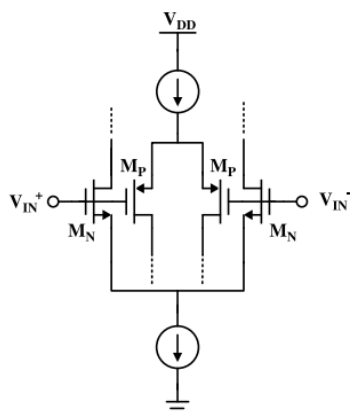
۳- بررسی تقویت کننده هدایت انتقالی پیشنهادی

در تکنولوژی زیر 25 nm برای فین فت از مدل ترانزیستور مرجع [۱۲] در طراحی تقویت کننده استفاده شده است. این مدل از روشی که اثر گیت پستی در ترانزیستور های گیت مشترک را نشان می دهد کمک گرفته است [۱۷]. این روش برای تعمیم دادن مدل گیت مجزا فین فت از یک مدل گیت مشترک فین فت استفاده کرده است. در این مدل از تکنولوژی PTM 20nm برای فین فت گیت مستقل بهره برده است.

طراحی قسمت ورودی تقویت کننده به صورتیکه ورودی تا خطوط تغذیه دامنه نوسان داشته باشد، یک چالش مهم در ولتاژهای پایین می باشد. برای این منظور از روش عمومی که در شکل (۴) نشان داده شده برای رسیدن به این منظور استفاده می شود. حداقل ولتاژ منبع تغذیه برای اینکه ترانزیستورها در شکل (۴) به وضعیت خاموش نروند، طبق معادله (۱۰) نشان داده می شود. معادله (۱۰) حداقل ولتاژ تغذیه برای آنکه تمامی ترانزیستورها در ناحیه اشباع باشند را نشان میدهد [۱۸].

$$V_{DD_{min}} = V_{GS_n} + |V_{GS_p}| + 2|V_{D_{sat}}| \quad (10)$$

که ولتاژ گیت-سورس ترانزیستور ورودی و ولتاژ $V_{D_{sat}}$ ولتاژ اشباع منبع جریان بایاس هر زوج دیفرانسیلی می باشد. در ادامه روشی که در طراحی تقویت کننده برای طبقه ورودی استفاده شده است، مورد بررسی قرار می گیرد. این روش زوج شبه تفاضلی (*pseudo differential pair*) می باشد.



شکل (۴): طبقه ورودی با نوسان تا ولتاژ تغذیه با استفاده از زوج مکمل تفاضلی [۲۰]

۳-۱- روش زوج شبه تفاضلی

روش زوج شبه تفاضلی که در شکل (۵-الف) نشان داده شده است، مشابه ساختار زوج تفاضلی است که در قسمت قبل بیان شد. با این تفاوت که منابع جریان حذف شده اند [۲۰]. با حذف ولتاژ اشباع منابع جریان، حداقل منبع تغذیه کاهش و رنج مشترک ورودی و حداکثر

$$I_{ds} = \mu C_{ox} \frac{W}{L} [(V_g - V_t)^2 - (V_g - V_t - V_{ds})^2] = 2\mu C_{ox} \frac{W}{L} (V_g - V_t - \frac{V_{ds}}{2}) V_{ds} \quad (5)$$

که C_{ox} خازن اکسید گیت جلویی یا پستی (با فرض $t_{ox1} = t_{ox2} = t_{ox}$)، ولتاژ گیت و ولتاژ آستانه می باشد.

در ناحیه اشباع، معادله جریان از قرار معادله (۶) می باشد:

$$I_{ds} = \mu C_{ox} \frac{W}{L} \left[(V_g - V_{th})^2 - \frac{8rk^2 T^2}{q^2} e^{\frac{q(V_g - V_0 - V_{ds})}{kT}} \right] \quad (6)$$

که شارژ الکترون، T دما، k ثابت بولتزمن می باشد و پارامترهای r و V_0 به ترتیب طبق معادلات (۷) و (۸) تعریف می شوند:

$$r = \frac{\epsilon_{si} t_{ox}}{\epsilon_{ox} t_{si}} \quad (7)$$

$$V_0 = \Delta\phi + \frac{2kT}{q} \ln \left[\frac{2}{t_{si}} \sqrt{\frac{2\epsilon_{si} kT}{q^2 n_i}} \right] \quad (8)$$

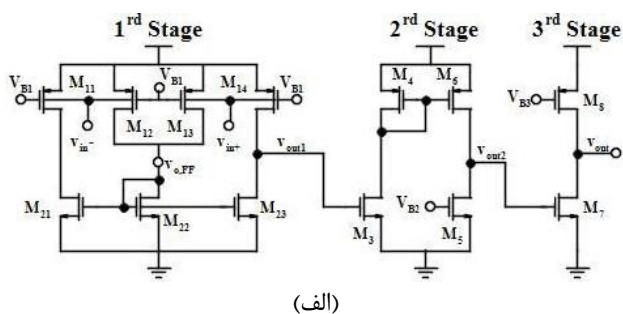
که n_i چگالی حامل ذاتی و $\Delta\phi$ تابع کار هر دو الکترودهای گیت روبرویی و پستی با سیلیکان ذاتی می باشد.

در ناحیه قطع نیز، معادله جریان از طریق معادله (۹) محاسبه می شود:

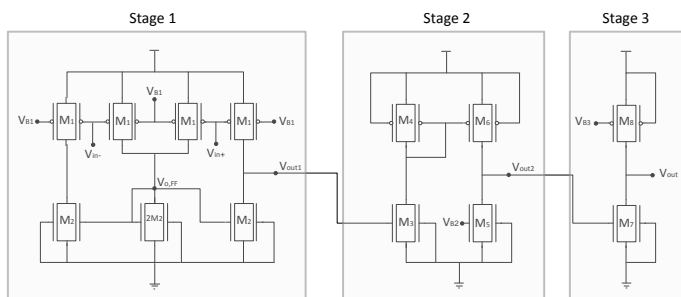
$$I_{ds} = \mu \frac{W}{L} kT n_i t_{si} e^{\frac{q(V_g - \phi)}{kT}} \left(1 - e^{-\frac{q(V_{ds})}{kT}} \right) \quad (9)$$

نکته قابل توجه این است که جریان زیرآستانه با ضخامت سیلیکان تناسب دارد در حالی که از t_{ox} مستقل می باشد. اما در معادله های (۵) و (۶) ضخامت اکسید در ضریب C_{ox} خود را نشان می دهد در حالی که اثری از t_{si} نمی باشد.

در ناحیه زیرآستانه، g_m با $\sqrt{I_d}$ رابطه مستقیم دارد. البته در مدل اتصال دو گیت فین فت این مقدار تغییر خواهد کرد. اما در کل در ولتاژهای زیرآستانه با تغییر جریان، ضریب هدایت انتقالی با جذر آن مقدار تغییر می کند [۱۵]. برای تکنولوژی های زیر 65 nm، فین فت دارای g_m/g_{ds} بزرگتری نسبت به مدل های متداول ماسفت می باشد. اگرچه دارای g_m کمتری می باشد. دلیل بزرگتر بودن بهره ذاتی فین فت رسانایی خروجی بسیار کوچک آن می باشد. از طرف دیگر کوچک شدن طول کانال هم تأثیر مثبتی در کوچک شدن رسانایی خروجی دارد [۱۶].



(الف)



(ب)

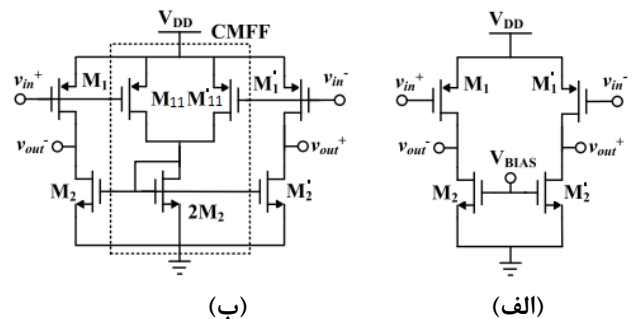
شکل (۶): OTA سه طبقه ولتاژ پایین (الف) معادل سی ماس (ب) مدار پیشنهادی بدون شبکه جبران ساز فرکانسی و سیستم خودبایاس شونده

در شکل (۶)، ولتاژهای بایاس V_{B1} ، V_{B2} و V_{B3} می توانند توسط یک مدار تأمین کننده بایاس مانند آینه جریان یا مرجع ولتاژ تأمین شوند. در شکل (۷) نمای مدار در حالت ac مشاهده می شود. در این حالت این سه گره بایاس زمین می شوند (شکل (۷-الف)). در شکل (۷-ب) این نقاط با قسمت هایی از مدار اتصال کوتاه شده اند. این اتصالات کوتاه عبارتند از اتصال بین خروجی $CMFF$ (V_{OFF}) به V_{B1} ، اتصال بین V_{B1} و V_{B2} و اتصال بین V_{B3} و V_{out1} . روش خودبایاس شونده که باعث کاهش حداقل ولتاژ تغذیه و بی نیاز کردن مدار از مدارهای تأمین ولتاژ می کند در شکل (۸) نمایش داده شده است. روش خودبایاس شونده در مقایسه با مدارهایی که از بایاس جداگانه استفاده می کنند باعث کاهش ۲۷ درصدی توان می شود. علاوه بر این باعث کاهش فضای اشغالی در سطح تراشه و کاهش حساسیت تقویت کننده نسبت به ولتاژ حالت مشترک، نویز منبع تغذیه و تغییرات زمان ساخت نیز می شود [۲۰].

تغییرات دامنه ولتاژ خروجی نیز افزایش پیدا می کند. مشکل اصلی این مدار در سیگنال مود مشترک و حذف نویز تغذیه می باشد. برای حل این معضل، یک شبکه جبران ساز مود مشترک تغذیه به جلو (Common Mode Feed Forward-CMFF) استفاده شده است (شکل ۵-ب). این شبکه سطح ولتاژ ورودی را خوانده و ولتاژ گیت ترانزیستورهای بار را تنظیم می کند. اگر ساختار $CMFF$ حذف شود، هم $CMRR$ و هم $PSRR$ دچار وضعیت وخیمی می شوند [۲۱]. نسبت $CMRR$ ($common-mode rejection ratio$) با معادله (۱۰) بیان می شود:

$$CMRR \cong \frac{1}{2} g_{m2} (r_{o1} \parallel r_{o2}) \quad (10)$$

که g_{m2} ضریب ترانسایابی ترانزیستور M_2 ، r_{o1} مقاومت خروجی M_1 و r_{o2} مقاومت خروجی M_2 در شکل (۵) است.



(ب)

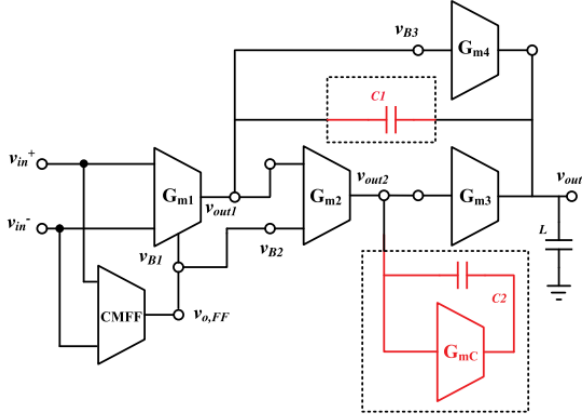
(الف)

شکل (۵): زوج شبه تفاضلی (الف) بدون CMFF (ب) با CMFF [20]

۳-۲- روش خود بایاس شونده

شکل (۶) تقویت کننده عملیاتی سه طبقه پیشنهادی سی ماس و معادل فین فت آن برای شبیه سازی بدون قسمت های بایاس و جبران ساز فرکانسی را نشان می دهد. طبقه اول یک زوج شبه تفاضلی می باشد که در قسمت ۳-۱ توضیح داده شد، با این تفاوت که به دلیل استفاده از فین فت گیت مجزا، ورودی های تقویت کننده به گیت پشتی ترانزیستور طبقه ورودی وارد شده است. طبقه دوم یک سورس مشترک به همراه یک آینه جریان می باشد. در قسمت قبل بررسی شد که کمترین میزان منبع تغذیه در حالت ورودی تمام زوج تفاضلی برابر معادله (۱۰) می باشد. در این قسمت با استفاده از روش خود بایاس شونده می توان این مقدار را به $V_{DDmin} = |V_{GS1}| + |V_{GS2}|$ تقلیل داد. از طرفی اگر بتوان ترانزیستورها را در ناحیه زیرآستانه استفاده نمود، $|V_{GS}| < |V_{th}|$ می شود و V_{DDmin} حتی از مجموع ولتاژهای آستانه هم کمتر خواهد شد. در تکنولوژی فین فت مبتنی بر PTM ، ولتاژهای آستانه هر دو نوع $pfet$ و $nfet$ مورد استفاده $0.28 V$ در نظر گرفته شده است.

همین دلیل طبقه دوم به وسیله یک آینه جریان بارگزاری می شود در حالی که طبقه سوم به وسیله یک منبع جریان بارگزاری می شود. روش جبران سازی DFC باعث افزایش پهنای باند در مقایسه با روش جبران ساز میلر تو در تو معمولی میشود. در ضمن خازن های کوچکتری نیز استفاده می کند [۲۲].



شکل (۹): بلوک دیاگرام تقویت کننده موردنظر به همراه جبران ساز فرکانسی DFC

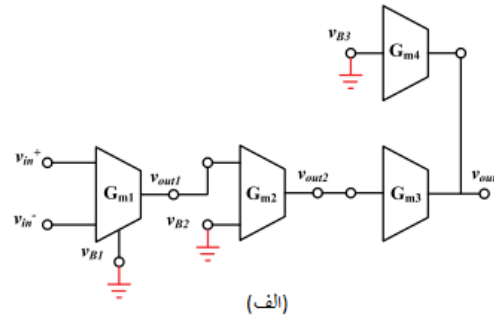
۴- شبیه سازی تقویت کننده با فین فت گیت مجزا

شماتیک کلی مدار به همراه طبقه جبران ساز فرکانسی و خودبایاس شونده به قرار شکل (۱۰) می باشد. سلول G_{mc} جبران ساز فرکانسی با کمک دو ترانزیستور M_{C1} و M_{C2} ساخته شده است. مشخصات طراحی این مدار در جدول (۱) بیان شده است.

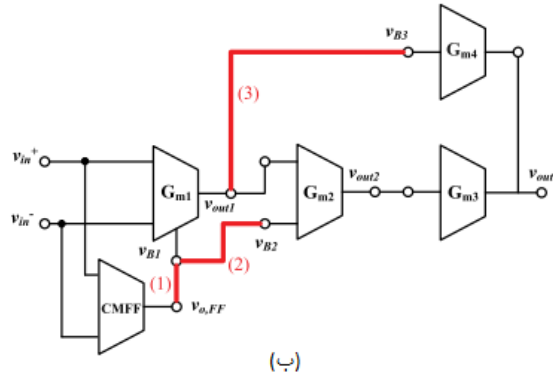
شکل (۱۰) شماتیک کامل تقویت کننده موردنظر به همراه جبران ساز فرکانسی DFC و سیستم خودبایاس شونده با استفاده از فین فت گیت مجزا

جدول (۱): مقادیر طراحی ترانزیستورها به ازای $V_{DD}=0.5V$ و V_{in}

	$in(DC)=0.267V$			
	L (nm)	I_D (μA)	g_m (mA/V)	g_{ds} ($\mu A/V$)
M_1	۶۰	۴/۲۴۵	۰/۱۴۴	۲/۶۵۱
M_2	۶۰	۴/۲۴۵	۰/۱۵۶	۲/۰۳
M_3	۲۴	۲۷/۵۳	۰/۷۸۶	۷۷/۱۷
M_4	۲۴	۲۷/۵۳	۰/۷۶۰	۷۸/۳۷
M_5	۲۴	۲۷/۵۳	۰/۷۸۶	۷۷/۱۷
M_6	۲۴	۲۷/۵۳	۰/۷۶۰	۷۸/۳۷
M_7	۲۴	۲/۷۸۴	۰/۰۸۹	۸/۳۵۳
M_8	۲۴	۲/۷۸۴	۰/۰۸۹	۹/۶۸۲
M_{C1}	۱۰۰	۶۸/۱۷	۰/۰۲۶	۰/۱۹۱
M_{C2}	۱۰۰	۶۸/۱۷	۰/۰۲۳	۲۶/۲۳

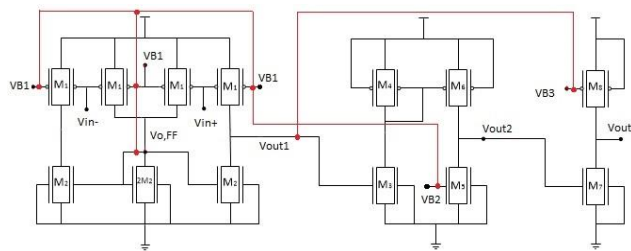


(الف)



(ب)

شکل (۷): نمای ac بایاس تقویت کننده سه طبقه با استفاده از (الف) بایاس جداگانه (ب) بایاس پیشنهادی با اضافه کردن اتصالات کوتاه که در شکل مشخص شده است



شکل (۸): سیستم خودبایاس شونده در تقویت کننده سه طبقه به دلیل تفاضل با اتصال خروجی طبقه اول به ترمینال های معکوس کننده و غیرمعکوس کننده طبقه دوم، بهره حالت تفاضلی طبقه دوم صفر می شود و سیگنال حالت مشترک تنها در بهره حالت مشترک ضرب می گردد [۲۰]. خروجی طبقه اول و طبقه دوم دارای پلاریته یکسان می باشند و می توانند اثر جمع v_{out1} و v_{out2} را در طبقه سوم خنثی سازند.

برای شبکه جبران سازی فرکانسی هم از روش کنترل ضریب میرایی (DFC) $damping factor control$ استفاده شده است (شکل (۹)). این شبکه جبران ساز فرکانسی از دو خازن $Nested Miller$ (C_{c1} و C_{c2}) به همراه یک DFC به عنوان سلول G_{mc} بهره می برد. طبقه دوم تقویت کننده به صورت غیرمعکوس کننده می باشد در حالی که طبقه اول و طبقه سوم معکوس کننده هستند تا فیدبک منفی در حلقه های داخلی برقرار شده و مدار پایدار باقی بماند. به

Phase Margin (°)	۴۵/۰۵
Power consumption (μW)	۳۷/۷۵
Output DC Voltage (V)	۰/۲۶۹
FoM ₁ (V ⁻¹)	۳۲/۸۲
FoM ₂ (V ⁻¹)	۳۶/۷۶

نمودارهای تحلیل ac و پاسخ فرکانسی شکل (۱۰) در شکل (۱۱) و نتایج تحلیل گذرا در شکل (۱۲) مورد بررسی قرار گرفته شده است. شکل (۱۱) پاسخ فرکانسی OTA موردنظر شکل (۱۰) به همراه سیستم خودبایاس شونده با استفاده از IGFInFET با اعمال جبران ساز فرکانسی DFC شکل (۱۲) تحلیل گذرای OTA موردنظر شکل (۱۰) به همراه سیستم خودبایاس شونده با استفاده از IGFInFET با اعمال جبران ساز فرکانسی DFC با توجه به نتایج به دست آمده، می توان این تقویت کننده را نسبت به چند نمونه از تقویت کننده های گزارش شده قبلی مقایسه کرد. جدول (۳) این مقایسه را نشان داده است.

جدول (۳): مقایسه نتایج شبیه سازی OTA طراحی شده با نمونه های گزارش شده قبلی

	[19]	[24]	[25]	[5]	پساده سازی سی ماس	پساده سازی فین فت
تکنولوژی	CMOS ۰.۰۹ μm	CMOS ۰.۱۸	CMOS ۰.۳۵	CMOS ۰.۱۳	CMOS ۶۵ nm	IGFinFET ۲۰ nm
ولتاژ تغذیه	۱.۲ V	۱.۸ V	۰.۶ V	۰.۲۵ V	۰.۵ V	۰.۵ V
بهره DC	۵۳ dB	۹۸ dB	۶۹ dB	۶۰ dB	۳۸.۴ dB	۳۹.۲۷ dB
فرکانس بهره واحد	۴۱۱ MHz	۲۱ MHz	۱۱.۴ kHz	۱.۸۸ kHz	۳.۷ MHz	۸.۲۶ MHz
نرخ جرخش	۳۸۱ V/μs	۵۱ V/μs	۱۴.۶ mV/μs	۰.۶۴ mV/μs	۶۰ mV/μs	۲.۳ V/μs
هارمونیک کلی	-	-	۰.۰۸ %	۰.۲ %	۲.۳ %	۰.۱۴ %
خازن بار	۴ pF	۱۰۰ pF	۱۵ pF	۱۵ pF	۳ pF	۳ pF
حاشیه فاز	۶۰.۶ °	۷۱ °	۶۵ °	۵۳ °	۶۶.۳ °	۴۵.۰۵ °
توان مصرفی	۶۰۰ μW	۳۰۰۰ μW	۵۵۰ nW	۱۸ nW	۲۱.۲ μW	۲۷.۷۵ μW
FoM ₁	-	-	۱۸.۷ V ⁻¹	۳۹.۲ V ⁻¹	۲۶.۲ V ⁻¹	۳۲.۸۲ V ⁻¹
FoM ₂	-	-	۴۴.۶ V ⁻¹	۶۷.۴ V ⁻¹	۴۴ V ⁻¹	۳۶.۷۶ V ⁻¹

با بررسی جدول (۳) می توان گفت که استفاده از فین فت گیت مجزا باعث کاهش توان مصرفی و کاهش THD شده است. این مهم با از دست دادن بهره و فرکانس قطع حاصل شده است. این مبادله با توجه به جهش از تکنولوژی سی ماس به تکنولوژی فین فت قابل درک است. همان طور که دیده می شود استفاده از فین فت گیت مستقل این امتیاز را به تقویت کننده بررسی شده داده است که بتوان با تکنولوژی زیر 45nm یعنی تا حد 20 nm تقویت کننده ای را طراحی کرد که ضریب شایستگی آن نسبت به مدل های قبل قابل قیاس باشد. بالاتر

با توجه به مدار شکل (۱۰)، تمامی ولتاژهای بایاس سیستم توسط خود مدار تنظیم می شود. تنها ولتاژ DC ورودی مدار به همراه سیگنال وارد می گردد. برای ولتاژ تغذیه نیز از ولتاژ 0.5 V به عنوان نصف ولتاژ نامی فعالیت ترانزیستورها استفاده شده است. برای شبکه جبران سازی هم به دلیل اینکه خازن بار 3 pF می باشد و حاشیه فاز 45° مدنظر است، با توجه استفاده از شبکه جبران ساز DFC، خازن جبران ساز C_{Cl} مقدار 500 fF و خازن جبران ساز C_{C2} مقدار 24 fF در نظر گرفته شده است. خازن های جبران سازی، در مدار با توجه به رفتار g_m مدار طراحی می شوند [۲۲]. از سمتی g_m مدار به دلیل استفاده از سیستم خود بایاس شونده، با تغییر ولتاژ DC ورودی تغییر می کند تا بتواند بهره مدار را ثابت نگه دارد. همین مسئله باعث می شود که با ورود رنج بزرگ تغییرات در ورودی، باعث تغییر حاشیه فاز مدار و در نتیجه دیگر مشخصات مدار می شود. به همین منظور ورودی مقدار خازن های به دست آمده با توجه به سطح DC ورودی 0.265 V طراحی و شبیه سازی شده است تا با خروجی به ولتاژ DC مشابه 0.268 V نزدیک شود و امکان اتصال کوتاه کردن ورودی و خروجی برقرار گردد. از طرف دیگر، برای سنجش میزان کارایی این مدار و قابلیت مقایسه نتایج تقویت کننده با نمونه های دیگر، دو معیار شایستگی زیر در نظر گرفته شده است. اولین معیار شایستگی به طور عمومی برای مقایسه OTA ها برحسب سرعت، میزان خازن خروجی و توان مصرفی آنها می باشد که به صورت معادله (۱۲) تعریف می شود [23]:

$$FoM_1 = 100 \times \frac{f_T \times C_L}{I_{dc}}$$

(۱۲)

که f_T فرکانس بهره واحد، C_L خازن بار و I_{dc} جریان مصرفی کل می باشد.

ضریب شایستگی بعدی، که در [۵] مطرح شده است که از ولتاژ آستانه تکنولوژی برای میزان عملکرد OTA نتیجه گیری می کند. این ضریب شایستگی به قرار معادله (۱۳) می باشد:

$$FoM_2 = 100 \times \frac{f_T \times C_L}{I_{dc}} \times \frac{V_{THn} + |V_{THp}|}{V_{DD}}$$

که V_{THp} و V_{THn} ولتاژهای آستانه نوع n و نوع p می باشند. نتایج شبیه سازی مدار شکل (۱۰) در جدول (۲) بیان شده است.

جدول (۲): نتایج شبیه سازی مدار شکل (۱۰) به ازای

$$V_{DD}=0.5 \text{ V}, V_{in(DC)}=0.269 \text{ V} \text{ و } C_L=3 \text{ pF}$$

	Reported IGFinFET OTA (based on PTM 20nm)
DC Gain (dB)	۳۹/۲۷
Unity-gain frequency (MHz)	۸/۲۶
Slew rate (V/μs)	۲/۳
THD (%)	۰/۱۴

پیشنهادی امکان طراحی تقویت کننده های فین فت در تکنولوژی های زیر 45 nm را ممکن کرده است و این برای مجتمع سازی سیستم های دیجیتال و آنالوگ با یک تکنولوژی یک مزیت محسوب می شود.

۶- مراجع

- [1] E. J. Nowak, I. Aller, T. Ludwig, K. Kim, R. V. Joshi, C.-T. Chuang, K. Bernstein and R. Puri, "Turning silicon on its edge [double gate CMOS/FinFET technology]," IEEE Circuits and Devices Magazine, vol. 20, no. 1, pp. 20 - 31, 2004.
- [2] S. Yan and E. Sanchez-Sinencio, "Low voltage analog circuit design techniques: A tutorial," IEICE Trans. Fund., vol. E83, no. 2, pp. 1-17, 2000.
- [3] S. S. Rajput and S. S. Jamuar, "Low voltage analog circuit design techniques," IEEE Circuits and Systems Mag., vol. 2, no. 1, pp. 24-42, 2002.
- [4] B. Blalock, P. Allen and G. Rincon-Mora, "Designing 1-V op-amps using standard digital CMOS technology," IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process., vol. 45, no. 7, pp. 769-780, 1998.
- [5] L. Ferreira and S. Sonkusale, "A 60-dB gain OTA operating at 0.25-V power supply in 130-nm digital CMOS process," IEEE Trans. Circuits Syst. I, vol. 61, no. 6, pp. 1609-1617, 2014.
- [6] B. Nauta and A. -J. Annema, "Analog/RF circuit design techniques for nanometerscale IC technologies," in Proceedings of the 31st European Solid-State Circuits Conference, 2005.
- [7] N. Yamauchi, K. Kato and T. Wada, "Channel edge doping (CED) method for reducing the short-channel effect," IEEE Electron Device Letters, vol. 4, no. 11, pp. 406 - 408, 1983.
- [8] N. R. Mohapatra, M. P. Desai, S. G. Narendra and V. R. Rao, "The Impact of High-K Gate Dielectrics on Sub 100 nm CMOS Circuit Performance," in Proceeding of the 31st European Solid-State Device Research Conference, 2001.
- [9] D. Hisamoto, W.-C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor and C. Hu, "FinFET-a self-aligned double-gate MOSFET scalable to 20 nm," IEEE Transactions on Electron Devices, vol. 47, no. 12, pp. 2320 - 2325, 2000.
- [10] J. Lutze and S. Venkatesan, "Techniques for reducing the reverse short channel effect in sub- $0.5\ \mu\text{m}$ CMOS," IEEE Electron Device Letters, vol. 16, no. 9, pp. 373 - 375, 2002.
- [11] Q. Xie, C.-J. Lee, J. Xu, C. Wann, J. Y. -C. Sun and Y. Taur, "Comprehensive Analysis of Short-Channel Effects in Ultrathin SOI MOSFETs," IEEE Transactions on Electron Devices, vol. 60, no. 6, pp. 1814 - 1819, 2013.
- [12] M. Y. Zarei, R. Asadpour, S. Mohammadi, A. Afzali-Kusha and R. Seyyedi, "Modeling symmetrical independent gate FinFET using predictive technology model," in Proceedings of the 23rd ACM international conference on Great lakes symposium on VLSI, Paris, France, 2013.
- [13] D. D. Lu, "Compact Models for Future Generation CMOS," University of California at Berkeley, 2011.
- [14] T. Yuan, L. Xiaoping, W. Wei and L. Huaxin, "A

بودن ضریب شایستگی ۲ مرجع [5] را میتوان به ولتاژ آستانه وپایین تر بودن ولتاژ تغذیه نسبت داد، که در صورت نیاز به دامنه خروجی کمتر میتوان ولتاژ تغذیه برای طرح پیشنهادی را کمتر طراحی نمود. مراجع فارسی در این زمینه از جمله [26]-[27] دارای ولتاژ تغذیه بالا تر بوده و قابل مقایسه با مدار فین فت نمیباشند. مدار سی ماس با مشخصات مشابه تغذیه و بهره با فین فت، پهنای باند کمتر و نرخ چرخش کوچکتری را ارایه میدهد. ترانزیستورها در این تقویت کننده به دلیل اینکه نیاز به پهنای باند مناسب با حاشیه فاز 45 درجه طراحی گردیده است که سیستم را کمی حساس می کند ولی این امکان را به تقویت کننده می دهد که بتوان در مصارف عمومی کم توان از آن استفاده نمود. به منظور بررسی اثرات گوشه تکنولوژی روی طرح جدول (۴) مورد بررسی و شبیه سازی قرار گرفته است. این مسیله تغییرات قابل قبول طرح برای گوشه های تکنولوژی را نشان میدهد. عملکرد مدار فین فت نسبت به پیاده سازی سی ماس آن از تغییرات کمتری برخوردار میباشد.

جدول (۴): بررسی گوشه برای تقویت کننده پیشنهادی پیاده سازی

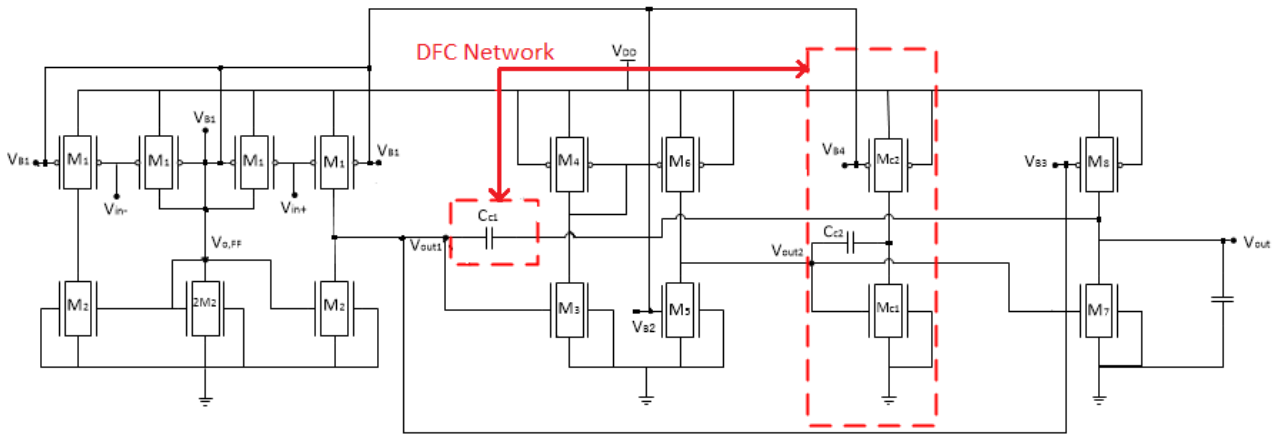
فین فت و سی ماس

Corner	Gain (dB)	BW(MHz)	PD(μW)
TT(FinFET)	۳۹,۲۷	۸,۲۶	۳۷,۷۵
SS(FinFET)	۳۹,۱۱	۷,۴۷	۳۵,۴۸
FF(FinFET)	۳۹,۳۸	۸,۹۵	۳۹,۷۸
TT(CMOS)	۳۸,۴	۳,۷	۲۱,۲
SS(CMOS)	۴۲,۵	۱,۱	۵,۴
FF(CMOS)	۳۳,۷	۱۳	۸۹

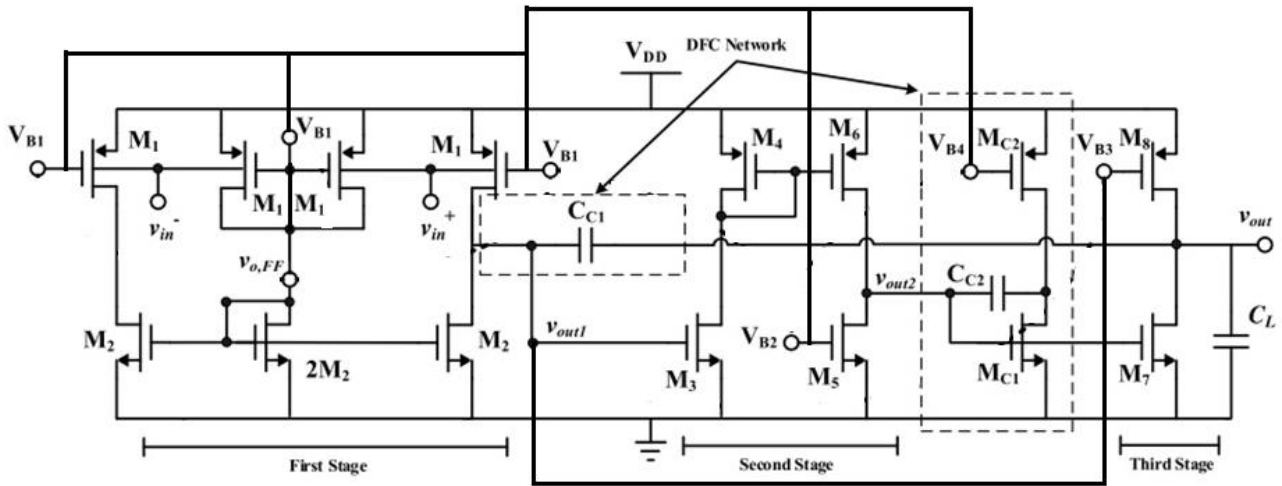
۵- نتیجه گیری

در این گزارش یک تقویت کننده عملیاتی هدایت انتقالی برای ولتاژ پایین برای تکنولوژی فین فت با استفاده از مدل گیت مجزا طراحی شد. طبقه ورودی تقویت کننده از روش زوج شبه تفاضلی برای افزایش رنج ورودی استفاده کرده است که به دلیل خاصیت دو گیت بودن مدل استفاده شده، سیگنال های ورودی به گیت پشتی داده شده و از گیت روبرویی برای تنظیم بایاس ولتاژ استفاده شده است. علاوه بر آن با استفاده از سیستم خودبایاس شونده نیاز به مدارهای بایاس DC جداگانه برداشته شده است و مدار پایداری بهتر و حساسیت کمتری نسبت به تغییرات به دست آورده است. برای ایجاد جبران سازی فرکانسی از سیستم DFC برای شبکه جبران سازی استفاده شده است که به دلیل تقابل میان حاشیه فاز و فرکانس قطع، حاشیه فاز 45 درجه برای سیستم طراحی گردید. استفاده از این تکنولوژی برای طراحی تقویت کننده پیشنهادی، باعث کاهش توان، کاهش THD و افزایش ضریب شایستگی FoM_1 شده است. نتایج تقویت کننده

- Circuits Syst. I, Reg. Papers, vol. 60, no. 8, pp. 2048-2091, 2013.
- [24] S. Anisheh, H. Abbasizadeh, H. Shamsi, C. Dadkhah, K. Lee, "98dB Gain class-AB OTA with 100pF load capacitor in 180nm digital CMOS process", IEEE Access, vol. 7, pp.17772-17779, 2019.
- [25] L. Ferreira, T. Pimenta and R. Moreno, "An ultra-low-voltage ultralow-power CMOS miller OTA with rail-to-rail input/output swing," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 54, no. 10, p. 843-847, 2007.
- ۲۶- نازنین زهرا یعقوبی کریمی، عباس گل‌مکانی، رضا یعقوبی کریمی، "یک طراحی جدید برای بهبود نرخ چرخش تقویت کننده های عملیاتی تفاضلی دوطبقه تک سر کم توان"، مجله انجمن مهندسیین برق و الکترونیک ایران، سال چهاردهم، شماره ۲، تابستان ۹۶،
- ۲۷-حمید رحیم پور، حسین میارنعمی، "افزایش درجه خطی تقویت کننده های توان با کالیبره کردن خطای اندازه و فاز"، مجله انجمن مهندسیین برق و الکترونیک ایران، دوره ۱۱، شماره ۲-۱۳۹۳.
- continuous, analytic drain-current model for DG MOSFETs," IEEE Electron Device Letters, vol. 25, no. 2, pp. 107-109, 2004.
- [15] D. Ghai, S. P. Mohanty and G. Thakral, "Comparative analysis of double gate FinFET configurations for analog circuit design," in Circuits and Systems (MWSCAS), 2013 IEEE 56th International Midwest Symposium on, 2013.
- [16] J. Colinge, FinFETs and Other Multi-Gate Transistors, Springer, 2008.
- [17] Z. Jakšić and R. Canal, "Enhancing 6T SRAM cell stability by back gate biasing techniques for 10nm SOI FinFETs under process and environmental variations," in Mixed Design of Integrated Circuits and Systems (MIXDES), 2012 Proceedings of the 19th International Conference, Warsaw, 2012.
- [18] J. Fonderie, M. Maris, E. J. Schnitger and J. H. Huijsing, "1-V operational amplifier with rail-to-rail input and output ranges," IEEE J. Solid-State Circuits, Vols. SC-24, p. 1151-1159, 1989.
- [19] M. Akbari and O. Hashemipour, Farshad Moradi "A high slew rate CMOS OTA with dynamic current boosting", IEEE ISCAS 2018, pp.1-5.
- [20] O. Abdelfattah, G. W. Roberts, I. Shih and Y.-C. Shih, "An Ultra-Low-Voltage CMOS Process-Insensitive Self-Biased OTA With Rail-to-Rail Input Range," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 62, no. 10, pp. 2380 - 2390, 2015.
- [21] A. Mohieldin, E. Sanchez-Sinencio and J. Silva-Martinez, "A fully balanced pseudo-differential OTA with common-mode feedforward and inherent common-mode feedback detector," IEEE Journal of Solid-State Circuits, vol. 38, no. 4, pp. 663 - 668, 2003.
- [22] K. N. Leung, P. K. T. Mok, W. H. Ki and J. K. O. Sin, "Three-stage large capacitive load amplifier with damping-factor-control frequency compensation," IEEE J. Solid-State Circuits, vol. 35, pp. 221-230, 2000.
- [23] L. Zuo and S. Islam, "Low-voltage bulk-driven operational amplifier with improved transconductance," IEEE Trans.

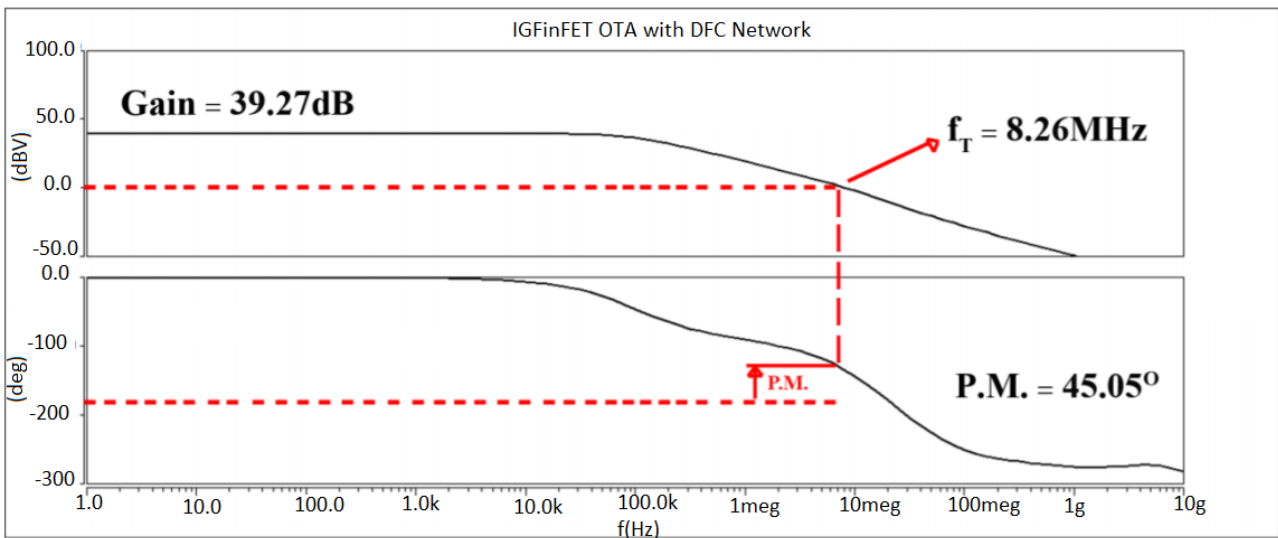


الف



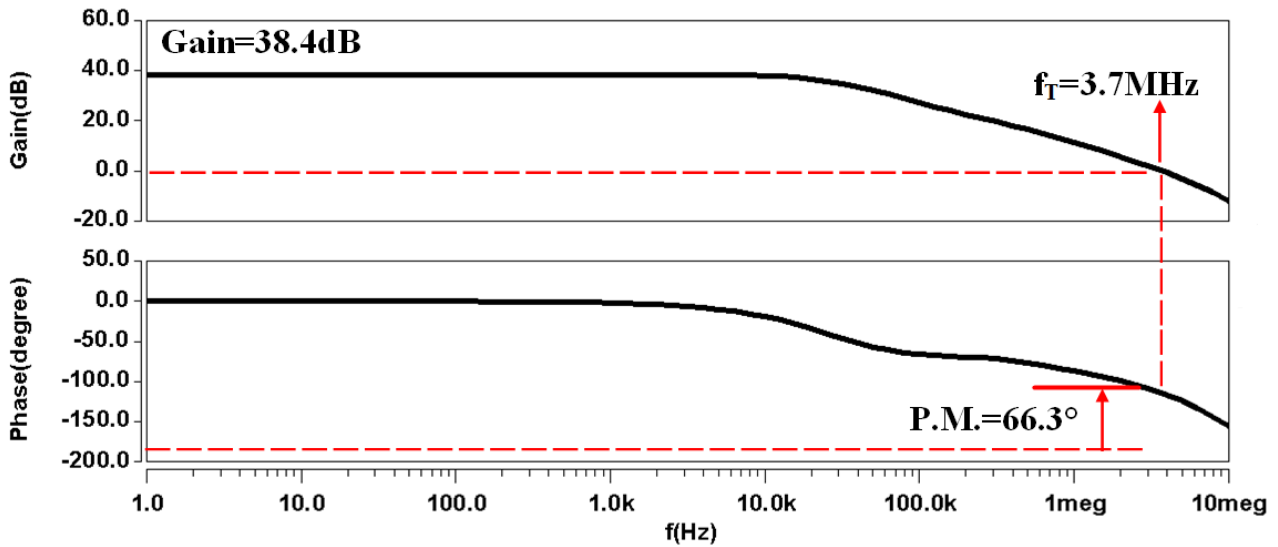
ب

شکل (۱۰): الف) شماتیک کامل تقویت کننده موردنظر به همراه جریان ساز فرکانسی DFC و سیستم خودبایاس شونده با استفاده از فین فت گیت مجزا ب) معادل پیاده سازی شده با سیماس



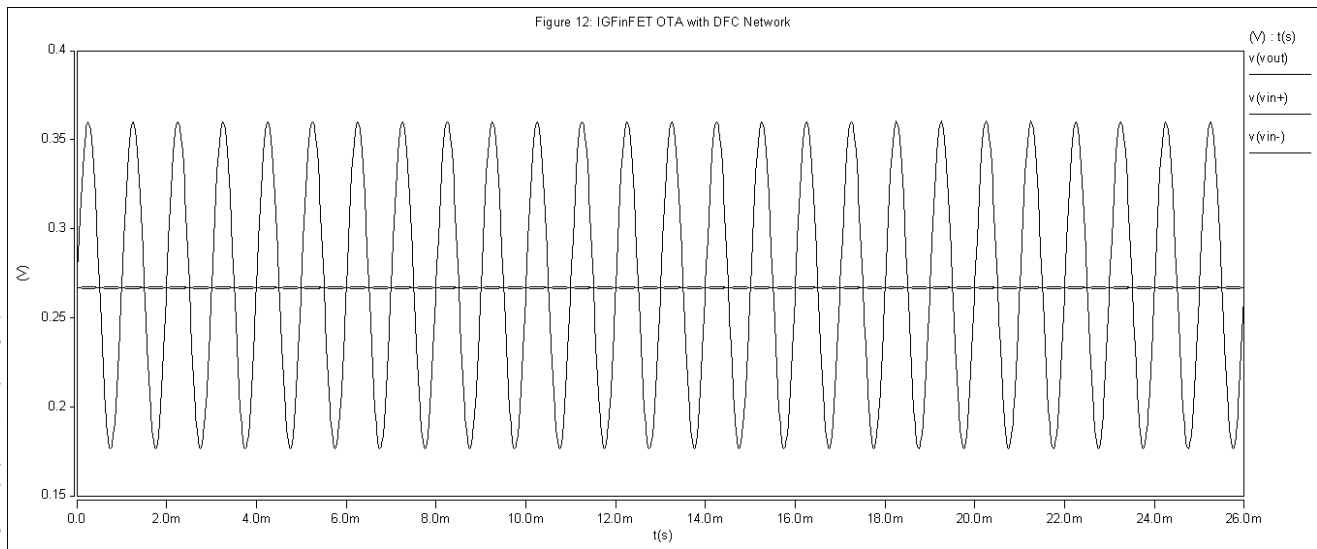
(الف)

65nm CMOS TSMC OTA with DFC Network



(ب)

شکل (۱۱): (الف) پاسخ فرکانسی OTA موردنظر شکل (۱۰) به همراه سیستم خودبایاس شونده با استفاده از IGFinFET با اعمال جبران ساز فرکانسی DFC (ب) مدار مشابه سی ماس



شکل (۱۲): تحلیل گذرای OTA موردنظر شکل (۱۰) به همراه سیستم خودبایاس شونده با استفاده از IGFinFET با اعمال جبران ساز فرکانسی DFC فرکانس سیگنال 1kHz

- ¹ Drain-Inducted Barrier Lowering
- ² Surface scattering
- ³ Velocity saturation
- ⁴ Impact ionization
- ⁵ Hot electron effect