

# بهبود عملکرد دیود اثر میدانی به منظور کاربرد در تکنولوژی نانو

آرش رضایی<sup>۱</sup> علی اصغر اروچی<sup>۲</sup> سمانه شربتی<sup>۳</sup>

۱- دانشجوی دکتری- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران

[arashrezaei@semnan.ac.ir](mailto:arashrezaei@semnan.ac.ir)

۲- استاد- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران

[aliaorouji@semnan.ac.ir](mailto:aliaorouji@semnan.ac.ir)

۳- استادیار- دانشکده مهندسی برق و کامپیوتر - دانشگاه سمنان - سمنان - ایران

[Samaneh.Sharbati@semnan.ac.ir](mailto:Samaneh.Sharbati@semnan.ac.ir)

چکیده: یکی از مشکلات اصلی دیودهای اثر میدانی (FED)، افزایش جریان خاموشی آن با کاهش طول کانال می‌باشد. از این رو در این مقاله ساختار جدیدی ارائه شده است که با کاهش سطح اشتراک کانال با نواحی سورس و درین و بدون نیاز به مخازن‌ها، میزان تزریق حامل‌های اضافی به کانال کاهش یافته و کنترل گیت بر کانال افزایش یابد. با تکنیک به کار رفته و بدون نیاز به مخازن‌ها حجم نواحی سورس و درین نسبت به ساختار دیود اثر میدانی با اتصال جانبی (S-FED) افزایش یافته و موجب بهبود جریان روشن می‌شود از این رو با مقایسه ساختار ارائه شده و S-FED نشان داده می‌شود که پارامترهای مهمی همچون جریان روشن، نسبت جریان روشن به خاموش، تاخیر گیت و حاصلضرب انرژی در تاخیر گیت بهبود یافته است و لذا ساختار ارائه شده می‌تواند جایگزین مناسبی برای ساختارهای متداول باشد.

واژه‌های کلیدی: دیود اثر میدانی (FED)، دیود اثر میدانی با اتصال جانبی (S-FED)، نسبت جریان روشن به خاموش (Ion/Ioff)، تاخیر گیت، حاصلضرب انرژی در تاخیر گیت

نوع مقاله: پژوهشی

تاریخ ارسال مقاله: ۱۳۹۷/۱۲/۲۷

تاریخ پذیرش مشروط مقاله: ۱۳۹۸/۰۴/۱۶

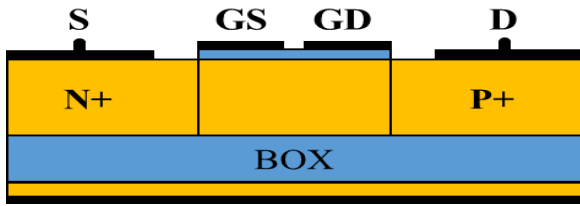
تاریخ پذیرش مقاله: ۱۳۹۸/۹/۱۶

نام نویسنده‌ی مسئول: دکتر سمانه شربتی

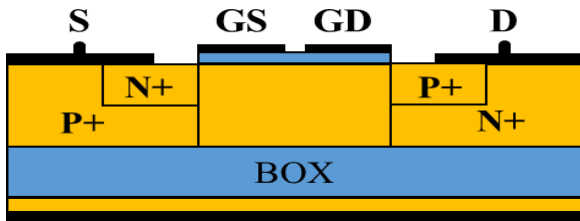
نشانی نویسنده‌ی مسئول: ایران - سمنان - روبروی پارک سوکان - دانشگاه سمنان - دانشکده‌ی برق و کامپیوتر

۱- مقدمه

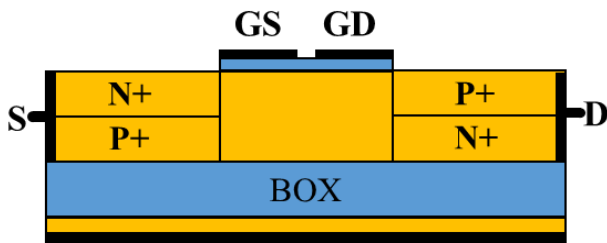
ابعادهای کوچک عملکرد بهتری نسبت به ساختارهای متداول داشته باشد.



(الف)



(ب)



(ج)

شکل (۱): ساختار دیودهای اثر میدانی، (الف) FED (ب) M-FED (ج) S-FED

در این مقاله یک ساختار جدید با تکنیک کاهش سطح اشتراک کانال با نواحی سورس و درین ارائه شده است. هدف از این ساختار کاهش تزریق حامل‌های اضافی و عدم نیاز به مخازن‌ها جهت افزایش حجم نواحی سورس و درین برای حالت روشن می‌باشد. با مقایسه نتایج بین ساختار ارائه شده با ساختار S-FED مشاهده می‌شود که ساختار پیشنهادی مشخصه‌هایی نظیر نسبت Ion/Ioff، تأخیر گیت و حاصلضرب انرژی در تأخیر گیت را بهبود داده است. در این مقاله ساختار پیشنهادی T-FED نامیده شده است.

۲- ساختار افزاره پیشنهاد شده

در دیودهای اثر میدانی با اعمال ولتاژهای مختلف به اتصالات، حالت‌های روشنی و خاموشی ایجاد می‌شود. نحوه بایاس این دیود در جدول ۱ آمده است.

جدول (۱): بایاس های مختلف دیود اثر میدانی

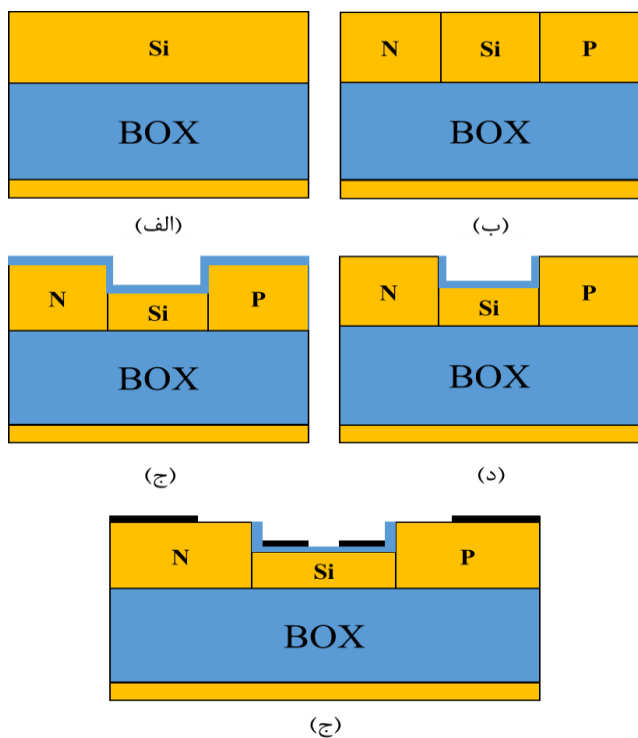
$V_{DS}$	$V_{GS}$	$V_{GD}$	پیکر بندی دیود اثر میدانی از سورس تا درین	وضعیت دیود اثر میدانی
+	+	-	n+npp+	روشن
+	-	+	n+pnp+	خاموش

گرچه روند پیشرفت تکنولوژی در مدارات توان پایین و با قابلیت جریان‌دهی بالا، به سوی کوچک کردن سایز ترانزیستورها است، اما این کوچک‌سازی سبب ایجاد مشکلاتی از قبیل اثرات کانال کوتاه می‌شود و هرچه طول کانال کوچکتر شود این آثار نامطلوب، شدیدتر می‌گردد [۶-۱]. از این رو در سال‌های اخیر ساختارهای جدیدی پیشنهاد شده است که اثرات کانال کوتاه در آنها در مقایسه با ساختار ماسفت‌های متداول در ابعاد کوچک، قابلیت کنترل بیشتری دارند. یکی از این ساختارهای جایگزین دیود اثر میدانی است [۷]. این افزاره به دلیل خواص الکتریکی مطلوبی که دارد می‌تواند گزینه مناسبی برای جایگزین شدن ماسفت‌ها در میان افزاره‌های نانو الکترونیک باشد [۱۲-۱۸]. ساختار دیود اثر میدانی (FED) مشابه ترانزیستورهای SOI-MOSFET معمولی است با این تفاوت که در FED بر روی ناحیه کانال، دو گیت وجود دارد و ناخالصی سورس و درین با یکدیگر متفاوت است (شکل ۱ الف)). از کاربردهای دیود اثر میدانی می‌توان به محافظت کننده‌های ESD [۱۳، ۱۴]، سوئیچ‌ها، سلول‌های حافظه [۱۷-۱۵]، سنسورها [۱۹، ۱۸] و همچنین در طراحی مدارهای مجتمع نام برد [۲۰، ۲۱]. با وجود مزایایی که دیودهای اثر میدانی دارند، برای طول کانال کمتر از ۱۰۰ نانومتر به علت تزریق حامل‌های اقلیت از سورس و درین، این افزاره‌ها بطور کامل خاموش نمی‌شوند [۲۲، ۲۳]. برای رفع این مشکل ساختار اصلاح شده دیود اثر میدانی (M-FED) (شکل ۱ ب)) پیشنهاد گردید [۲۲]. در این ساختار مخازن‌هایی با ناخالصی‌های مختلف در زیر نواحی سورس و درین اضافه شده‌اند. این مخازن‌ها در حالت خاموش با تزریق حامل‌های اکثریت به کانال باعث کاهش حامل‌های اقلیت تزریق شده از نواحی سورس و درین به کانال می‌شوند، که باعث بهبود جریان خاموشی می‌گردد. به علت کم عمق بودن مناطق سورس و درین، فرایند ساخت آن آسان نمی‌باشد. از این رو ساختار S-FED (شکل ۱ ج)) پیشنهاد گردید [۲۷-۲۴].

در ساختار S-FED، اتصالات سورس و درین بصورت جانبی سبب کاهش جریان حالت روشن می‌شود و از طرفی استفاده از مخازن‌ها در مناطق سورس و درین از حجم نواحی سورس و درین کاسته و قدرت جریان دهی در حالت روشن را کاهش می‌دهد. بنابراین در ساختار S-FED گرچه مشخصات افزاره در حالت خاموشی بهبود می‌یابد، اما جریان‌دهی افزاره در حالت روشن تخریب می‌گردد. از این رو در سال‌های اخیر ساختارهای متفاوتی مانند MH-FED و G-FED ارائه شده است [۲۸، ۲۹]. این ساختارها برای طول کانال ۷۵ نانومتر طراحی شده‌اند، و دارای عملکرد مناسبی هستند اما با کاهش طول کانال و ابعاد، جریان خاموشی افزایش یافته و نسبت Ion/off در این ساختارها به شدت کاهش می‌یابد و این افزاره‌ها عملکرد مطلوب خود را از دست می‌دهند. از این رو نیاز به ساختار جدیدی است که در

درین  $10^{19} \text{ cm}^{-3}$  وضخامت اکسید گیت ۱ nm و ارتفاع اکسید کناره ( $H_{ox}$ ) ۵nm در نظر گرفته شده است. در این مدلسازی از مدل‌های تونل‌زنی باند به باند (BTBT)، بازترکیبی Srh و Auger، مدل باند باریک (BGN)، مدل‌های موبیلیتی وابسته به میدان (Fldmob) و ناخالصی (conmob) استفاده شده است.

فرایند ساخت ساختار پیشنهادی در شکل ۳ نشان داده شده است. فرایند ساخت با یک ویفر SOI با ضخامت ۱۰ نانومتر از نوع p و ناخالصی یکنواخت  $10^{14} \text{ cm}^{-3}$  انجام می‌شود (شکل ۳ الف)). در مرحله بعد با کاشت یونی نواحی n (سورس) و p (درین) را ایجاد می‌کنیم (شکل ۳ ب)). سپس قسمتی از کانال به عمق  $H_{ox}$ ، را حذف می‌کنیم و بعد یک لایه  $\text{SiO}_2$  روی آن می‌نشانیم (شکل ۳ ج)). حال با ماسک مناسب اکسید سیلیسیم روی نواحی سورس و درین را حذف می‌کنیم (شکل ۳ د)) و در مرحله آخر اتصالات سورس و درین و گیتها را ایجاد می‌کنیم (شکل ۳ ه)).



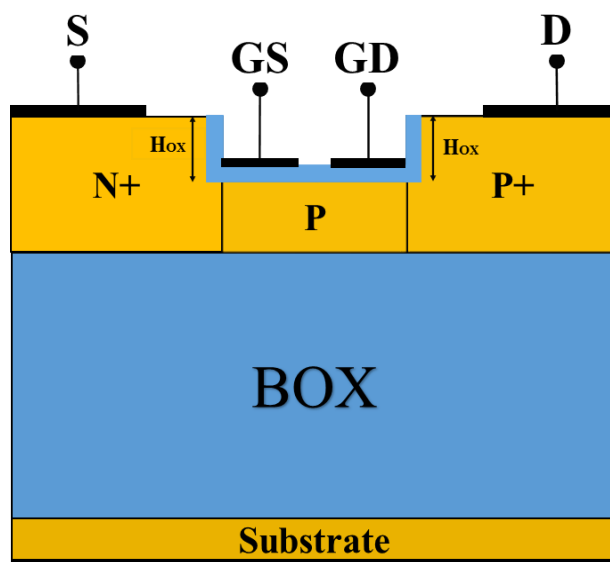
شکل (۳): پروسه ساخت دیود اثر میدانی ارائه شده

### ۳- بحث بر نتایج ساختار پیشنهادی

شکل ۴ مشخصه ولتاژ- جریان ساختار ارائه شده به ازای طول کانال ۲۵ nm در حالت روشن و خاموش نشان می‌دهد. همان گونه که در این شکل مشاهده می‌شود، با تکنیک کاهش سطح اشتراک کانال با نواحی سورس و درین میزان تزریق حامل‌های اقلیت به کانال کاسته شده و بدون نیاز به مخازن‌ها می‌توان مشخصه خروجی خوبی از ساختار گرفت.

در حالت روشن بایاس اعمال شده به گیت‌ها به گونه‌ای است که کانال با یک پیوند n-p بایاس مستقیم جایگزین می‌شود. بنابراین الکترون تزریق شده از سورس به کانال وارد ناحیه ای از n و حفره تزریق شده از درین به کانال وارد ناحیه ای از p می‌شود. در این حالت احتمال باز ترکیب در کانال افزاره حتی در ابعاد میکرومتری کاهش می‌یابد. در حقیقت میدان الکتریکی عمودی ناشی از گیت‌ها سبب می‌شود نفوذ حامل‌ها در کانال کاهش یافته و رانش آنها افزایش یابد. بنابراین جریان زیرگیت‌ها صرفاً رانشی است. اما در حالت خاموشی کانال با یک پیوند p-n بایاس معکوس جایگزین شده و جریانی از خود عبور نمی‌دهد. در حالت خاموش با کاهش طول کانال، به علت تزریق حامل‌های اقلیت اضافی در کانال، پیوند معکوس p-n در کانال بخوبی تشکیل نمی‌شود. در این حالت کانال ذاتی می‌شود و افزاره به صورت دیود p-i-n بایاس مستقیم عمل کرده و خاموش نمی‌شود. از این رو برای کاهش جریان خاموشی باید میزان تزریق حامل‌های اضافی را کم کرد.

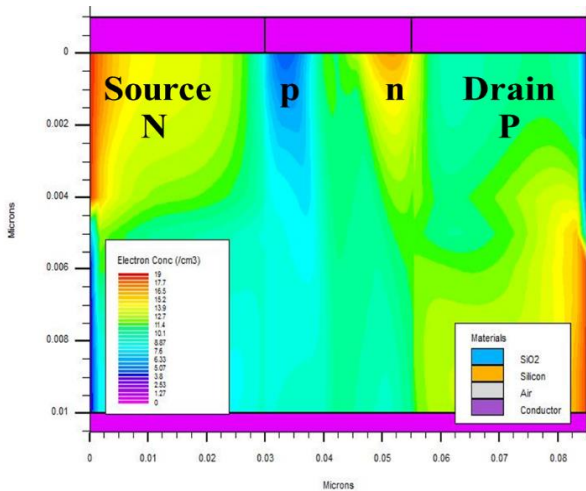
شکل ۲ نمایی از سطح مقطع ساختار پیشنهادی را نشان می‌دهد. در این ساختار با کاهش سطح اشتراک کانال با نواحی سورس و درین در حالت خاموش حامل‌های کمتری می‌توانند تحت تاثیر میدان درین- سورس در کانال تزریق شوند لذا بدون نیاز به مخازن‌ها جریان خاموشی کاهش و جریان روشنی افزایش یافته و در نهایت نسبت  $I_{on}/I_{off}$ ، تاخیر گیت و حاصلضرب انرژی در تاخیر گیت (EDP) که از پارامترهای مهم در کاربردهای دیجیتال می‌باشد نسبت به ساختار متداول S-FED با ابعاد و شرایط یکسان بهبود می‌یابد.



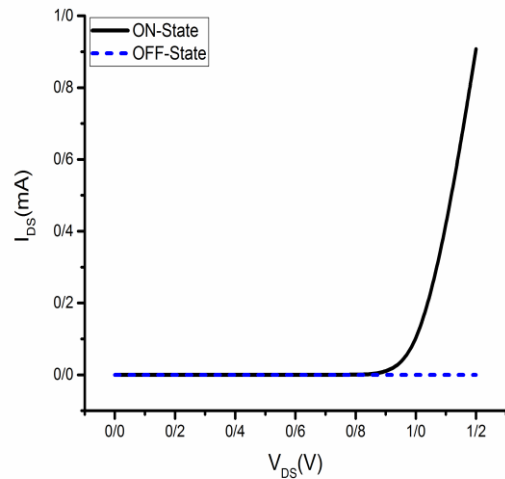
شکل (۲): ساختار دیود اثر میدانی ارائه شده

تمام شبیه سازی‌ها توسط نرم افزار Silvaco شبیه سازی شده است [۳۰]. مشخصات افزاره مورد استفاده در این شبیه سازی به شرح ذیل است: طول کانال ۲۵ nm (طول هر گیت ۱۰ nm و فاصله بین دو گیت ۵ nm)، ضخامت سیلیسیم ۱۰ nm، آلایش مناطق سورس و

بدون استفاده از مخازن و با تکنیک کاهش سطح اشتراک کانال با نواحی سورس و درین جریان خاموشی کاهش یافته و قابل مقایسه با ساختارهای متداول است. و اما نسبت Ion/Ioff که یکی از پارامترهای مهم در نانوترانزیستورها می باشد برای ساختار پیشنهادی بیش از ۱۰ برابر بهتر شده است به طوری که می توان در مدارات فرکانس بالا از آن استفاده کرد.

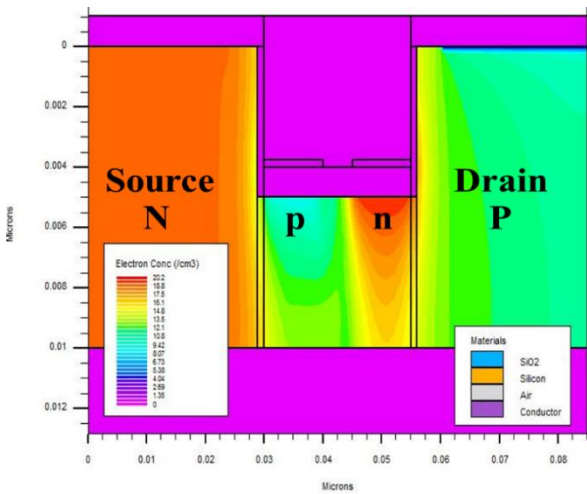


(الف)



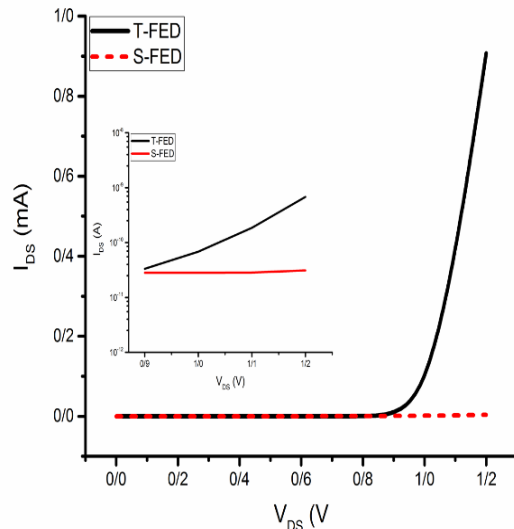
شکل (۴): نمودار جریان برحسب ولتاژ درین ساختار ارائه شده در حالت روشن ( $V_{DS}=V_{GS}=-V_{GD}=1.2\text{ V}$ ) و خاموش ( $V_{DS}=-$ ) ( $V_{GS}=V_{GD}=1.2\text{ V}$ )

برای مقایسه عملکرد ساختار ارائه شده و S-FED در ابعاد مشابه، نمودارهای جریان-ولتاژ در حالت روشن و خاموش در شکل ۵ نشان داده شده است.



(ب)

شکل (۶): پروفایل چگالی الکترون ها در حالت خاموش ( $V_{DS}=-$ ) ساختار ارائه شده (ب) S-FED ( $V_{GS}=V_{GD}=1.2\text{ V}$ ) با طول کانال ۲۵ nm (الف) S-FED

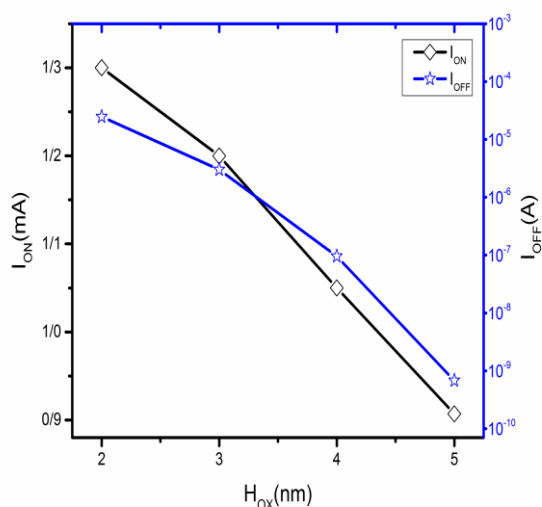


شکل (۵): مقایسه جریان های دیود اثر میدانی ارائه شده و S-FED در حالت روشن ( $V_{DS}=V_{GS}=-V_{GD}=1.2\text{ V}$ ). شکل درج شده جریان خاموشی را نشان می دهد.

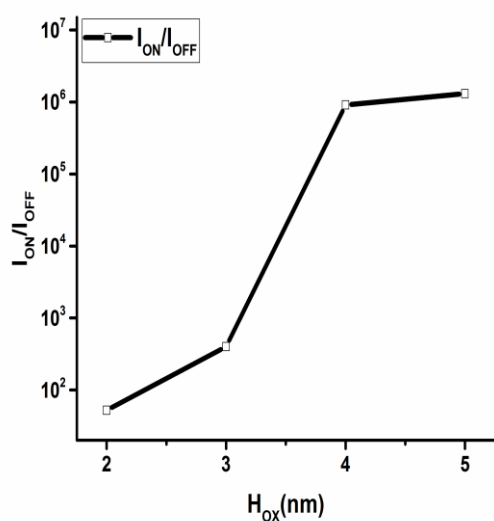
شکل ۶ توزیع چگالی الکترون ها برای دو ساختار در حالت خاموش در ۱ nm زیرگیت، نشان داده شده است. همانطور که مشاهده می شود، به علت کاهش تزریق حامل های اقلیت در کانال اتصال p-n به خوبی در کانال تشکیل شده و نیازی به مخازن ها نمی باشد. شکل ۷ نمودار نوارهای انرژی و چگالی حامل های ساختار ارائه شده و S-FED را در حالت روشن در ۱ nm زیرگیت نشان می دهد.

همان طور که در شکل ۵ مشاهده می شود، جریان روشن ساختار ارائه شده ۳۰۰ برابر بهتر از S-FED است. علت آن هم عدم استفاده از مخازن و بزرگتر شدن حجم نواحی سورس و درین می باشد. اما جریان خاموشی S-FED به علت استفاده از مخازن ها و کوچک بودن نواحی سورس و درین، در مقایسه با ساختار ارائه شده در یک رنج و مقدار کمی بهتر می باشد. اما در ساختار ارائه شده با پروسه ساخت ساده تر و

روشن هم کاهش می‌یابد. لذا با بررسی منحنی نسبت  $I_{ON}/I_{OFF}$  (شکل ۸(ب))،  $H_{OX}$  در مقدار ۵ نانومتر بهینه می‌شود.



(الف)



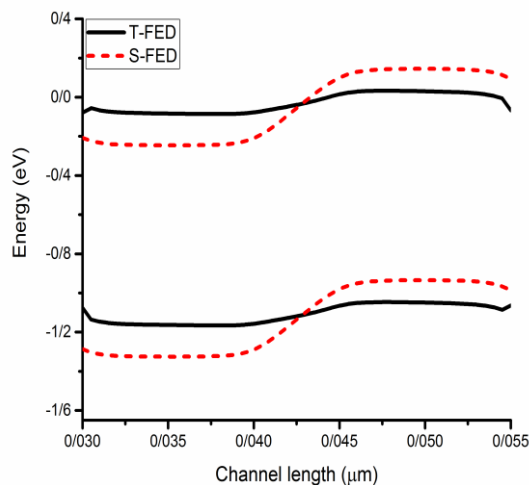
(ب)

شکل ۸(الف): تغییرات جریان روشن و خاموش و (ب) نسبت  $I_{ON}/I_{OFF}$  بر حسب  $H_{OX}$

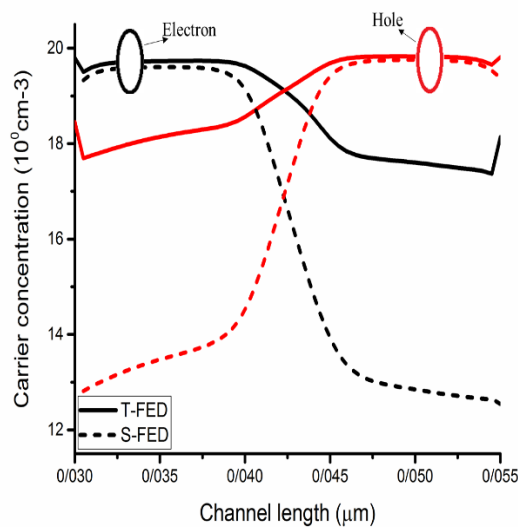
تاخیر زمانی گیت، که پاسخ کلیدزنی یک ترانزیستور را مشخص می‌کند، یک پارامتر مهم در کاربردهای الکترونیک به شمار می‌آید. میزان این تاخیر از روی زمان شارژ شدن ظرفیت ثابت گیت،  $C_g$  به ولتاژ  $V_{dd}$  در  $I_{on}$  ثابت با استفاده از رابطه زیر بدست می‌آید [۱۵].

$$\tau = \frac{C_g \cdot V_{dd}}{I_{on}} \quad (1)$$

همانطور که ملاحظه می‌شود کاهش سطح اشتراک کانال با نواحی سورس و درین و کاهش ضخامت کانال به گیت‌ها کمک می‌کنند تا پتانسیل بزرگتری به درون کانال القا کنند. از این رو، اتصال n-p در کانال بخوبی تشکیل شده و بدون نیاز به مخازن‌ها، سد کوچکتی نسبت به ساختار S-FED بوجود می‌آید از این رو جریان روشن افزایش می‌یابد.



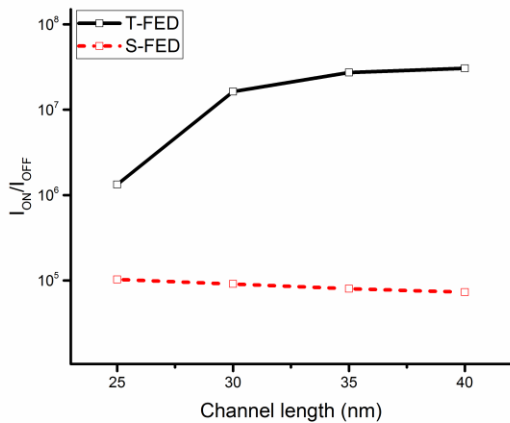
(الف)



(ب)

شکل ۷(الف): نمودار نوارهای انرژی و (ب) چگالی حامل‌ها در حالت روشن ( $V_{DS}=V_{GS}=-V_{GD}=1.2$  V)

شکل ۸ منحنی جریان روشن و خاموش را بر حسب  $H_{OX}$ ‌های مختلف نشان می‌دهد. مطابق شکل مشهود است که افزایش مقدار  $H_{OX}$ ، کاهش تزریق حامل‌ها از نواحی سورس و درین را به دنبال دارد و از این رو جریان خاموشی کاهش می‌یابد اما از طرفی میزان جریان



شکل (۱۰): تغییرات نسبت Ion/Ioff بر حسب طول کانال

به منظور مشخص نمودن قابلیت ساختار پیشنهادی، در جدول ۲ جریان روشن، جریان خاموش، نسبت Ion/Ioff، تاخیر گیت و حاصلضرب انرژی در تاخیر گیت با ساختار FEDها در شرایط یکسان مقایسه شده است. همانطور که از جدول ۲ مشخص است ساختار پیشنهادی در این مقاله می‌تواند جایگزین مناسبی نسبت به ساختارهای متداول باشد.

#### ۴- نتیجه‌گیری

در این مقاله یک ساختار جدید برای دیویدهای اثر میدانی با کاهش سطح اشتراک کانال با نواحی سورس و درین که باعث کاهش تزریق حامل‌های اقلیت اضافی از سمت سورس و درین به درون کانال شده، ارائه گردیده است. این امر منجر به کنترل بهتر گیت‌ها بر روی کانال می‌شود. درمقایسه ساختار ارائه شده و S-FED می‌توان مشاهده کرد که ساختار جدید موجب بهبود نسبت Ion/Ioff از مرتبه  $10^5$  به  $10^6$  و همچنین تاخیر گیت و EDP به ترتیب از 114 ps و  $5/0.23 \times 10^{-26}$  (j.s) به  $5/0.23 \times 10^{-28}$  (j.s) و  $0.5$  ps کاهش یافته است. از این نتایج می‌توان نتیجه گرفت که ساختار پیشنهادی قابلیت اطمینان بیشتری در مقایسه با ساختارهای متداول دارد.

#### مراجع

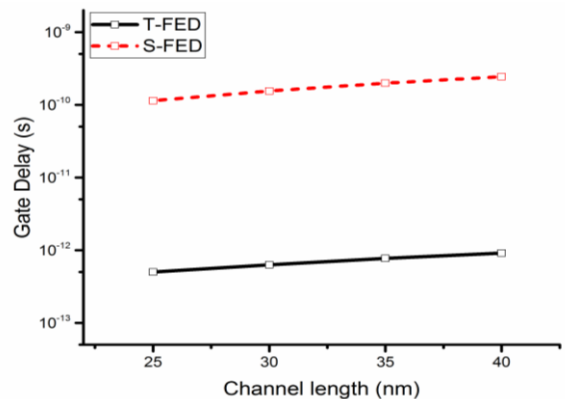
- [1] B. Yu, L. Wang, Y. Yuan, P. M. Asbeck and Y. Taur., "Scaling of Nanowire Transistors", in IEEE Transaction on Electron Devices, vol. 55, no. 11, pp. 2846-2858, Nov. 2008.
- [2] G. Joshi and A. Choudhary., "Analysis of short channel effects in Nanoscale MOSFETs", International Journal of Nanoscience(2011): 275-278.

[۳] فرهاد باجلان ، آرش یزدان پناه گوهرریزی ، رحیم فائز ، غفار درویش، "بررسی و مقایسه مشخصات الکترونیکی ترانزیستورهای نانو سیم بدون پیوند نوع P با مواد کانال InP, InGaP, Si", مجله مهندسی برق و الکترونیک ایران، سال پانزدهم، شماره دوم، ۱۳۹۷

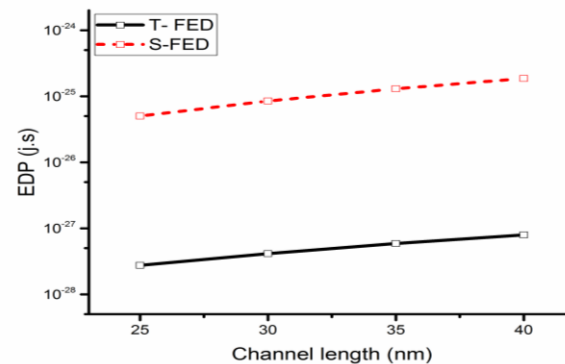
یک فاکتور مهم در طراحی افزاره‌ها با راندمان بالا، EDP می‌باشد. هرچه این مقدار کمتر باشد به معنای انرژی مصرفی کمتر افزاره می‌باشد که با استفاده از رابطه زیر بدست می‌آید [۱۵].

$$EDP = \left( \frac{C_g \cdot V_{dd}}{I_{on}} \right) (C_g \cdot V_{dd}^2) \quad (2)$$

شکل ۹ تاخیر زمانی گیت و EDP را برای ساختار ارائه شده و S-FED بر حسب طول کانال در  $V_{dd}=1.2$  V نشان می‌دهد. همانطور که انتظار می‌رفت به علت بالا بودن میزان جریان روشنی در ساختار ارائه شده، تاخیر گیت از ۱۱۴ ps به ۰/۵ ps و EDP از  $5/0.23 \times 10^{-26}$  (j.s) به  $5/0.23 \times 10^{-28}$  (j.s) کاهش می‌یابد. از این رو سرعت ساختار ارائه شده نسبت به S-FED بیشتر است.



(الف)



(ب)

شکل (۹): تغییرات (الف) تاخیر گیت و (ب) حاصلضرب انرژی در تاخیر گیت بر حسب طول کانال

شکل ۱۰ تغییرات نسبت Ion/Ioff بر حسب تغییرات طول کانال نشان می‌دهد. در ساختار ارائه شده با کاهش سطح اشتراک کانال با نواحی سورس و درین میزان تزریق حامل‌های اقلیت به کانال کاهش یافته و کنترل گیت بر کانال افزایش می‌یابد. از این رو بدون نیاز به مخازن جریان خاموشی کمی خواهیم داشت و از طرفی به علت بزرگتر شدن نواحی سورس و درین قدرت جریان دهی هم به طور چشم گیری افزایش می‌یابد. از این رو نسبت Ion/Ioff بهتری در مقایسه با ساختار S-FED به ازای طول کانال‌های مختلف خواهیم داشت.

جدول (۲): مقایسه ساختار پیشنهادی و افزاره های FED در شرایط یکسان

ساختار	طول کانال (nm)	جریان روشن (μA)	جریان خاموش (nA)	نسبت جریان روشن و خاموش (Ion/Ioff)	تاخیر گیت (ps)	حاصل ضرب انرژی در تاخیر گیت (j.s)
S-FED	۲۵	۳/۲	۰/۰۳۱	$1/0.3 \times 10^5$	۱۱۴	$5/0.23 \times 10^{-26}$
M-FED	۲۵	۳۶۰	۰/۷۴	$4/9 \times 10^5$	۱/۱	$4/5 \times 10^{-27}$
G-FED	۲۵	$14 \times 10^3$	$11/9 \times 10^3$	۱/۱۷	-	-
T-FED	۲۵	۹۰۷	۰/۶	$1/33 \times 10^6$	۰/۵	$2/75 \times 10^{-28}$

- [۴] ن. قبادی، ع. افضلی کوشا، "بررسی و مدل سازی اثر ناپایداری در دمای بالا و بایاس منفی (NBTI) و تزریق حاملهای پراثرژی (HCL) در افزاره های چندگیتی نانومتری"، مهندسی برق و الکترونیک ایران، سال دوازدهم، شماره دوم، تابستان ۱۳۹۴
- [۵] ع. نادری، م. قدرتی، "ساختار جدید ترانزیستور اثر میدانی نانولوله کربنی با ناخالصی های سبک در کانال و دی الکتریک دو قسمتی"، مهندسی برق و الکترونیک ایران، سال پانزدهم، شماره دوم، تابستان ۱۳۹۷
- [6] A. Kranti, T. M. Chung, and J.-P. Raskin., "Gate length scaling and microwave performance of double gate nanotransistors", International Journal of Nanoscience 4.05n06 (2005): 1021-1024.
- [7] F. Raissi, "A brief analysis of the field effect diode and breakdown transistor", in IEEE Transactions on Electron Devices, vol. 43, no. 2, pp. 362-365, Feb 1996.
- [8] I. Sheikhan and F. Raissi, "High-speed Digital family using Field Effect Diode" ELECTRONICS LETTERS, vol. 39 NO.4, 2003.
- [9] I. Sheikhan and F. Raissi, "An Improved Differential Comparator with Field Effect Diode Output Stage" Journal of circuits, systems, and computers, vol. 14 NO.5, 2005.
- [10] A. Rezaei, B. Azizollah-Ganji, and M. Gholipour., "Nanoscale field effect diode (FED) with improved speed and I ON/I OFF ratio", IET Circuits, Devices & Systems, Vol. 13, No. 3, pp. 309-313, 2019.
- [11] M. Vazizadeh, "Dual material gate nanowire field effect diode (DMG-NWFED): Operating principle and properties," Microelectronics Journal, Vol. 71, pp. 1-7, 2018.
- [12] I. Sheikhan, F. Sharafi., "Improved nanoscale field effect diode," IET Circuits, Devices & Systems, Vol. 13, No. 4, pp. 544-547, 2019.
- [13] S. Cao, A. A. Salman, J. -H. Chun, S. G. Beebe, M. M. Pelella and R. Dutton, "Design and characterization of ESD protection devices for high-speed I/O in advanced SOI technology," IEEE Trans. Electron Devices, Vol. 57, No. 3, pp. 644-653, 2010.
- [14] S. Cao, T. W. Chen, S. G. Beebe and R. W. Dutton, "ESD Design challenges and strategies in deeply-scaled interated circuits," IEEE 2009 Custom Integrated Circuits Conference (CICC), pp. 681-688, San Jose, CA, USA, 2009.
- [15] M. Amirmazlaghani and F. Raissi, "Memory cell using modified field effect diode," IEICE Electronic Express, Vol. 6, No. 22, pp. 1582-1586, 2009.
- [16] Y. Yang, A. Gangopadhyay, Q. Li, and D. E. Ionone, "Scaling of the SOI Field Effect Diode (FED) for memory allocation," Proc. of ISDRS 2009, College Park, MD, USA, 2009.
- [17] A. Z. Badwan, Z. Chbili, Q. Li, and D. E. Ioannou, "SOI FED-SRAM cell: Structure and operation," IEEE Trans. Electron Devices, vol. 62, no. 9, pp. 2865-2870, Sep. 2015.
- [18] E. Mohammadi, and N. Manavizadeh, "An innovative ion sensitive device based on side-contacted field effect diode," physica status solidi c, Vol. 14, No. 12, 1700202, 2017.
- [19] E. Mohammadi, and N. Manavizadeh, "Performance Evaluation of Innovative Ion-Sensitive Field Effect Diode for pH Sensing," IEEE Sensors Journal, Vol. 19, No. 4, pp. 1239-1244, 2018.
- [20] F. Jazayeri, B. Forouzandeh and F. Raissi, "Low-power variable gain amplifier with UGBW based on nanoscale Field Effect Diode," IEICE Electronics Express, Vol. 6, No. 1, pp. 51-57, 2009.
- [21] F. Jazayeri, S. Soleimani-Amori, B. Ebrahimi, B. Forouzandeh, H. R. Ahmadi and F. Raissi, "Pseudo-Linear automatic gain control system based on nanoscale field effect diode and SOI-MOSFET," Design and Test workshop 2008, IDT 2008. 3rd International, pp. 154-158, 2008.
- [22] I. Sheikhan and F. Raissi, "Simulation results for nanoscale field effect diode," IEEE Trans. Electron Devices, Vol. 54, No. 3, pp 613-617, 2007.
- [23] A. Rezaei, B. Azizollah-Ganji, and M. Gholipour., "Effects of the Channel Length on the Nanoscale Field Effect Diode Performance", Journal of Optoelectrical Nanostructures, Vol. 3, No. 2, pp. 29-40, 2018.
- [24] N. Manavizadeh, F. Raissi, E. A. Soleimani, M. Pourfath, and S. Selberherr, "Performance assessment of nanoscale field-effect Diodes," in IEEE Transactions on Electron Devices, vol. 58, no. 8, pp. 2378-2384, Aug. 2011.
- [25] B. J. Touchaee, N. Manavizadeh, "An inverter gate design based on nanoscale S-FED as a function of

- reservoir thickness," IEEE Trans. Electron Devices, Vol. 62, No.10, pp. 3147-3152, Oct. 2015.
- [26] N. Manavizadeh, F. Raissi, E. A. Soleimani, and M. Pourfath, "Geometrical study of nanoscale field effect diodes," Semicond. Sci. Technol., vol. 27, no. 4, p. 045011, Mar. 2012.
- [27] B. JafariTouchaei and N. Manavizadeh, "Design and Simulation of Low-power Logic Gates based on Nanoscale Side contacted FED," IEEE Trans. Electron Devices, vol. 64 no. 1, pp. 306-311, Jan. 2017.
- [28] M. Vadizadeh, "Improving gate delay and I ON/I OFF in nanoscale heterostructure field effect diode (H-FED) by using heavy doped layers in the channel," Applied Physics A, 122(4), 469, 2016.
- [29] A. Sotoudeh and M. Amirmazlaghani, "Graphene-based Field Effect Diode" Superlattices and Microstructures, vol. 120, pp. 828-836, August 2018.
- [30] International Device Simulation Software, SILVACOTCAD, 2015.

## زیر نویس ها

---

<sup>1</sup>Electrostatic discharge

