

طراحی مدار شارژ آدیباتیک توان کارآمد در فناوری $0.18\mu\text{m}$ CMOS

میثم امرایی^۱ ابراهیم فرشیدی^۲ عبدالنبی کوثریان^۳
۱- دانشجوی دکتری الکترونیک- دانشگاه شهید چمران اهواز- اهواز- ایران
m-amraee@stu.scu.ac.ir
۲- استاد- گروه برق- دانشگاه شهید چمران اهواز- اهواز- ایران
farshidi@scu.ac.ir
۳- استاد- گروه برق- دانشگاه شهید چمران اهواز- اهواز- ایران
a.kosarian@scu.ac.ir

چکیده: در برنامه‌های تامین انرژی حسگرهای کم‌توان، مواردی وجود دارد که انرژی باید از یک باتری کم‌توان به یک مرحله خازن بار خروجی انتقال داده شود. این مقاله یک مدار شارژ آدیباتیک با رویکرد سویچ‌های موازی ارائه می‌دهد که به یک باتری کم‌توان متصل شده و با استفاده از یک مبدل باک که در حالت CCM عمل می‌کند خازن بار را شارژ می‌کند. از یک کنترل‌کننده گیت سویچ‌های موازی (GCPS) به منظور افزایش زمان وظیفه سیگنال ورودی سویچ‌های مبدل باک استفاده شده که با کنترل جریان سلف، خازن بار را در ۲۵۶ گام، شارژ می‌کند. رویکرد سویچ‌های موازی پیشنهادی به منظور بهبود بازدهی انرژی در توان‌های انتقالی مختلف استفاده شده و متشکل از یک حسگر جریان، مقایسه‌گر، لچ R-S، سویچ‌های pMOS موازی و سویچ‌های nMOS موازی است. در توان‌های انتقالی زیاد، سویچ‌های بزرگ با سویچ‌های کوچک موازی شده که نتیجه در کاهش تلفات هدایت دارد. همچنین، در توان‌های انتقالی پایین، با خاموش کردن سویچ‌های بزرگ pMOS/nMOS، مجموع تلفات سویچینگ به صورت قابل توجهی در طول عملیات شارژ کاهش یافته است. مدار پیشنهادی در یک فناوری $0.18\mu\text{m}$ CMOS طراحی و شبیه‌سازی شده است. بازدهی مدار ارائه شده در طول یک دوره شارژ کامل به ازای متوسط توان ورودی بین 0.5mW تا 30mW بیش از 80 درصد است.

واژه‌های کلیدی: مدار شارژ آدیباتیک، توان انتقالی، رویکرد سویچ‌های موازی، مبدل باک، طراحی CMOS

DOI: 10.52547/jiaeee.20.1.119

تاریخ ارسال مقاله: ۱۴۰۰/۱۰/۲۹

تاریخ پذیرش مشروط مقاله: ۱۴۰۱/۰۱/۲۶

تاریخ پذیرش مقاله: ۱۴۰۱/۰۳/۰۳

نام نویسنده‌ی مسئول: دکتر ابراهیم فرشیدی

نشانی نویسنده‌ی مسئول: اهواز - اهواز - خیابان گلستان - کوی اساتید - دانشگاه شهید چمران اهواز - دانشکده‌ی فنی مهندسی

۱- مقدمه

کرده است. تلفات انرژی در N مرحله شارژر خازن به نسبت N کاهش داده شده و توسط رابطه CV_{dd}^2/N بیان می‌شود. با این حال افزایش تعداد گام‌های N منوط به افزایش تعداد خازن‌ها و سویچ‌های میانی است که پیچیدگی مداری و درعین حال تلفات دینامیک^۳ را افزایش می‌دهد. یک روش جدید شارژر آدیباتیک ارائه شده به گونه‌ای که خازن بار توسط جریان سلف یک مبدل باک^۴ در چندین مرحله شارژ می‌شود [۱۰-۱۲]. [۱۰] به اجزای غیر تراشه‌ای زیادی برای پیاده‌سازی نیاز دارد که هم حجم و هم هزینه را افزایش می‌دهد. به‌علاوه، گام شارژ بلند، زمان شارژر خازن بار را طولانی کرده است. در [۱۱] یک مبدل باک ارائه شده به گونه‌ای که همه اجزای آن به جز سلف (L) و خازن (C)، در فناوری CMOS $0.25\mu\text{m}$ مجتمع‌سازی شده اند. با این مجتمع‌سازی، تا حد زیادی هزینه و حجم را کاهش داده است که شماتیک آن در شکل ۲ نشان داده شده است. از آنجا که ساختار پیشنهادی در این مقاله تکمیل‌کننده ساختار [۱۱] است، در ادامه ساختار [۱۱] به عنوان مرجع رایج مورد تحلیل و شبیه‌سازی قرار گرفته و نقاط ضعف آن مورد ارزیابی قرار خواهد گرفت. باتوجه به شکل ۲، بخش کنترلی سیگنال‌های V_P و V_N را برای سویچ‌های مبدل باک تولید می‌کند و با افزایش زمان وظیفه^۵ $D(t)$ این دو سیگنال، در ۲۵۶ مرحله خازن بار را شارژ می‌کند. مبدل باک به وسیله عملکرد در حالت CCM^۶، ولتاژ V_c را از 0 تا V_{dd} افزایش می‌دهد. لازم به ذکر است که در حالت CCM جریان سلف L ، همیشه بزرگتر از صفر است. بنابراین در طول عملیات شارژر، ولتاژ خازن V_c برابر با رابطه زیر است:

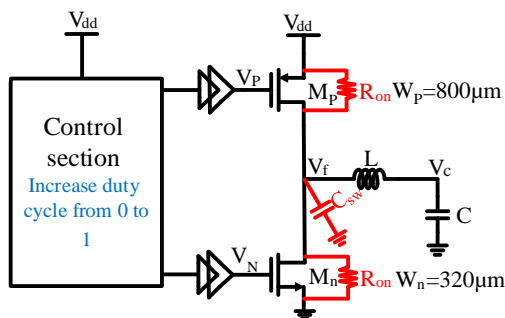
$$V_c = D(t)V_{dd} \quad (1)$$

بازدهی مدار شارژر خازنی از رابطه زیر به دست می‌آید:

$$\text{efficiency} = \frac{E_{out}}{E_{in}} = \frac{P_{out}}{P_{in}} \quad (2)$$

جایی که P_{in} و P_{out} به ترتیب متوسط توان ورودی و متوسط توان ذخیره شده در خازن C ، در طول زمان شارژ T_{ch} می‌باشند. در این مقاله، در تمام شبیه‌سازی‌ها، شرایط زیر به عنوان شرایط معمولی (typical) در نظر گرفته شده است:

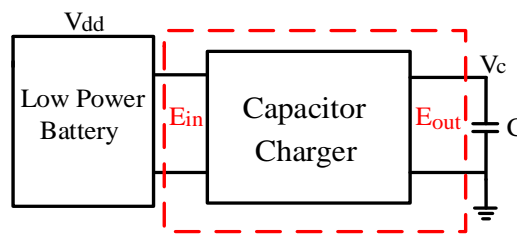
- ولتاژ تغذیه: 1.8V



شکل (۲): شماتیک کلی مدار شارژر رایج [۱۱]

در سامانه‌های تامین انرژی بسیاری از وسایل الکترونیکی کم‌توان از جمله شبکه‌های حسگر بی‌سیم (WSNs)^۱، استفاده از یک واحد انرژی کارآمد در ارتقا طول عمر آن‌ها بسیار حائز اهمیت است. در سال‌های اخیر برداشت‌کننده های انرژی به عنوان یک راهکار مناسب برای تامین انرژی گره‌های سنسوری مورد مطالع قرار گرفته‌اند [۱-۳]. در بسیاری از موارد به دلیل عدم وجود انرژی لازم برای برداشت، استفاده از یک المان ذخیره‌ساز (باتری یا خازن) را ملزم می‌دارد [۴-۵]. باتری‌های رایج دارای جریان نشتی بالا و در عین حال حجیم و هزینه بر هستند. خازن‌های ذخیره‌ساز اگرچه دارای قابلیت تحویل توان زیاد هستند اما این به قیمت توان نشتی بیشتر امکان پذیر است و بنابراین نمی‌توانند جایگزین باتری‌های رایج شوند. بنابراین، باتری‌های کم‌توان دارای جریان نشتی پایین و در عین حال کوچک هستند. یک مسئله‌ای که در تامین انرژی گره‌های سنسوری توسط باتری‌های کم‌توان وجود دارد، قسمت فرستنده سنسور به توان بیشتری نسبت به سایر اجزا نیاز دارد. پس در بسیار از مواردی توان مورد نیاز فرستنده چندین برابر توان خروجی باتری هست. از طرفی خازن‌ها دارای قابلیت تحویل توان لحظه‌ای زیاد هستند. یک راهکار مناسب استفاده از یک خازن تحویل توان موقت است به گونه‌ای که توسط باتری کم‌توان شارژ شده و سپس یک توان لحظه‌ای زیاد به فرستنده تحویل می‌دهد. در این کار به بررسی ساختارهای قبلی در مرحله شارژر خازن (یا همان مدارهای شارژر قبلی) و همچنین ارائه یک راهکار مناسب برای ارتقا بازدهی انرژی در سطوح مختلف انتقال توان پرداخته می‌شود. شماتیک کلی شارژر خازنی (capacitor charger) در شکل ۱ نشان داده شده است. مدار شارژر خازنی به باتری کم‌توان متصل شده و خازن C را از 0 تا ولتاژ باتری V_{dd} شارژ می‌کند.

در مدارهای شارژر رایج که باتری به صورت مستقیم توسط یک سویچ به خازن C وصل می‌شود، دارای بازدهی 50% می‌باشند چراکه نصف انرژی در سویچ تلف می‌شود. در سال‌های اخیر برای کاهش تلفات در طول شارژ از یک روش گام‌به‌گام که با نام روش شارژر آدیباتیک^۲ شناخته می‌شود، استفاده شده است. در این روش، ولتاژ خازن بار V_c در چندین مرحله به ولتاژ V_{dd} می‌رسد [۶-۹]. [۶] از یک ساختار سویچ-خازنی (switch-capacitor) برای شارژر خازن بار استفاده



شکل (۱): شماتیک کلی مدار شارژر

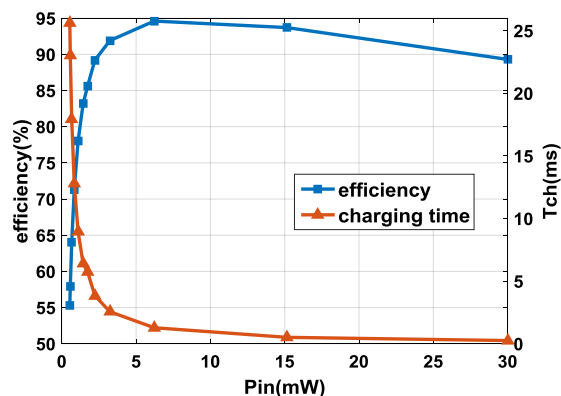
P_{in} بین $0.7mW$ تا $7mW$). قابلیت عملکرد را دارد. همچنین بازدهی مدار در توان‌های انتقالی بالا کاهش یافته است.

در این مقاله، یک مدار شارژ آدیباتیک ارائه شده که با افزایش نرخ زمان وظیفه $D(t)$ از 0 تا 1، خازن بار را به طور کامل شارژ کرده است. همچنین با کاهش تلفات سوئیچینگ در توان‌های انتقالی کم و درعین حال کاهش تلفات هدایت در توان‌های انتقالی زیاد، مدار شارژ را در یک بازه وسیعی از انتقال توان، کارآمد کرده است. باقیمانده مقاله به صورت زیر دنبال می‌شود. در بخش ۲، بلوک دیاگرام و عملکرد کلی مدار پیشنهادی و همچنین تحلیل تئوری تلفات توضیح داده شده است. در بخش ۳، رویکرد سوئیچ‌های موازی به همراه اثر غیرهیدرالی حسگر جریان مورد ارزیابی قرار گرفته شده است. در بخش ۴، نتایج شبیه‌سازی ساختار پیشنهادی ارائه شده است. نهایتاً، نتیجه‌گیری در بخش ۵ توضیح داده شده است.

۲- مفهوم پیشنهادی

۲-۱- بلوک دیاگرام مدار پیشنهادی و توصیف عملکرد کلی

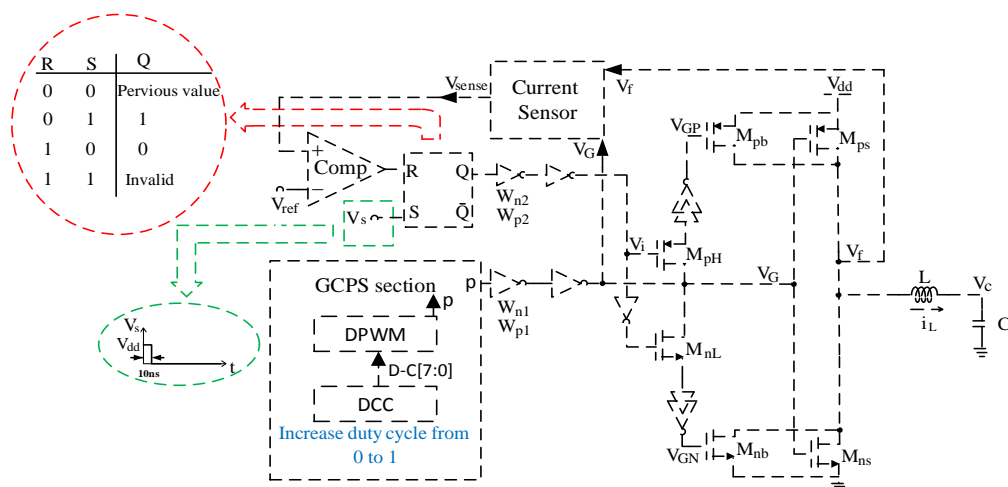
بلوک دیاگرام کامل مدار شارژ آدیباتیک پیشنهادی در شکل ۴ نشان داده شده است. به جز سلف (L) و خازن (C)، همه اجزا مجتمع‌سازی شده‌اند. مدار شامل یک کنترل‌کننده گیت سوئیچ‌های موازی^۷ ($GCPS$)، سوئیچ‌های ماسفت موازی و درایورهای گیت آن‌ها، یک حسگر جریان ($Current\ sensor$)، مقایسه‌گر $R-S$ و $Comp$ و $R-S$ لچ ($latch$) است. در این بخش عملکرد کلی مدار توسط بلوک $GCPS$ توضیح داده می‌شود. $GCPS$ شامل دو بخش کنترل‌کننده زمان وظیفه^۸ (DCC) و مدولاتور عرض پالس دیجیتال^۹ ($DPWM$) است. شماتیک این دو بخش در مرجع [۱۱] نشان داده شده است.



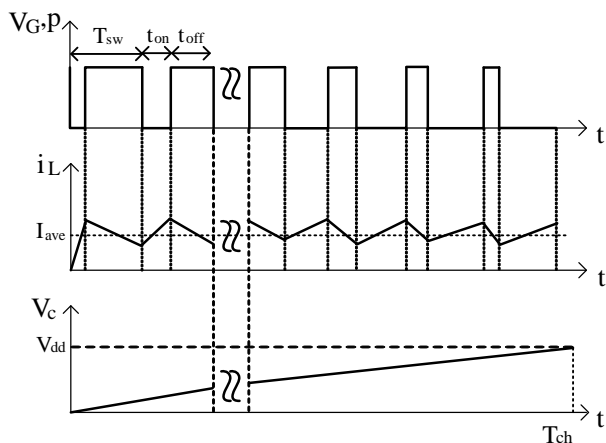
شکل (۳): بازدهی و زمان شارژ ساختار [11] در برابر ظرفیت‌های مختلف توان ورودی

- دمای عملکرد: $27^\circ C$
- گوشه فرایند (Process corner) بر روی حالت typical- (TT) تنظیم شده است.

نتایج شبیه‌سازی [۱۱] به ازای $L=100\mu H$, $C=5\mu F$ در فناوری TSMC $0.18\mu m$ CMOS در شکل ۳ نشان داده شده است. برای کاهش تلفات هدایت (در بخش بعدی قسمت تحلیل تلفات توضیح داده شده است)، عرض گیت ماسفت‌های M_n و M_p تا حد امکان بزرگ انتخاب شده است. با این حال، عرض زیاد ماسفت‌ها باعث افزایش تلفات سوئیچینگ (در بخش بعدی توضیح داده شده) می‌شود. همان طور که شکل ۳ نشان داده شده، با کاهش ظرفیت توان انتقالی، ناشی از افزایش سهم تلفات سوئیچینگ، بازدهی مدار به صورت قابل توجهی کاهش یافته است. در کار ارائه شده [۱۳]، در ساختار کنترلی از یک مدولاتور سیگما-دلتا ($\sigma\text{-}\delta$ modulator) در یک حلقه فیدبک^۸ برای کنترل سوئیچ‌های مبدل باک استفاده شد. اگرچه تلفات بخش کنترلی (در قسمت بعدی توضیح داده شده) به صورت قابل توجهی کاهش یافته اما مدار در بازه کمی از ظرفیت‌های انتقال توان



شکل (۴): بلوک دیاگرام ساختار پیشنهادی در طراحی CMOS



شکل (۵): شکل موج‌های عملکرد مدار شارژر CMOS

توان و $P_{cnt,ave}$ متوسط اتلاف توان بخش کنترلی می باشد. تلفات هدایت ناشی از مقاومت‌هایی است که در مسیر جریان سلف قرار دارند. صرف نظر از مقاومت سلف و مقاومت پارازیتی خازن بار، تلفات هدایت از مقاومت داخلی سویچ‌های مبدل باکنشی می‌شود که از رابطه زیر محاسبه می‌شود:

$$P_{con} = R_{on} I_{rms}^2 = R_{on} (I_{ave}^2 + \frac{\Delta I^2}{12}) \quad (5)$$

جایی که ΔI ریپل جریان سلف و R_{on} مقاومت داخلی مسافت‌های M_p و M_n است. ریپل جریان سلف به صورت زیر است:

$$\Delta I = \frac{V_{dd}(1-D(t))D(t)}{L f_{sw}} = \frac{V_{dd}}{L f_{sw} T_{ch}} (t - \frac{t^2}{T_{ch}}) \quad (6)$$

بنابراین، اتلاف هدایت انرژی از رابطه زیر بدست می‌آید:

$$E_{con} = \int_0^{T_{ch}} P_{con} dt = R_{on} (I_{ave}^2 + \frac{V_{dd}^2}{360 L^2 f_{sw}^2}) T_{ch} \quad (7)$$

از آنجا که ضریب تحرک الکترون μ_n تقریباً 2.5 برابر ضریب تحرک حفره μ_p است، عرض گیت مسافت pMOS مبدل باک 2.5 برابر عرض گیت مسافت nMOS متناظر با آن در نظر گرفته شده است. بنابراین، مقاومت داخلی سویچ‌های مبدل باک، R_{on} به صورت زیر قابل بیان است:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W_n}{l} (V_{dd} - |V_{th}|)} = \frac{1}{\mu_p C_{ox} \frac{W_p}{l} (V_{dd} - |V_{th}|)} \quad (8)$$

جایی که C_{ox} خازن اکسید گیت، V_{th} ولتاژ آستانه روشن شدن سویچ‌ها، l طول کانال مسافت‌ها و برابر $0.18 \mu m$ است، W_p و W_n به ترتیب عرض گیت سویچ‌های nMOS و pMOS می‌باشند. تلفات سویچینگ ناشی از مجموع خازن‌های داخلی سویچ‌ها در گره f ، C_{sw} و هم‌پوشانی ولتاژ-جریان مسافت‌های مبدل باک به‌هنگام خاموش و روشن شدن است. اتلاف سویچینگ، P_{sw} از رابطه زیر بدست می‌آید:

$$P_{sw} = \frac{1}{2} V_{dd} I_{sc} (t_r + t_f) f_{sw} + f_{sw} C_{sw} V_{dd}^2 \quad (9)$$

بخش DPWM با افزایش زمان وظیفه $D(t)$ سیگنال p ، از یک مقدار مینیمم D_{min} تا یک مقدار ماکزیمم D_{max} ، خازن بار C را شارژ می‌کند. به علاوه مقدار D_{min} و D_{max} ناشی از خازن‌های پارازیتی ارایه خازنی مدار DPWM است که به ترتیب برابر 0.04 و 0.96 می‌باشند [۱۱]. کنترل‌کننده زمان وظیفه (DCC) در یک نرخ قابل برنامه‌ریزی کد ۸ بیتی D-C را برای آرایه خازنی بخش DPWM تولید می‌کند. همچنین، با تنظیم آستانه شمارش N_{ch} شمارنده دیجیتال (digital counter)، زمان شارژ T_{ch} را تعیین می‌کند [۱۱]. شمارنده دیجیتال شروع می‌کند به شمارش لبه‌های بالارونده سیگنال p ، زمانی که تعداد لبه‌های شمارش شده به N_{ch} برسد، زمان وظیفه $D(t)$ به اندازه $1/256$ افزایش می‌یابد. سپس شمارنده دیجیتال به صفر منطقی ریست می‌شود و فرایند شمارش از سر گرفته می‌شود. زمان شارژ T_{ch} به صورت زیر بیان می‌شود:

$$T_{ch} = \frac{N_{ch} 2^{n-bit}}{f_{sw}} \quad (3)$$

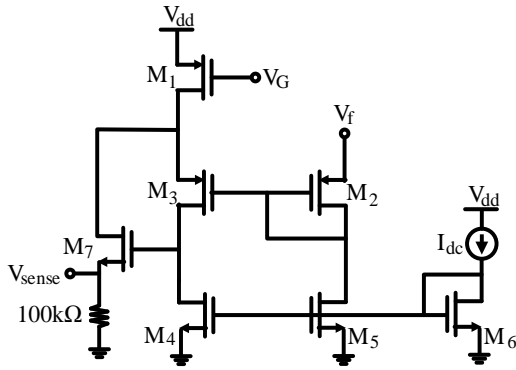
جایی که f_{sw} فرکانس سویچینگ سیگنال p و V_G است. n -bit برابر با ۸ است. شکل موج‌های عملکرد کلی مدار شارژر CMOS در شکل ۵ نشان داده شده است. وقتی که V_G صفر منطقی (0V) است، M_{ps} روشن و M_{pb} روشن یا خاموش است (به مقدار V_i بستگی دارد) و ترانزیستورهای nMOS متناظر پایینی قطع می‌باشند. در این حالت جریان سلف i_L شروع به افزایش می‌کند. وقتی که V_G یک منطقی (V_{dd}) می‌شود، M_{ns} روشن و M_{nb} روشن یا خاموش است و همچنین ترانزیستورهای pMOS متناظر بالایی قطع می‌شوند. پس در این حالت جریان سلف i_L شروع به کاهش می‌کند. با فرض اینکه خازن به صورت خطی به V_{dd} می‌رسد، متوسط جریان سلف در طول عملیات شارژ برابر است با CV_{dd}/T_{ch} . زمان وظیفه $D(t)$ در هر تناوب برابر است با t_{on}/T_{sw} و t_{off}/T_{sw} تناوب سویچینگ سیگنال‌های p و V_G است و t_{on} زمان صفر بودن این دو سیگنال است. مقدار T_{sw} به ازای P_{in} های مختلف ثابت و برابر $1 \mu s$ است. بسته به چگالی توان باتری، ماکزیمم جریان سلف محدود به ماکزیمم جریان باتری است.

۲-۲ تحلیل تلفات

مجموع تلفات انرژی برای یک شارژر نوع مبدل باک در حالت کلی شامل سه بخش تلفات است. برای سهولت ارائه روابط، ساختار رایج شکل ۲ را مورد تحلیل قرار می‌دهیم. کل تلفات انرژی به صورت زیر محاسبه می‌شود:

$$E_{loss} = E_{con} + E_{sw} + E_{cnt} = P_{loss} T_{ch} = (P_{con,ave} + P_{sw,ave} + P_{cnt,ave}) T_{ch} \quad (4)$$

جایی که E_{con} معرف اتلاف هدایت انرژی، E_{sw} اتلاف سویچینگ انرژی و E_{cnt} اتلاف انرژی بخش کنترلی است. $P_{con,ave}$ متوسط اتلاف هدایت توان در طول عملیات شارژ، $P_{sw,ave}$ متوسط اتلاف سویچینگ



شکل (۷): شماتیک حسگر جریان

سازی شده است. با استفاده از این رویکرد تلفات سوئیچینگ در یک بازه وسیعی از انتقال توان پایین کاهش یافته است. شماتیک مقایسه‌گر Comp و حسگر جریان (Current sensor) به ترتیب در شکل‌های ۶ و ۷ نشان داده شده است. در ساختار پیشنهادی، تغییرات جریان سلف توسط حسگر جریان آشکار می‌شود و سیگنال V_{sense} را برای مقایسه‌گر تولید می‌کند. با افزایش توان ورودی P_{in} ، قله جریان سلف و در نتیجه V_{sense} افزایش می‌یابد. مقایسه‌گر با مقایسه سیگنال V_{sense} با V_{ref} ، سیگنال R را برای لچ R-S تولید می‌کند. سیگنال V_s بعد از 10ns یک بودن، صفر می‌شود و به منظور درست کار کردن لچ به گره S داده شده است. برای متوسط توان‌های ورودی کمتر از متوسط توان ورودی مرز $V_{sense}(P_{in} \leq P_{in,c})$ کمتر از V_{ref} شده و V_i یک منطقی می‌شود که باعث خاموش شدن سوئیچ‌های بزرگ M_{nb} و M_{pb} می‌شود. این عمل باعث کاهش مجموع خازن‌های داخلی سوئیچ‌های مبدل باک در گره f و همچنین کاهش جریان اتصال کوتاه سوئیچ‌های مبدل باک می‌شود. بنابراین یک کاهش چشمگیر در تلفات سوئیچینگ را به دنبال دارد، شکل ۸، a. همچنین، در این حالت R_{on} برابر R_s خواهد بود. همان‌طور که در شکل ۸، b نشان داده شده، به ازای V_i به صفر منطقی ریست می‌شود. بنابراین مسافت‌های

t_f و t_r به ترتیب زمان خیز در یک شدن سیگنال V_f و زمان افت در صفر شدن آن می‌باشند. I_{sc} جریان اتصال کوتاه سوئیچ‌های مبدل باک است. اتلاف سوئیچینگ انرژی برابر است با:

$$E_{sw} = \int_0^{T_{ch}} P_{sw} dt = \left\{ \frac{1}{2} V_{dd} I_{sc} (t_r + t_f) f_{sw} + f_{sw} C_{sw} V_{dd}^2 \right\} T_{ch} \quad (10)$$

و اتلاف بخش کنترلی به صورت زیر قابل محاسبه است:

$$P_{cnt} = f_{sw} C_{cnt} V_{dd}^2 \quad (11)$$

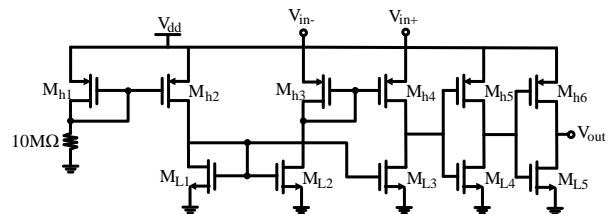
C_{cnt} مجموع خازن موثر بخش کنترلی است. اتلاف انرژی بخش کنترلی برابر است:

$$E_{cnt} = \int_0^{T_{ch}} P_{cnt} dt = C_{cnt} V_{dd}^2 f_{sw} T_{ch} \quad (12)$$

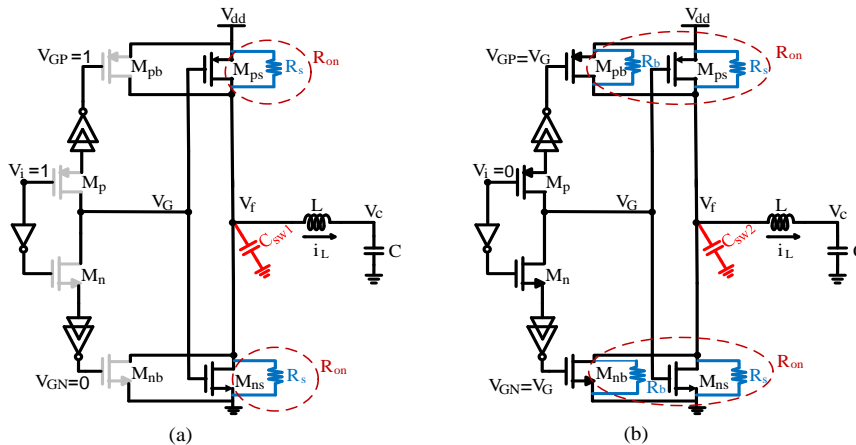
در این کار، برای P_{in} بین 0.5mW تا 30mW، سهم تلفات سوئیچینگ و هدایت بیشتر از بخش کنترلی است. متوسط اتلاف بخش کنترلی در طول یک سیکل شارژ برابر 48μW است.

۳- رویکرد سوئیچ‌های موازی پیشنهادی

نحوه عملکرد بخش GCPS به منظور کنترل جریان سلف و همچنین تحلیل تلفات برای یک شارژر نوع مبدل باک توضیح داده شد. با استفاده از یک حلقه فیدبک که متشکل از حسگر جریان، مقایسه‌گر Comp و لچ R-S است، رویکرد سوئیچ‌های موازی پیاده

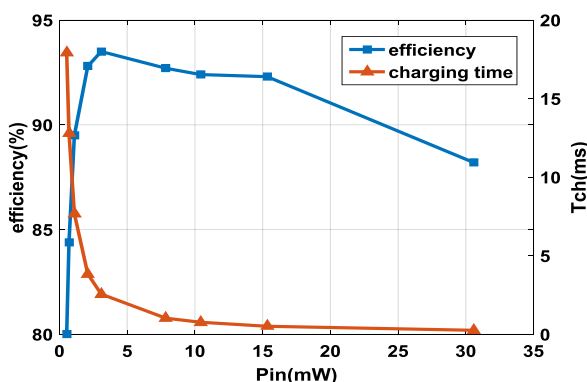


شکل (۶): شماتیک مقایسه‌گر Comp

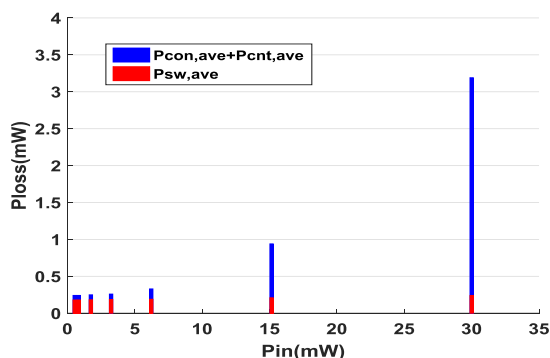


شکل (۸): توصیف رویکرد سوئیچ‌های موازی، مدار معادل: (a) برای $P_{in} \leq P_{in,c}$ ، (b) برای $P_{in} > P_{in,c}$

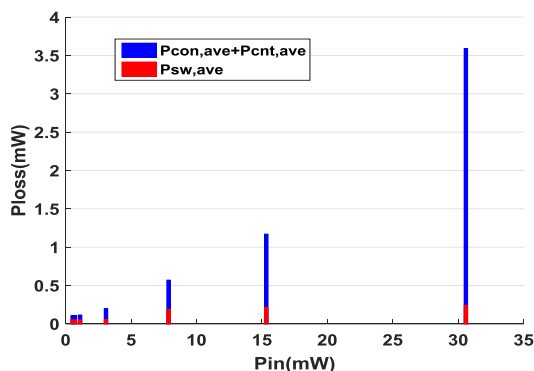
برابر 3.08mW است. متوسط اتلاف توان در طول فرایند شارژ و همچنین سهم اتلاف سویچینگ برای ساختار شارژر رایج [11] تحت تغییرات P_{in} در شکل ۱۱ نشان داده شده است. تقریباً برای P_{in} های کمتر از 7mW مشاهده می‌شود که سهم اتلاف سویچینگ بزرگتر از سایر بخش‌های اتلاف توان است. همچنین با کمتر شدن P_{in} این سهم نیز بیشتر شده است. متوسط اتلاف توان و همچنین سهم اتلاف سویچینگ تحت تغییرات P_{in} برای ساختار ارائه شده در این کار، در شکل ۱۲ نشان داده شده



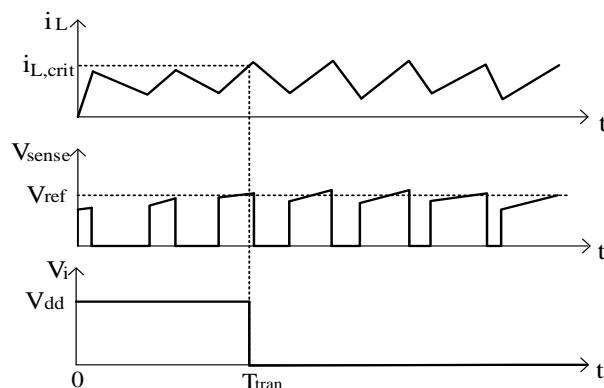
شکل (۱۰): نتایج شبیه سازی مدار پیشنهادی به ازای $W_{ps}=220\mu\text{m}$



شکل (۱۱): متوسط اتلاف توان در مقابل تغییرات P_{in} برای ساختار رایج



شکل (۱۲): متوسط اتلاف توان در مقابل تغییرات P_{in} برای ساختار پیشنهادی

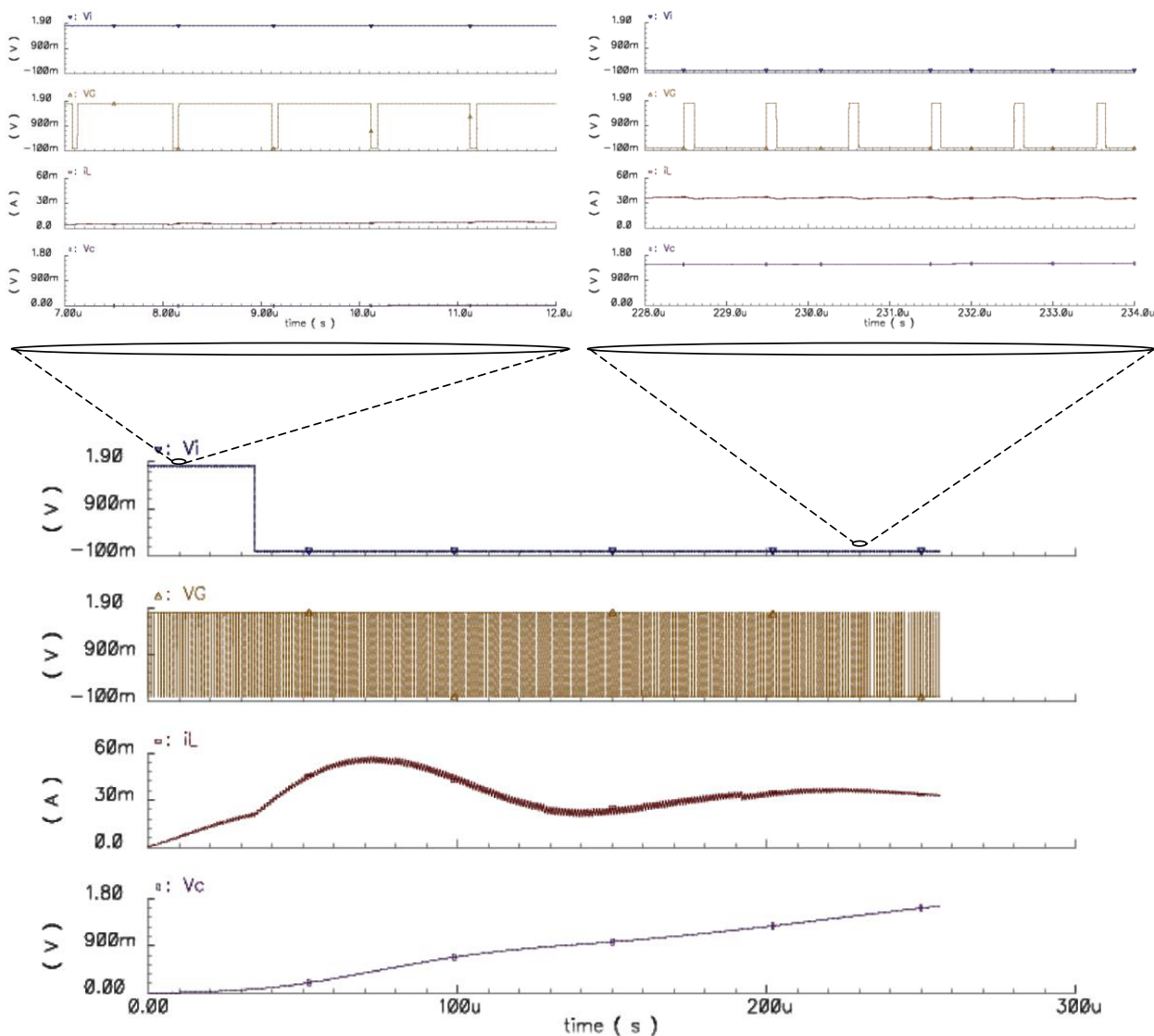


شکل (۹): شکل موج‌های واقعی ناشی از اثر غیر ایده‌آل برای $P_{in} > P_{in,c}$

کوچک و بزرگ با هم موازی می‌شوند که مجموع عرض گیت افزایش می‌یابد و نتیجه در کاهش R_{on} خواهد داشت و مقدار آن برابر $(R_s || R_b)$ است. به صورت ایده‌آل، برای $P_{in} > P_{in,c}$ V_i صفر منطقی است اما در حالت واقعی جریان سلف در طول زمان گذر T_{tran} ، به جریان سلف مرزی $i_{L,crit}$ می‌رسد و در طول این زمان مقدار V_i یک منطقی خواهد بود. جایی که مقدار V_{sense} در $t = T_{tran}$ تقریباً برابر V_{ref} است که در شکل ۹ نشان داده شده است. در آغاز فرایند شارژ، به دلیل این اثر غیر ایده‌آل سیگنال R برابر صفر است و برای عملکرد درست لچ سیگنال V_s به گونه‌ای کنترل شده به پایه S داده شده است. همچنین این اثر غیرایده‌آل تلفات هدایت را در طول زمان گذر T_{tran} افزایش می‌دهد. با افزایش P_{in} سطح ولتاژ V_{sense} افزایش می‌یابد که زمان گذر و در عین حال اثر غیرایده‌آلی را کاهش می‌دهد.

۴- ارزیابی نتایج شبیه‌سازی

مدار شارژ آدیباتیک ارائه شده در فناوری $0.18\mu\text{m}$ TSMC CMOS طراحی و شبیه‌سازی شده است. مطابق شکل ۲، در ساختار [۱۱] عرض گیت سویچ $p\text{MOS}$ برابر $W_p=800\mu\text{m}$ است. به منظور مقایسه عادلانه نتایج ساختار پیشنهادی با ساختار رایج، مجموع عرض گیت سویچ‌های $p\text{MOS}$ در ساختار پیشنهادی برابر $800\mu\text{m}$ ، برابر $(W_{pb} + W_{ps} = W_p = 800\mu\text{m})$ در نظر گرفته شده است. توجه کنید، تغییرات ظرفیت توان ورودی P_{in} باعث تغییر زمان شارژ T_{ch} میشود. بازدهی و زمان شارژ در مقابل تغییرات P_{in} برای $W_{ps}=220\mu\text{m}$ در شکل ۱۰ نشان داده شده است. کمترین بازدهی به ازای $P_{in}=0.531\text{mW}$ و $T_{ch}=17.92\text{ms}$ بدست آمده و برابر 80% است. همچنین بیشترین بازدهی برابر 93.5% است که به ازای $P_{in}=3.08\text{mW}$ و $T_{ch}=2.56\text{ms}$ رخ داده است. متوسط توان ورودی مرز $P_{in,c}$ با تنظیم ولتاژ مرجع V_{ref} تعیین می‌شود. در این طراحی به ازای $V_{ref}=1.145\text{V}$ و $W_{ps}=220\mu\text{m}$ مقدار $P_{in,c}$



شکل (۱۳): پاسخ گذرای مدار پیشنهادی برای $P_{in}=30mW$ و $W_{ps}=220\mu m$

جدول (۱): مقایسه عملکرد مدار شارژ آدیباتیک با ساختارهای قبلی

Main characteristics	This work	Simulated results of [11]	Ref [11]	Ref [6]	Ref [13]
Technology (μm)	0.18	0.18	0.25	2	0.18
Supply voltage (V)	1.8	1.8	4.2	5	1.8
Type charger	Buck converter	Buck converter	Bidirectional buck converter	Switch-capacitor	Buck converter
Load capacitor	$5\mu F$	$5\mu F$	$10\mu F$	$880pF$	$5\mu F$
Switching frequency(MHz)	1	1	1.5	N/A	1-10
Efficiency (%) for: 0.53mW-30mW	80-88.2	55.3-89.3	N/A	N/A	N/A
Peak efficiency (%)	93.5 @ $P_{in}=3.08mW$	94.6 @ $P_{in}=6.22mW$	93	80	90.6 @ $P_{in}=1.81mW$
T_{ch} for: 0.53mW -30mW Peak efficiency	17.92ms-0.256ms 2.56ms	25.6ms-0.256ms 1.28ms	1.25ms	$0.5\mu s$	4.87ms

- harvesting," IEEE Transactions on Microwave Theory and Techniques, vol. 59, no. 12, pp. 3546-3555, 2011.
- [3] M. Yousefi, Z. Koozehkanani, and J. Sobhi, "A 910MHz Injection Locked BFSK Transceiver for Wireless Body Sensor Network Using Colpitts Oscillator," Journal of Iranian Association of Electrical and Electronics Engineers, vol. 14, no. 4, pp. 63-69, 2018.
- [4] C. Alippi and C. Galperti, "An adaptive system for optimal solar energy harvesting in wireless sensor network nodes," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 55, no. 6, pp. 1742-1750, 2008.
- [5] A. S. Weddell, G. V. Merrett, T. J. Kazmierski, and B. M. Al-Hashimi, "Accurate supercapacitor modeling for energy harvesting wireless sensor nodes," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 58, no. 12, pp. 911-915, 2011.
- [6] L. J. Svensson and J. G. Koller, "Driving a capacitive load without dissipating fCV/sup 2," in Proceedings of 1994 IEEE Symposium on Low Power Electronics, 1994, pp. 100-101.
- [7] E. Kordetoodeshki and A. Hassanzadeh, "Design of low voltage low power DC-DC converters using adiabatic technique," Journal of Circuits, Systems and Computers, vol. 27, no. 6, pp. 1850094, 2018.
- [8] F. Veirano, P. C. Lisboa, P. Pérez-Nicoli, L. Naviner, and F. Silveira, "Analysis of stepwise charging limits and its implementation for efficiency improvement in switched capacitor DC-DC converters," Analog Integrated Circuits and Signal Processing, pp. 1-12, 2021.
- [9] A. S. Kumar, S. Jain, and N. Pandey, "Clock Aligned Input Adiabatic Logic," Microelectronics Journal, p. 105122, 2021.
- [10] S. Nakata, H. Makino, J. Hosokawa, T. Yoshimura, S. Iwade, and Y. Matsuda, "Energy efficient stepwise charging of a capacitor using a DC-DC converter with consecutive changes of its duty ratio," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 7, pp. 2194-2203, 2014.
- [11] M. Lee and J. Kim, "Design of a 93% energy-efficient buck-type capacitor charger IC in 250-nm CMOS," IEEE Transactions on Industry Applications, vol. 52, pp. 3203-3211, 2016.
- [12] M. Lee, J. Yang, M.-J. Park, S.-Y. Jung, and J. Kim, "Design and analysis of energy-efficient single-pulse piezoelectric energy harvester and power management IC for battery-free wireless remote switch applications," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 65, no. 4, pp. 366-379, 2017.
- [13] M. Amraee, M. Habibi, "Application of a sigma-delta modulator for adiabatic charging of an output stage capacitor," International Journal of Electronics, pp. 1-16, 2021.

[۱۴] حسن زاده علیرضا، صانعی محمد، "طراحی و پیاده سازی سیستم

انتقال انرژی بی سیم برای کاربردهای توان پایین"، نشریه مهندسی

برق و الکترونیک ایران، جلد (۲) ۱۷، ۱۳-۱۹، ۱۳۹۹.

زیرنویس‌ها

¹ Wireless sensor networks

² Adiabatic

³ Dynamic losses

است. همان‌طور که انتظار می‌رفت، برای $P_{in} \leq 3.08mW$ سهم تلفات سوئیچینگ برای ساختار پیشنهادی به صورت قابل توجهی نسبت به ساختار رایج کاهش یافته است. با مقایسه شکل ۱۱ با ۱۲ می‌توان دریافت که در ساختار رایج به ازای توان‌های ورودی $P_{in} \leq 3.08mW$ ، سهم تلفات سوئیچینگ به نسبت بقیه اجزای اتلاف کننده توان بیشتر است. بنابراین، با اعمال روش سوئیچ‌های موازی متوسط اتلاف توان، Ploss به ازای $P_{in} \leq 3.08mW$ برای ساختار پیشنهادی کمتر از ساختار رایج شده است. همچنین در ساختار پیشنهادی برای $P_{in} > 3.08mW$ به دلیل وجود اثر غیره ایده آلی حسگر جریان، در طول زمان T_{tran} تلفات هدایت افزایش یافته است، (در شکل ۹ اثر غیر ایده‌آلی نشان داده شده است). این افزایش اتلاف هدایت باعث شده است که در توان‌های $P_{in} > 3.08mW$ ، متوسط اتلاف توان ساختار پیشنهادی نسبت به ساختار رایج بیشتر شود. لازم به ذکر است که افزایش متوسط اتلاف توان در توان‌های انتقالی زیاد، اثر کمی در کاهش بازدهی ساختار پیشنهادی نسبت به ساختار رایج دارد. همان‌گونه که در جدول ۱ نشان داده شده است به ازای $P_{in} = 30mW$ ، بازدهی برای ساختار پیشنهادی برابر 88.2% است ولی برای ساختار رایج 89.3% است. تاثیر راهکار پیشنهادی در بهبود بازدهی در توان‌های انتقالی پایین به وضوح دیده می‌شود. مطابق جدول به ازای $P_{in} = 0.53mW$ ، بازدهی ساختار پیشنهادی به 80% رسیده است. در حالی که برای ساختار رایج 55.3% است. پاسخ گذرای مدار برای $P_{in} = 30mW$ و $W_{ps} = 220\mu m$ در شکل ۱۳ نشان داده شده است. چندین پارامتر مهم، شامل بازدهی و زمان شارژ خازن بار در این کار با کارهای مقایسه شده و در جدول ۱ نشان داده شده است.

۵- نتیجه‌گیری

در این مطالعه، یک مدار شارژ آدیباتیک با بازدهی بالا در فناوری TSMC 0.18 μm CMOS پیاده‌سازی شد. با تحلیل تلفات در ظرفیت‌های مختلف انتقال توان و همچنین با کاهش تلفات سوئیچینگ در توان‌ها انتقالی پایین، بازدهی مدار به صورت چشمگیری بهبود یافته است. به منظور نشان دادن تاثیر رویکرد پیشنهادی، یک مقایسه کامل با کارهای مشابه قبلی در شرایط عملکرد یکسان، صورت گرفت. ایده سوئیچ‌های موازی ارائه شده در این مقاله می‌تواند برای سایر مبدل‌های dc-dc در طراحی CMOS به کار گرفته شود.

مراجع

- [1] S. Chamanian, H. Uluşan, Ö. Zorlu, S. Baghaee, E. Uysal-Biyikoglu, and H. Külah, "Wearable battery-less wireless sensor network with electromagnetic energy harvesting system," Sensors and Actuators A: Physical, vol. 249, pp. 77-84, 2016.
- [2] M. Danesh and J. R. Long, "An autonomous wireless sensor node incorporating a solar cell antenna for energy

- ⁴ Buck converter
- ⁵ Continuous conduction mode
- ⁶ Feedback
- ⁷ Gate controller of parallel switches
- ⁸ Duty-cycle controller
- ⁹ Digital pulse-width modulator