

یک ساختار جدید مبتنی بر سویچ-دیود برای اینورتر چندسطحی با قابلیت تغذیه با یک منبع ولتاژ DC

مجید حسین پور^۱ علی سیفی^۲

۱- دانشیار- گروه مهندسی برق - دانشکده فنی و مهندسی - دانشگاه محقق اردبیلی- اردبیل- ایران

Hoseinpour.majid@uma.ac.ir

۲- دانش آموخته کارشناسی ارشد- گروه مهندسی برق - دانشکده فنی و مهندسی - دانشگاه محقق اردبیلی- اردبیل- ایران

ali_seifi@student.uma.ac.ir

چکیده: اینورترهای چندسطحی برای کاربردهای با سطح توان/ولتاژ متوسط/بالا، کاربرد قابل قبولی در صنعت داشته و به صورت تجاری مورد استفاده قرار می‌گیرند. عملکرد اینورترهای چندسطحی (MLI) در مقایسه با اینورترهای دوسطحی متداول به دلیل اعوجاج هارمونیکی قابل اغماض، اندازه فیلتر کوچک، نیاز به ادوات با سطح ولتاژ نامی پایین، تداخل الکترومغناطیسی کم و غیره به طور قابل توجهی برتری دارد. با این حال در مقابل این مزایای زیاد، معایب کمی مانند تعداد ادوات بیشتر و استراتژی کنترلی پیچیده قابل بیان است. این مقاله یک ساختار جدید اینورتر چندسطحی مبتنی بر سوئیچ-دیود برای بهبود عملکرد اینورترهای چندسطحی با اصلاح معایب ذکر شده را ارائه می‌دهد. در مقایسه با ساختارهای موجود اینورتر چندسطحی، ساختار پیشنهادی به تعداد سوئیچ و مدارات راه‌انداز کمتری نیاز دارد. علاوه بر این، تنش ولتاژ غالب سوئیچ‌های ساختار پیشنهادی نیز مقادیر بالایی نداشته و مقادیر قابل قبولی دارد. ساختار پیشنهادی با سایر ساختارهای مشابه مقایسه شده و برتری آن مورد بررسی قرار است. برای نشان دادن کارکرد صحیح ساختار پیشنهادی، علاوه بر شبیه‌سازی با تکنیک کلیدزنی نزدیک‌ترین سطح، نمونه اولیه‌ای از ساختار پیشنهادی پیاده‌سازی و تست شده است. نتایج حاصل شده، عملکرد مناسب ساختار پیشنهادی را در محیط واقعی نشان می‌دهند.

واژه‌های کلیدی: اینورتر چندسطحی، مدولاسیون نزدیکترین سطح (NLM)، کاهش تعداد ادوات کلیدزنی

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.19.4.57

تاریخ ارسال مقاله: ۱۳۹۹/۱۱/۱۷

تاریخ پذیرش مشروط مقاله: ۱۴۰۰/۵/۲۹

تاریخ پذیرش مقاله: ۱۴۰۰/۶/۲۸

نام نویسنده‌ی مسئول: دکتر مجید حسین پور

نشانی نویسنده‌ی مسئول: ایران - اردبیل - خیابان دانشگاه - دانشگاه محقق اردبیلی - دانشکده‌ی فنی مهندسی

۱- مقدمه

اینورترهای منبع ولتاژ چندسطحی در چند دهه اخیر در طیف گسترده‌ای از کاربردهای ولتاژ بالا و متوسط استفاده شده است [۱]. در مقایسه با ساختارهای دوسطحی متداول، مبدل‌های چندسطحی جدید مزایای بیشتری مانند تولید ولتاژ با کیفیت بالا، توان خروجی بالا با استفاده از ادوات با ولتاژ نامی پایین، تنش dv/dt پایین‌تر، تلفات توان سوئیچینگ پایین و اعوجاج جریان ورودی کم دارا می‌باشند [۲]. این ویژگی‌های جالب به همراه پیشرفت بالای نیمه‌هادی‌های قدرت و ارزانی قیمت آن‌ها، منجر به استفاده از اینورترهای منبع ولتاژ چندسطحی به عنوان واسط بین سیستم‌های فتوولتائیک تجدیدپذیر و شبکه قدرت شده است [۳]. اولین ساختار چندسطحی با منابع DC مجزا، با عنوان ساختار پل H آبخاری (CHB) در اواسط دهه ۱۹۷۰ طراحی و پیاده‌سازی شد. در دهه ۱۹۸۰ ساختار نقطه خنثی مهارشده (NPC) با استفاده از یک منبع DC ارائه شد. در دهه ۱۹۹۰ ساختار خازن شناور (FC) ارائه شد که این سه ساختار به عنوان ساختارهای اینورتر چندسطحی متداول محسوب می‌شوند [۴]. اگرچه اینورترهای منبع ولتاژ چندسطحی در چند دهه اخیر برای محققان قابل توجه بوده و به طور گسترده‌ای در کاربردهای صنعتی مورد استفاده قرار گرفته است، اما همچنان یک چالش اساسی این مبدل، طراحی و ارائه ساختارهای جدید با ادوات کلیدزنی کمتر برای تولید سطوح ولتاژ زیاد است [۵، ۶].

چالش اصلی اینورترهای NPC و FC شامل تعادل ولتاژ خازن‌ها، نیاز به تعداد زیادی دیود/خازن، قابلیت اطمینان پایین به دلیل اتصالات سری سوئیچ‌ها است. اینورتر CHB چند منبعه به دلیل مدولار بودن و قابلیت اطمینان بالا نسبت به اینورترهای تک منبعه، توجه ویژه‌ای به خود جلب کرده‌اند. با این وجود، اینورتر CHB متقارن در ضمن بهره‌مندی از کنترل ساده‌تر، به ادوات کلیدزنی زیادی نیاز دارد. نیاز به تعداد زیاد ادوات کلیدزنی زیاد و منابع DC مجزا، محدودیت اصلی برای ساختار CHB متداول است. در سال‌های اخیر تحقیقات زیادی برای بهبود پیکربندی اینورترهای چندسطحی انجام شده است. از ساختارهای مختلف اینورترهای چندسطحی سویچ‌کاهش یافته می‌توان به اینورترهای چندسطحی مبتنی بر منبع DC سوئیچ شونده، اینورترهای چندسطحی مبتنی بر خازن سوئیچ شونده و اینورترهای چندسطحی دیود سوئیچ شونده اشاره نمود [۷-۹].

یکی از راهکارهای کاهش تعداد سویچ‌ها و مدارات راه‌انداز و در نتیجه کاهش هزینه و ابعاد مدار، ارائه ساختار چندسطحی مبتنی بر سویچ-دیود است. در اکثر ساختارهای مبتنی بر سویچ-دیود یک چالش مهم و اساسی وجود دارد که می‌تواند کارایی چنین ساختارهایی را دچار مشکل کند. اکثر این ساختارها برای بارهای اهمی و کاربردهای با ضریب توان نزدیک به یک قابل استفاده هستند و برای کاربردهای با رفتار اهمی-سلفی مانند درایو موتورهای الکتریکی ناکارآمد هستند.

دلیل این ناکارآمدی، جریان برگشتی ناشی از همفاز نبودن ولتاژ و جریان در بار اهمی-سلفی است. نتیجه جریان برگشتی در صورت نبود مسیر برای چنین جریانی، ایجاد ضربه و پرش در ولتاژ خروجی است که کیفیت ولتاژ را پایین می‌آورد. تحقیقات [۱۴-۱۰] که در آن‌ها از ساختار مبتنی بر دیود-سویچ ارائه شده و مشکل جریان برگشتی دارند که در ادامه یکی از این ساختارها بررسی شده و دلیل ایجاد پرش ولتاژ در خروجی تشریح می‌شود.

برای برطرف کردن جریان برگشتی ناشی از وجود دیود در ساختارهای پیشین، اخیراً دو ساختار ارائه شده است که با وجود استفاده از دیود، مشکل جریان برگشتی و پرش ولتاژ ندارند و برای بارهای اهمی-سلفی با ضریب توان‌های پایین هم می‌توانند به درستی کار می‌کنند [۱۶-۱۵]. در این ساختارها با استفاده از یک سنسور جریان، پلاریته لحظه‌ای جریان مشخص بوده و برای مسیرهای جریان حاوی دیود، مسیر جایگزین به نحوی انتخاب می‌شود که مشکل جریان برگشتی و پرش ولتاژ وجود نداشته باشد. طبیعی است استفاده از سنسور جریان تا حدودی کنترل ساختار را پیچیده می‌کند. اخیراً یک ساختار حاوی دیود جایگزین سویچ در [۱۷] ارائه شده که جهت عملکرد صحیح نیازی به سنسور جریان نیز ندارد. ساختار پایه این اینورتر چندسطحی توانایی تولید یازده سطح را داشته و برای این منظور از ۱۰ سوئیچ و دو دیود استفاده می‌کند که بهبود مناسبی در تعداد سویچ و درایور ایجاد کرده است. نقطه ضعف این ساختار نیاز به تعداد منابع ولتاژ بیش از یک مورد است که هزینه و قابلیت پیاده‌سازی را با چالش مواجه می‌کند.

در خصوص ساختارهای حاوی یک منبع DC می‌توان به ساختارهای ارائه شده در [۱۸] و [۱۹] اشاره کرد. در [۱۸] یک ساختار سه‌فاز تک منبعی که عملاً توسعه یافته ساختار T-Type است ارائه شده است. در [۱۹] یک ساختار مبتنی بر کلیدزنی خازنی با یک منبع DC و قابلیت چندبرابر کنندگی ولتاژ ورودی معرفی شده است. ساختارهای مبتنی بر کلیدزنی خازنی مورد توجه محققان است ولی قابلیت خود متعادل کنندگی ولتاژ خازن‌ها و اندازه بزرگ خازن‌های استفاده شده در آن‌ها جزو چالش‌های چنین ساختارهایی می‌باشد.

در این مقاله یک ساختار مدولار جدید مبتنی بر مجموعه سوئیچ-دیود ارائه شده است که با وجود حضور دیود در ساختار، بدون وجود مشکل جریان بازگشتی می‌تواند به درستی عمل نماید. با وجود حضور دیود در ساختار پیشنهادی، برای انتخاب مسیر جریان برگشتی نیاز به سنسور نبوده و همواره مسیری برای جریان برگشتی در این ساختار وجود دارد. ساختار پیشنهادی علاوه بر حل کردن مشکل جریان برگشتی، از ادوات کلیدزنی و مدارات راه‌انداز کمتری نیز استفاده می‌کند. ساختار بخش‌های بعدی این مقاله به شرح زیر است: در بخش دوم، مشکل جریان برگشتی شرح داده شده و ساختار پایه پیشنهادی به همراه اصول عملکرد آن شرح داده شده است. بخش سوم تجزیه و تحلیل تلفات توان را ارائه می‌دهد. مقایسه ساختار پیشنهادی با سایر

باز می‌گردد. تمام توضیحات ارائه شده فوق برای نیم سیکل منفی نیز برقرار است. نتیجه جایگزینی دیوید به جای سویچ در ساختار مورد بررسی، وجود پرش در ولتاژ خروجی است. بنابراین چنین ساختارهایی

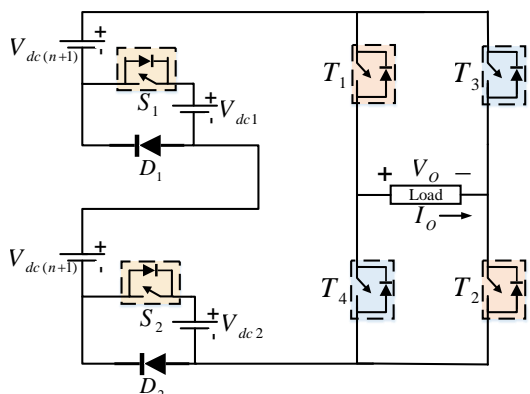
تحقیقات در بخش چهارم و نتایج شبیه‌سازی و پیاده‌سازی تجربی در بخش پنجم ارائه شده است. در نهایت نتیجه‌گیری در بخش ششم ارائه شده است.

۲- تشریح ساختار اینورتر پیشنهادی

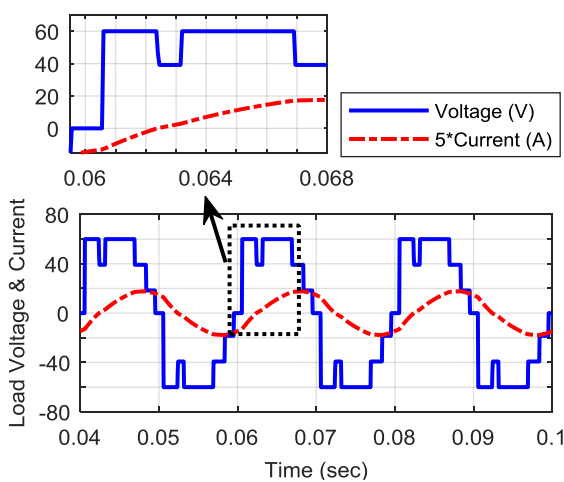
برای تشریح ساختار اینورتر پیشنهادی، ابتدا مشکل جریان برگشتی یک ساختار مبتنی بر دیوید-سویچ توضیح داده خواهد شد. سپس ساختار پایه پیشنهادی و اصول عملکرد آن با وجود دیوید شرح داده شده و در ادامه، پیکربندی تعمیم یافته ساختار پیشنهادی ارائه خواهد شد.

۱-۲- تشریح جریان برگشتی و پرش ولتاژ خروجی

ساختار ارائه شده در [۱۴] در شکل ۱-الف نشان داده شده است. این ساختار به منظور تولید هفت سطح ولتاژ در خروجی از شش سویچ، دو دیوید و چهار منبع ولتاژ مجزا استفاده می‌کند. این ساختار در بار تقریباً اهمی خالص قادر است به درستی و به صورت دوطرفه کار کند. در این ساختار برای بارهایی با ضریب قدرت پایین‌تر از ۰/۹۹۲، پرش ناخواسته ولتاژ در خروجی ظاهر می‌شود. در شکل ۱-ب پرش ولتاژ در حضور بار اهمی-سلفی برای ساختار مورد بررسی نشان داده شده است. عملکرد ساختار ارائه شده در [۱۴] در لحظات ایجاد پرش ولتاژ با جزئیات دقیق مورد بررسی قرار می‌گیرد. در این ساختار، برای تولید سطح ولتاژ اول، باید کلیدهای T_1 و T_2 و دیویدهای D_1 و D_2 روشن شوند و سایر کلیدها خاموش باشند. از آنجا که در بارهای اهمی-سلفی مطابق شکل ۱-الف، جریان با ولتاژ همفاز نبوده و دارای تاخیر نسبت به ولتاژ است، در لحظه ۰/۶۰۶ که ولتاژ خروجی از سطح صفر به سطح یک افزایش می‌یابد و باید به مقدار لحظه‌ای برابر با $V_{dc(n+1)} + V_{dc(n+1)}$ برسد، مقدار لحظه‌ای منفی بوده و در نتیجه قابلیت عبور از دیویدهای D_1 و D_2 را نخواهد داشت (مسیر قرمز در شکل ۲). به دلیل پیوستگی جریان ناشی از وجود سلف در بار خروجی، این جریان به ناچار از مسیری دیگری عبور می‌کند که مسیر موجود برای این منظور، مطابق شکل ۲، دیوید معکوس کلیدهای S_1 و S_2 می‌باشد (مسیر سبز). در این حالت ولتاژ خروجی برابر با مجموع ولتاژهای $V_{dc(n+1)} + V_{dc(n+1)} + V_{dc1} + V_{dc2}$ خواهد بود. تا زمانی که مقدار لحظه‌ای جریان خروجی کوچک‌تر از صفر باشد، ولتاژ خروجی برابر با $V_{dc(n+1)} + V_{dc(n+1)} + V_{dc1} + V_{dc2}$ خواهد بود. در شکل ۱-ب علاوه بر کل بازه زمانی سطح ولتاژ اول، بخشی از بازه زمانی مربوط به سطح ولتاژ دوم نیز ناشی از منفی بودن جریان، دارای پرش ولتاژ است. در سطح ولتاژ دوم، با هدایت سویچ S_2 و دیوید D_1 ولتاژ خروجی برابر با $V_{dc(n+1)} + V_{dc(n+1)} + V_{dc2}$ باید تولید شود. با این وجود به دلیل منفی بودن جریان، همچنان دیوید D_1 نمی‌تواند جریان معکوس را هدایت کند و پرش ولتاژ حاصل شده است. در لحظه ۰/۶۲۴، به محض اینکه مقدار لحظه‌ای جریان بزرگ‌تر از صفر شد، مدار به عملکرد صحیح خود

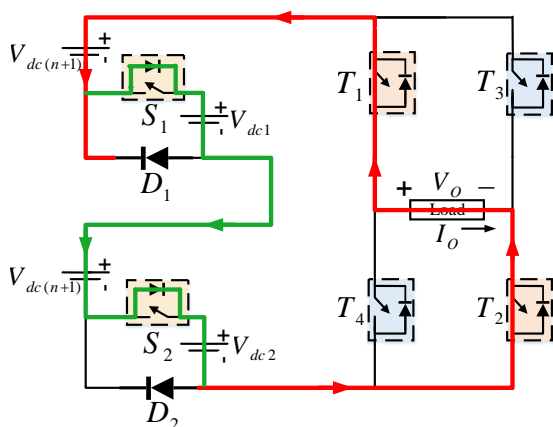


(الف)

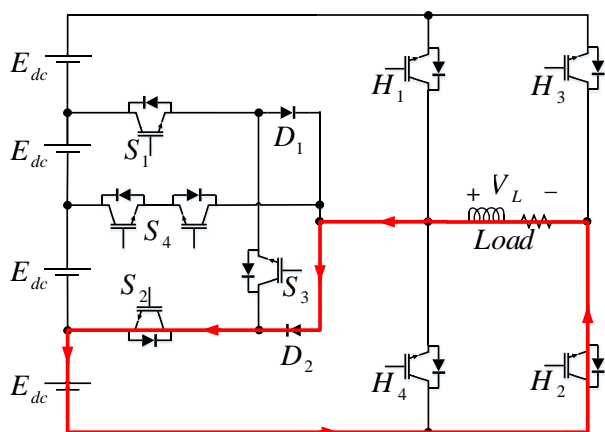


(ب)

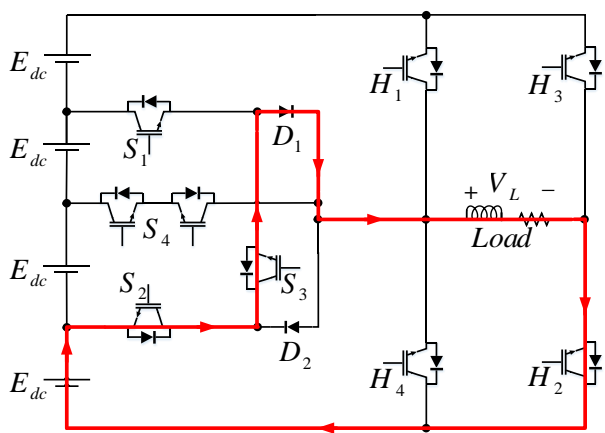
شکل (۱): (الف) ساختار مبدل ارائه شده در [۱۴] و (ب) شکل موج ولتاژ و جریان خروجی



شکل (۲): مسیر عبور جریان برگشتی برای سطح ولتاژ اول در ساختار [۱۴]



(الف)



(ب)

شکل (۴): مسیر عبور جریان لحظه‌ای در ساختار پایه برای تولید ولتاژ E_{dc} (الف) مسیر عبور جریان مثبت (ب) مسیر عبور جریان منفی

ساختار پایه پیشنهادی به دلیل استفاده از دیوید به جای سویچ در حالی که هیچ مشکلی از لحاظ جریان برگشتی برای بارهای اهمی-سلفی ندارد، در تعداد سوئیچ‌ها بهبود قابل توجهی حاصل کرده است. این بهبود در قسمت مقایسه تعداد سوئیچ‌ها به وضوح نشان داده خواهد شد.

۲-۳- ساختار تعمیم‌یافته پیشنهادی

ساختار پایه بررسی شده در بخش قبل می‌تواند به صورت مدولار تعمیم یافته و سطوح ولتاژ بالا را تولید نماید. در ساختار تعمیم‌یافته، مطابق شکل ۵ برای اضافه کردن دو سطح ولتاژ به سطوح خروجی، یک سوئیچ دوطرفه ولتاژ/جریان به ساختار اضافه می‌شود. اگر سوئیچ دوطرفه به صورت امیتر مشترک استفاده شود، صرفاً به یک درایور برای راه‌اندازی نیاز دارد. از این رو با افزایش تعداد سطوح ولتاژ در ساختار تعمیم یافته، تعداد درایورهای سوئیچ کمتر از ساختارهای مشابه خواهد بود.

تعداد سطوح خروجی، تعداد IGBT، تعداد درایور و تعداد دیوید ساختار تعمیم یافته پیشنهادی توسط روابط زیر ارائه شده است:

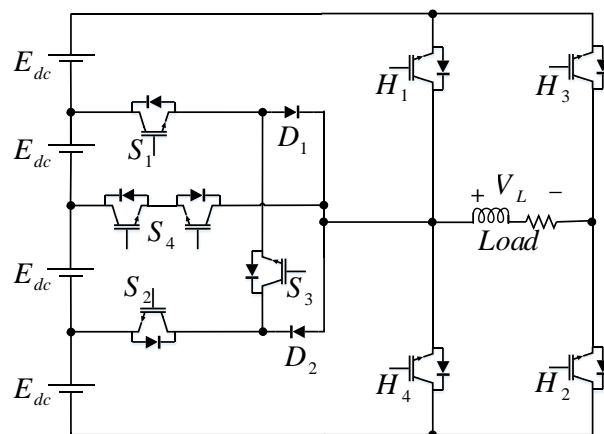
دارای کاربرد محدود و صرفاً برای بارهای اهمی خالص و یا بارهای اهمی-سلفی با ضریب توان نزدیک به یک قابل بهره‌برداری هستند.

۲-۲- ساختار پایه پیشنهادی

شکل ۳ ساختار پایه پیشنهادی را نشان می‌دهد. چهار منبع ولتاژ DC، هشت سوئیچ و دو دیوید اجزای تشکیل دهنده ساختار پایه پیشنهادی است. جدول ۱ حالات کلیدزنی ساختار پایه پیشنهادی را ارائه می‌دهد. ساختار پیشنهادی با وجود استفاده از دیوید قادر است در بارهای اهمی-سلفی، به درستی و بدون ایجاد پرش ولتاژ کار کند. برای تشریح این موضوع در سطح ولتاژ اول، اگر جریان بار مثبت باشد مطابق شکل ۴-الف جریان از کلیدهای S_2, S_3, S_4 و H_2 و دیوید D_1 عبور می‌کند و اگر در بازه زمانی تولید سطح ولتاژ اول، جریان بار منفی باشد، مطابق شکل ۴-ب، جریان از کلیدهای S_2, S_3 و H_2 و دیوید D_2 عبور می‌کند و جریان لحظه‌ای منفی قابلیت عبور از مسیر مشخص شده را دارد. به عبارت دیگر بدون نیاز به تجهیز اضافی، ساختار پیشنهادی قادر است مسیر لازم برای جریان لحظه‌ای مثبت و منفی را برای تمام سطوح ولتاژ فراهم سازد و قابلیت انتقال خودکار از مسیر هدایت جریان منفی به مثبت و برعکس را بدون نیاز سنسور یا تغییر در پالس‌های کلیدزنی دارا می‌باشد.

جدول (۱): حالات کلیدزنی ساختار پایه پیشنهادی

Level	Switching state (1=on; 0=off)								V_o
	S_1	S_2	S_3	S_4	H_1	H_2	H_3	H_4	
+4	0	0	0	0	1	1	0	0	$+4E_{dc}$
+3	1	0	1	0	0	1	0	0	$+3E_{dc}$
+2	0	0	0	1	0	1	0	0	$+2E_{dc}$
+1	0	1	1	0	0	1	0	0	$+E_{dc}$
0	0	0	0	0	1	0	1	0	0
-1	1	0	1	0	0	0	1	0	$-E_{dc}$
-2	0	0	0	1	0	0	1	0	$-2E_{dc}$
-3	0	1	1	0	0	0	1	0	$-3E_{dc}$
-4	0	0	0	0	0	0	1	1	$-4E_{dc}$



شکل (۳): ساختار پایه پیشنهادی

چشم‌پوشی بوده و از تلفات حالت خاموش در المان الکترونیک قدرت چشم‌پوشی می‌شود. بنابراین فقط تلفات هدایتی و کلیدزنی برای برآورد تلفات مبدل‌های الکترونیک قدرت اندازه‌گیری می‌شود.

ساختار پایه پیشنهادی دارای هفت سویچ یک طرفه و یک سویچ دوطرفه است. به عبارتی دیگر ساختار پایه دارای نه IGBT است و همه آنها دیودهای موازی معکوس دارند. بنابراین تلفات توان دیودهای موازی معکوس نیز باید در نظر گرفته شود. تلفات هدایتی سویچ‌ها ($P_{con,s}$) و دیودها ($P_{con,d}$) به صورت زیر بیان می‌شود:

$$P_{con,s} = [V_{ON,s} + R_s i^\alpha(t)] i(t) \quad (5)$$

$$P_{con,d} = [V_{ON,d} + R_d i(t)] i(t) \quad (6)$$

که $V_{ON,s}$ و R_s به ترتیب افت ولتاژ و مقاومت سویچ در حالت روشن بودن سویچ را نشان می‌دهد. مشخصه‌های مشابه دیود با $V_{ON,d}$ و R_d مشخص می‌شوند. $i(t)$ جریان بار است و α ضریبی ثابت برای سویچ است که از روی دیتاشیت سویچ مشخص می‌شود. مجموع تلفات هدایتی تمام سویچ‌ها و دیودهای یک مبدل الکترونیک قدرت توسط (7) قابل بیان است.

$$P_{con} = \sum_{j=1}^{N_s} \frac{1}{2\pi} \int_0^{2\pi} [V_{ON_s} i(t) + R_s i^{\alpha+1}(t)] d(t) + \sum_{j=1}^{N_d} \frac{1}{2\pi} \int_0^{2\pi} [V_{ON_d} i(t) + R_d i^2(t)] d(t) \quad (7)$$

در طول دوره کلیدزنی از تخمین خطی ولتاژ و جریان برای تخمین تلفات کلیدزنی یک سویچ استفاده می‌شود. تلفات انرژی در هنگام روشن و خاموش شدن سویچ برای محاسبه تلفات کلیدزنی استفاده می‌شود که توسط (8) نشان داده شده است.

$$P_{sw} = \left[\sum_{x=1}^{N_s} (T_{ON_s} E_{ON_s} + T_{OFF_s} E_{OFF_s}) \right] f_{sw} \quad (8)$$

که T_{ON} و T_{OFF} به ترتیب زمان روشن و خاموش شدن سویچ است، E_{ON} و E_{OFF} به ترتیب تلفات انرژی روشن و خاموش شدن سویچ را نشان می‌دهند و f_{sw} بیانگر فرکانس کلیدزنی است. با استفاده از روابط (7) و (8)، تلفات کل مبدل (P_{loss}) با استفاده از رابطه (9) محاسبه شده و بازده مبدل بر اساس رابطه (10) به دست می‌آید.

$$P_{loss} = P_{con} + P_{sw} \quad (9)$$

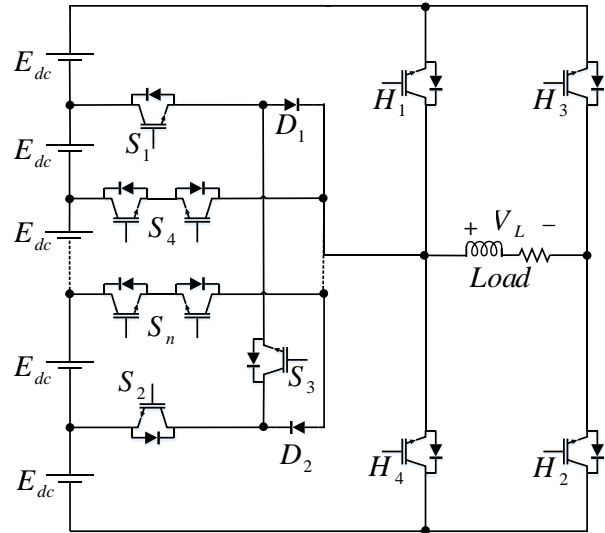
$$\eta = \frac{P_o}{P_o + P_{loss}} \quad (10)$$

$$N_{level} = 2n + 7 \quad (1)$$

$$N_{IGBT} = 2n + 7 \quad (2)$$

$$N_{driver} = n + 7 \quad (3)$$

$$N_{diode} = 2 \quad (4)$$



شکل (5): ساختار تعمیم یافته پیشنهادی

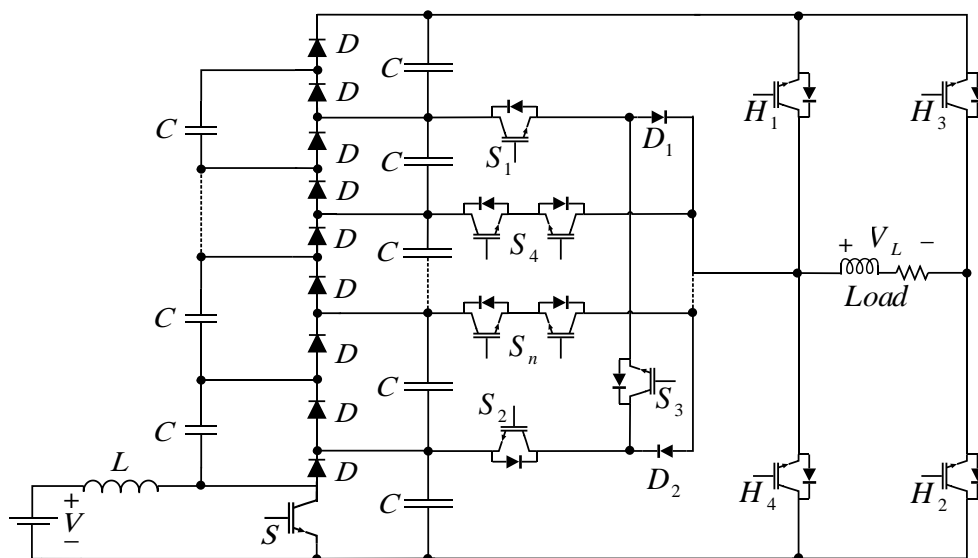
در روابط فوق n بیانگر تعداد کلیدهای دوطرفه، N_{level} نشانگر سطوح ولتاژ خروجی، N_{IGBT} نشانگر تعداد سویچ‌های ساختار پیشنهادی، N_{driver} بیانگر تعداد درایور ساختار پیشنهادی و N_{diode} نشانگر تعداد دیودها است.

برای کاهش تعداد منابع می‌توان از تقسیم ولتاژ بین خازن‌های سری استفاده کرد. در این روش که در شکل 6 نشان داده شده است، از چندین خازن سری به همراه یک منبع DC استفاده می‌شود [16]. با توجه به نحوه چینش منابع DC مورد استفاده در ساختار پیشنهادی، می‌توان از یک منبع DC استفاده نموده و مطابق شکل 6، از خازن‌های سری برای جایگزینی منابع متعدد DC مجزای مورد نیاز بهره برد. ساختار پیشنهادی با این راهکار می‌تواند در سیستم‌های فتوولتائیک نیز کاربرد داشته باشد که مبدل DC-DC استفاده شده در شکل 6 می‌تواند وظیفه ردیابی نقطه کار بیشینه (MPPT) را نیز انجام دهد.

۳- تلفات توان در ساختار پیشنهادی

تلفات توان در مبدل‌های الکترونیک قدرت را می‌توان بر اساس مجموع تلفات سویچ‌ها و دیودها محاسبه کرد. تلفات توان یک سویچ، دیود یا هر المان الکترونیک قدرت معمولاً در سه دسته قرار می‌گیرند: (۱) حالت خاموش، (۲) حالت روشن، (۳) حالت کلیدزنی.

از آنجا که جریان‌های ناشی در هنگام مسدود کردن یا خاموش بودن تجهیز الکترونیک قدرت قابل اغماض است، پس تلفات آن نیز قابل



شکل (۶): ساختار تعمیم یافته پیشنهادی با یک منبع DC مستقل

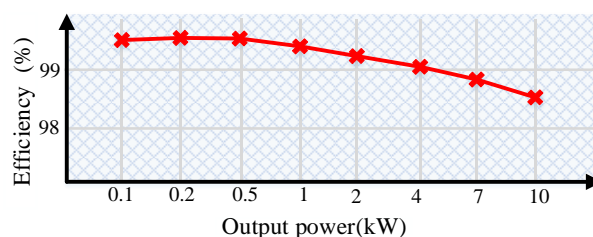
سلفی $Z=10\Omega+24mH$ انجام شده است. شکل ۸-ب تلفات مربوط به سوئیچ‌ها و دیودهای ساختار پایه را به صورت جداگانه نشان می‌دهد و شکل ۸-ج دمای سوئیچ‌ها و دیودهای ساختار پایه را نشان می‌دهد. شکل ۸-ب نشان می‌دهد که اندازه تلفات جفت سوئیچ‌های (H_1, H_4) ، (H_3, H_2) و (S_1, S_2) به دلیل روشن و خاموش شدن متقارن در هر سیکل تقریباً با هم برابر است. علاوه بر این، تلفات کلیدزنی نیز در ساختار پیشنهادی به دلیل فرکانس پایین روشن و خاموش شدن سوئیچ‌ها ناچیز است و قسمت عمده تلفات توان مربوط به تلفات هدایتی است. مطابق شکل ۸-ج اندازه دمای سوئیچ‌ها و دیودها در محدوده مطلوبی به تعادل رسیده است.

۴- مقایسه ساختار پیشنهادی با ساختارهای ارائه شده اخیر

در این بخش مطالعه دقیق مقایسه‌ای بین ساختارهای مختلف با ساختار پیشنهادی ارائه شده است. شکل ۹-الف نمودار تعداد کلیدها را با توجه به تعداد سطوح ولتاژ خروجی برای ساختارهای اخیر در حالت متقارن نشان می‌دهد. همانطور که در شکل ۹-الف نشان داده شده است؛ تعداد کلیدهای مورد نیاز برای ساختار پیشنهادی به منظور تولید تعداد سطوح ولتاژ مشخص در مقایسه با سایر ساختارها کمتر است. طبیعتاً تعداد ادوات جانبی ساختار پیشنهادی مانند گرماگیر هیت سینک، مدارات اسنابر و غیره نیز کاهش می‌یابد. مقایسه بین تعداد مدارهای درایور نسبت تعداد سطوح ولتاژ در شکل ۹-ب نشان داده شده است. همانطور که قبلاً نیز اشاره شد؛ برای سوئیچ‌های دوطرفه ولتاژ/جریان که به صورت امیتر مشترک اتصال می‌یابند، فقط یک درایور لازم است. ساختار پیشنهادی مشابه تعداد کلیدها، به تعداد

با استفاده از روابط محاسبه شده، تلفات توان ساختار پیشنهادی با استفاده از نرم افزار MATLAB شبیه‌سازی شده است. برای مدل‌سازی حرارتی از اطلاعات موجود در دیتاشیت کلید IGBT (600V/50A) IKFW60N60DH3E استفاده شده است. منحنی‌های تلفات انرژی E_{OFF} و E_{ON} در اطلاعات مربوط به سوئیچ توسط سازنده ارائه می‌شود. این منحنی‌ها برای محاسبه تلفات کلیدزنی استفاده می‌شوند و برای تلفات هدایتی از منحنی حالت روشن (ON-state) جریان و افت ولتاژ استفاده می‌شود.

شکل ۷ بازده ساختار پایه پیشنهادی را به ازای مقادیر مختلف توان خروجی نشان می‌دهد. محاسبه بازده برای ساختار پایه برای حداکثر ولتاژ خروجی برابر با ۵۰۰ ولت با پله‌های ولتاژ ۱۲۵ ولت و با استفاده از مدولاسیون نزدیک‌ترین سطح (NLM) برای بار مقاومتی خالص

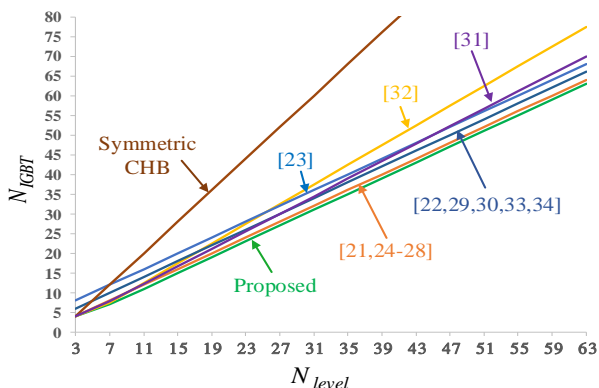


شکل (۷): بازده ساختار پیشنهادی به ازای مقادیر مختلف توان خروجی

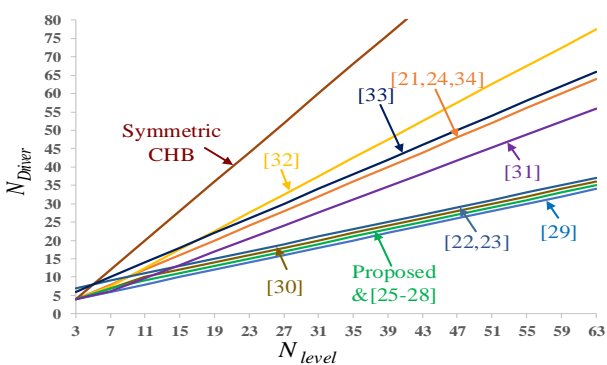
انجام شده است. در محاسبات فوق دمای محیط $25^\circ C$ فرض شده است. حداکثر بازده ساختار پایه ۹۹/۴۱٪ در توان خروجی ۵۰۰ وات حاصل شده است.

شکل ۸-الف مقایسه ساختار پایه پیشنهادی با سایر ساختارهای نه‌سطحی از نظر بازده را نشان می‌دهد. این مقایسه در ولتاژ بیشینه خروجی برابر با ۵۰۰ ولت با توان خروجی ۸۰۵۳ وات برای بار اهمی

همانطور که در شکل ۹- ب نشان داده شده است؛ تعداد درایورهای راه‌انداز موردنیاز برای ساختار پیشنهادی به منظور تولید تعداد سطوح ولتاژ مشخص در مقایسه با سایر ساختارها به جز ساختار ارایه شده در [۲۹] کمتر است که به دلیل استفاده از کلیدهای دوطرفه ولتاژ/جریان بیشتر در ساختار [۲۹] می‌باشد. با وجود تعداد درایور کمتر در ساختار [۲۹]، مطابق شکل ۱۰ اندازه TSV در این ساختار دارای مقدار قابل توجهی بوده و از این حیث ساختار [۲۹] شرایط مطلوبی ندارد.

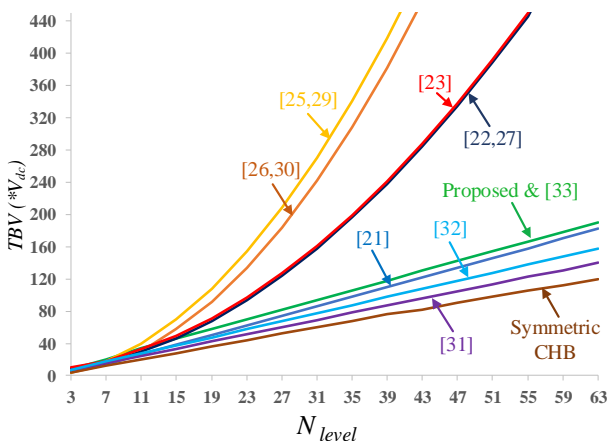


(الف)



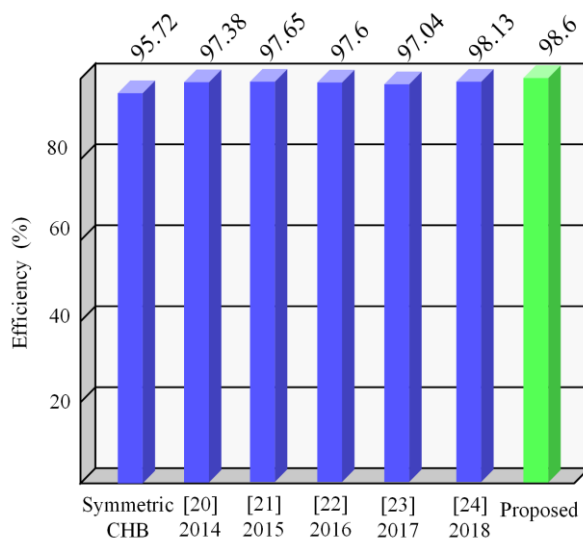
(ب)

شکل (۹): مقایسه تعداد: (الف) سوئیچ‌ها و (ب) درایورهای راه‌انداز ساختار پیشنهادی با سایر ساختارها

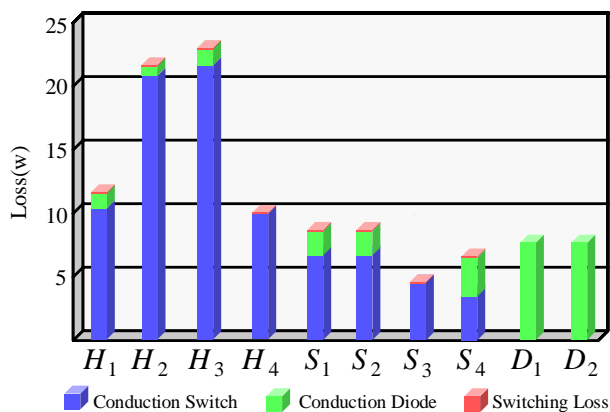


شکل (۱۰): مقایسه TSV ساختار پیشنهادی با سایر ساختارها

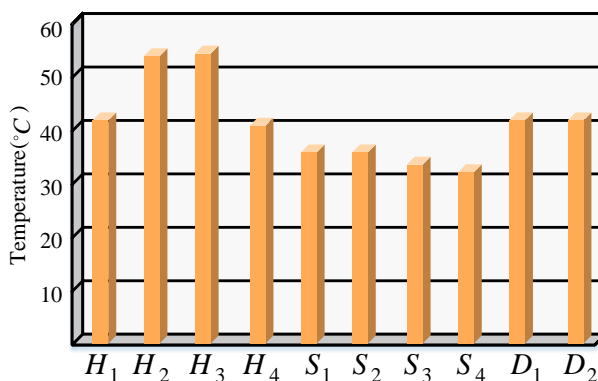
مدار درایور راه‌انداز کمتری در مقایسه با ساختارهای مشابه ارایه شده اخیر نیاز دارد.



(الف)



(ب)



(ج)

شکل (۸): (الف) مقایسه بازده ساختار پایه با ساختارهای ارایه شده اخیر، (ب) تلفات سوئیچ‌ها و دیودهای ساختار پایه، (ج) دمای سوئیچ‌ها و دیودهای ساختار پایه

ارائه شده است. با فرض اینکه اندازه هر کدام از منابع ولتاژ در ساختار یازده سطحی متقارن پیشنهادی برابر با V_{DC} باشد، این ساختار دارای ۱۱ سویچ با مقادیر مختلف ولتاژ نامی V_{DC} الی $5V_{DC}$ می باشد. در حالیکه ساختار CHB متقارن حاوی ۲۰ کلید با ولتاژ نامی V_{DC} می باشد. با وجود اینکه مقدار ولتاژ مسدودکنندگی ساختار CHB متقارن، از ساختار پیشنهادی کمتر است و در نتیجه سویچ های ارزان تری برای این ساختار مورد نیاز است، اما به دلیل تعداد سویچ های بیشتر در ساختار CHB متقارن، هزینه سویچ های ساختار پیشنهادی کمتر از ساختار CHB متقارن حاصل شده است. شایان ذکر است که در جدول ۳ هزینه درایور سویچ ها ارائه نشده است که در صورت لحاظ کردن هزینه درایورها، ساختار پیشنهادی برتری بیشتری نسبت به CHB متقارن خواهد داشت.

برای محاسبه هزینه سویچ ها در جدول ۴ از اطلاعات سویچ های ارائه شده در جدول ۳ استفاده شده است. از جدول ۴ می توان دریافت که ولتاژ مسدودکنندگی کل ساختار پیشنهادی صرفا با ساختار CHB متقارن تفاوت معناداری دارد که در جدول ۳ این امر مورد بررسی قرار گرفت و نشان داده شد که با وجود ولتاژ مسدودکنندگی کل بیشتر در ساختار پیشنهادی در مقایسه با ساختار CHB متقارن، تعداد کمتر سویچ ها در ساختار پیشنهادی منجر به کاهش هزینه ساختار پیشنهادی در مقایسه با ساختار CHB متقارن می شود. ولتاژ مسدودکنندگی کل ساختار پیشنهادی در مقایسه با سایر ساختارهای ارائه شده اخیر در یک محدوده بوده و تفاوت معناداری با آنها ندارد. در ضمن هزینه سویچ در ساختار پیشنهادی کمتر از ساختارهای ارائه شده اخیر می باشد که این امر به مفهوم هزینه کمتر ساختار پیشنهادی در مقایسه با ساختارهای ارائه شده اخیر می باشد. شایان ذکر است به دلیل تعداد سویچ کمتر ساختار پیشنهادی، طبیعتا در صورت لحاظ کردن هزینه درایورها، ساختار پیشنهادی برتری بیشتری نسبت به ساختارهای مشابه خواهد داشت.

۵- نتایج شبیه سازی و آزمایشگاهی

ساختار پایه پیشنهادی برای حالت متقارن با استفاده از روش مدولاسیون نزدیک ترین سطح (NLM) در نرم افزار MATLAB/SIMULINK شبیه سازی شده است. در ضمن عملکرد ساختار پیشنهادی و صحت نتایج شبیه سازی توسط یک نمونه آزمایشگاهی مورد بررسی قرار گرفته است. برای این منظور از ماسفت IRFP460 و دیود 1N5408 استفاده شده است. به منظور راه اندازی سویچ ها از اپتوکوپلر TLP250 استفاده شده است. در ضمن برای تولید پالس های سوئیچینگ از میکروکنترلر Arduino ATmega 2560 استفاده شده است. از یک اتوترانسفورماتور به عنوان سلف متغیر استفاده شده است. شکل ۱۱ مدار آزمایشگاهی و جدول ۳ مشخصات مداری ساختار پایه پیشنهادی را نشان می دهد.

شکل ۱۰ مقایسه ولتاژ مسدودکنندگی کل (TSV) ساختارهای مختلف را نشان می دهد. همانطور که در شکل ۱۰ نشان داده شده است، TSV ساختار پیشنهادی در مقایسه با سایر ساختارها به جز [۲۱]، [۳۱] و [۳۲] جایگاه بهتری دارد. شایان ذکر است سه ساختار مذکور در تعداد سویچ و درایور جایگاه بهتری نسبت به ساختار پیشنهادی ندارند. در ضمن به طور کلی شیب منحنی TSV در ساختار پیشنهادی مقدار مناسبی داشته و برخلاف تعداد زیادی از ساختارهای چندسطحی، با افزایش تعداد سطوح ولتاژ خروجی، مقدار TSV به صورت نمایی دچار افزایش نمی شود. برای بررسی بیشتر، مقایسه دقیق ساختار پایه پیشنهادی با سایر ساختارها در مقالات مشابه، در شرایط کاملا یکسان در جدول ۲ ارائه شده است. مقایسه ها با توجه به تعداد سوئیچ ها، تعداد مدارات درایور راه انداز و ولتاژ مسدودکنندگی کل نسبت به سطوح ولتاژ تولید شده در خروجی انجام شده است. جدول ۲ نشان می دهد که ساختار پایه پیشنهادی از تعداد سوئیچ کمتری استفاده می کند.

جدول (۲): مقایسه مشخصه های ساختار پیشنهادی با سایر ساختارها

	N_{level}	N_{switch}	N_{driver}	$TSV(*V_{dc})$	N_{switch}/N_{level}
[21]	9	10	10	20	1.11
[22]	9	12	10	22	1.33
[23]	7	12	9	18	1.71
[24]	9	10	10	18	1.11
[25]	7	8	7	18	1.14
[26]	7	8	7	14	1.14
[27]	9	10	8	20	1.11
[28]	9	10	8	22	1.11
[29]	7	10	7	18	1.42
[33]	7	10	10	16	1.42
[34]	7	10	8	14	1.42
Proposed	9	9	8	27	1

علاوه بر این، مشخصه N_{switch}/N_{level} در جدول ۲ برای مقایسه دقیق تعداد سوئیچ به ازای تعداد سطوح ولتاژ خروجی ارائه شده است که در تمام ساختارها بزرگ تر از مقدار واحد است. ولی این مشخصه در ساختار پایه پیشنهادی برابر با مقدار واحد است که نشان می دهد ساختار پیشنهادی از سوئیچ کمتری در شرایط مشابه و به ازای سطوح ولتاژ برابر استفاده می کند.

برای مقایسه هزینه ساختار پیشنهادی با ساختارهای مشابه، ابتدا هزینه ساختار پیشنهادی با ساختار CHB متقارن با ارائه جزئیات لازم مقایسه شده است. علیرغم وجود تعداد زیاد سویچ ها در ساختار CHB متقارن، از آنجا که ولتاژ مسدودکنندگی کل در این ساختار کم می باشد، لذا ساختار CHB متقارن هزینه بالایی نداشته و گزینه مناسبی برای مقایسه در این زمینه می باشد. جدول ۳ برای بررسی هزینه اینورتر یازده سطحی پیشنهادی با پیک ولتاژ خروجی ۱۵۰ ولت و مقایسه هزینه ادوات الکترونیک قدرت با ساختار CHB متقارن

جدول (۳): مقایسه هزینه ادوات الکترونیک قدرت ساختار پیشنهادی و ساختار CHB متقارن

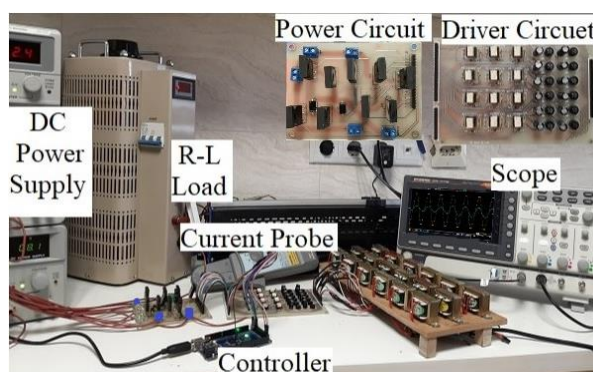
مرجع قیمت ادوات	نام قطعه	سطح ولتاژ V_{CE}	سطح جریان $I_{C(100^\circ C)}$	قیمت واحد (دلار)	پیشنهادی ۱۱ سطحی		CHB متقارن ۱۱ سطحی	
					تعداد	هزینه (دلار)	تعداد	هزینه (دلار)
www.mouser.com	IRG6B330UDPBF	۳۳۰ V	۴۰ A	۴/۳۴	۳	۴/۳۴	۲۰	۸۶/۸
	FGH40T70SHD	۷۰۰ V	۴۰ A	۴/۸۶	۲	۱۹/۴۴	-	-
	FGH40T100SMD	۱۰۰۰ V	۴۰ A	۵/۴	۲	۰	-	-
	IHW40N135R3	۱/۳۵ KV	۴۰ A	۵/۷۷	۲	۱۱/۵۴	-	-
	RGC80TSX8RGC11	۱/۸ KV	۴۰ A	۷/۷۶	۲	۳۱/۰۴	-	-
	FFA40UP35STU (Diode)	۳۵۰ V	۴۰ A	۲/۱۹	۱	۴/۳۸	-	-
هزینه کل (دلار)						۷۰/۷۴	۸۶/۸	

جدول (۴): پارامترهای مقایسه‌ای اینورترهای متقارن یازده سطحی

ساختار	تعداد سطوح	تعداد سویچ	تعداد درایور	تعداد دیود	تعداد سویچ‌ها با ولتاژ نامی مختلف					$TBV(*V_{DC})$	هزینه سویچ‌ها (دلار)
					V_{DC}	$2V_{DC}$	$3V_{DC}$	$4V_{DC}$	$5V_{DC}$		
CHB متقارن	۱۱	۲۰	۲۰	۰	۲۰	۰	۰	۰	۰	۲۰	۸۶/۸
[۲۳]	۱۱	۱۶	۱۱	۰	۷	۵	۲	۰	۲	۳۳	۷۵/۲۴
[۲۵]	۱۱	۱۲	۹	۰	۲	۲	۲	۲	۴	۴۰	۷۱/۷۸
[۲۶]	۱۱	۱۲	۹	۰	۲	۲	۲	۲	۴	۴۰	۷۱/۷۸
[۳۲]	۱۱	۱۴	۱۴	۸	۶	۸	۰	۰	۰	۳۰	۸۲/۴۴
پیشنهادی	۱۱	۱۱	۱۰	۲	۱	۴	۰	۲	۴	۳۷	۷۰/۷۴

جدول (۳): مشخصات مداری ساختار پایه

مشخصه	مقدار
ولتاژ منابع DC	15V
ولتاژ پیک خروجی	60V
فرکانس خروجی	50 Hz
امپدانس بار	$Z = 15\Omega + 40mH$

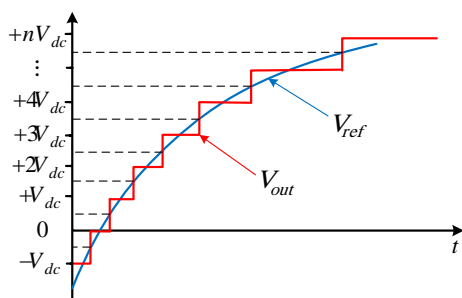


شکل (۱۱): نمونه آزمایشگاهی ساختار پایه پیشنهادی

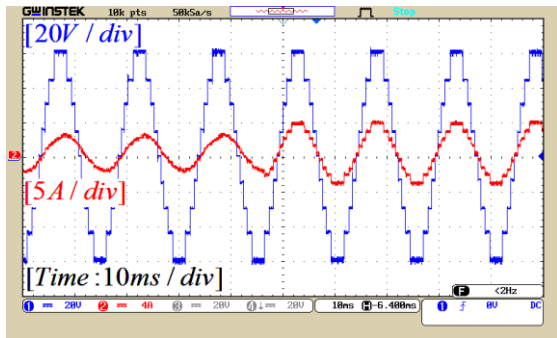
برای کنترل ساختار پیشنهادی از روش مدولاسیون نزدیک‌ترین سطح (NLM) استفاده شده است. همانطور که در شکل ۱۲-الف نشان داده شده است؛ در مدولاسیون نزدیک‌ترین سطح مقدار سیگنال مرجع به

عنوان عددی صحیح در نظر گرفته می‌شود که به نزدیک‌ترین سطح ولتاژ نزدیک است. به عنوان مثال در صورتیکه مقدار لحظه‌ای ولتاژ مرجع در محدوده $1/5$ الی $2/5$ باشد، سطح ولتاژ $2V_{dc}$ تولید خواهد شد $round(1.5 < x < 2.5) = 2$. شکل ۱۲-ب روش اجرای مدولاسیون نزدیک‌ترین سطح را نشان می‌دهد.

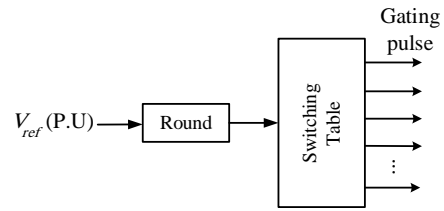
شکل ۱۳ شکل موج ولتاژ و جریان خروجی را برای بار اهمی-سلفی نشان می‌دهد. مقدار منابع ولتاژ در ساختار پایه ۱۵ ولت در نظر گرفته شده است. شکل موج ولتاژ حاصل دارای نه سطح با گام‌های ۱۵ ولت بوده و حداکثر ولتاژ خروجی ۶۰ ولت حاصل شده است. امپدانس بار $Z = 15\Omega + 40mH$ انتخاب شده است. ضریب توان خروجی در این حالت برابر با 0.766 بوده و با اینکه ساختار پیشنهادی حاوی دیود است، تغذیه بار اهمی-سلفی به درستی انجام شده است.



(الف)



(ب)

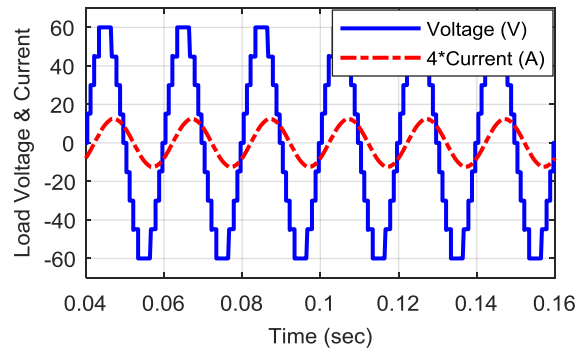
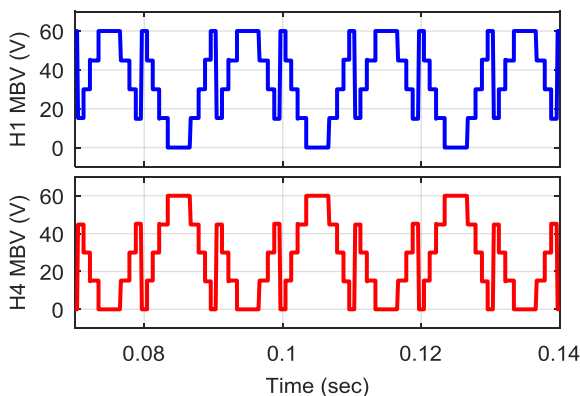


(ب)

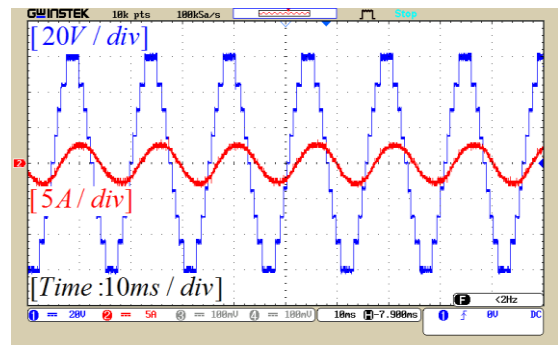
شکل (۱۲): الف) مفهوم مدولاسیون نزدیک ترین سطح، ب) روش اجرای مدولاسیون نزدیک ترین سطح

شکل (۱۴): ولتاژ و جریان خروجی در شرایط تغییر دینامیکی بار الف) نتایج شبیه سازی و ب) نتایج آزمایشگاهی

در شکل ۱۴ قابلیت ساختار پیشنهادی در تغذیه بار به هنگام تغییر دینامیکی بار نشان داده شده است. در این شکل، شکل موج ولتاژ و جریان بار خروجی به ازای حذف سلف بار خروجی و تغییر بار از حالت اهمی-سلفی با اندازه $Z = 23\Omega + 30mH$ به اهمی خالص با اندازه $Z = 15\Omega$ نشان داده شده است. مطابق این شکل ساختار ارایه شده قابلیت تغذیه مناسب بار خروجی را در شرایط دینامیکی و تغییر بار دارا می باشد. به منظور بررسی ولتاژ بیشینه مسدودکنندگی سویچ ها، در شکل ۱۵ ولتاژ مسدود شده سویچ های $(H_1, H_4), (H_2, H_3), (S_1)$ و (S_3) نشان داده شده است. مطابق این شکل، تطابق کامل بین نتایج شبیه سازی و پیاده سازی قابل مشاهده است. از نتایج این شکل ها برای محاسبه حداکثر ولتاژ مسدودکنندگی هر سویچ (MSV) و همچنین حداکثر ولتاژ مسدودکنندگی کل (TSV) می توان بهره برد. عملکرد مناسب ساختار پیشنهادی با نتایج حاصل شده اثبات می شود. شکل موج های مختلف ولتاژ و جریان خروجی با شرایط عملیاتی مختلف ارائه شده است. شرایط مختلف عملکرد شامل تغییر ضریب توان بار و تغییر شاخص مدولاسیون است. بر اساس نتایج حاصل شده می توان بیان کرد که تطابق مناسبی بین نتایج شبیه سازی و آزمایشگاهی وجود دارد و هیچ گونه پرش ولتاژی نیز ناشی از جریان برگشتی در ساختار مشاهده نمی شود. ساختار پیشنهادی برای اتصال منابع تولید پراکنده به شبکه فشار ضعیف و یا فشار متوسط، همچنین ساختار پیشنهادی در حالت سه فاز، برای درایو موتورهای الکتریکی با سطح ولتاژ چند کیلوولت می تواند کاربرد داشته باشد.

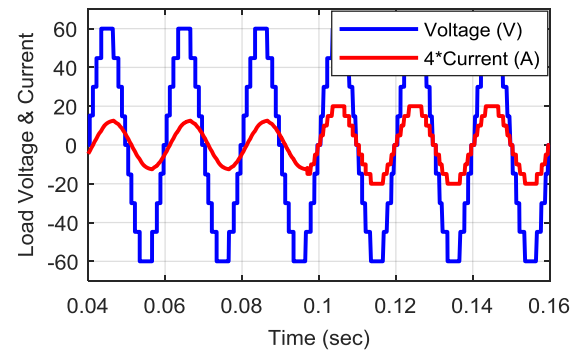


(الف)

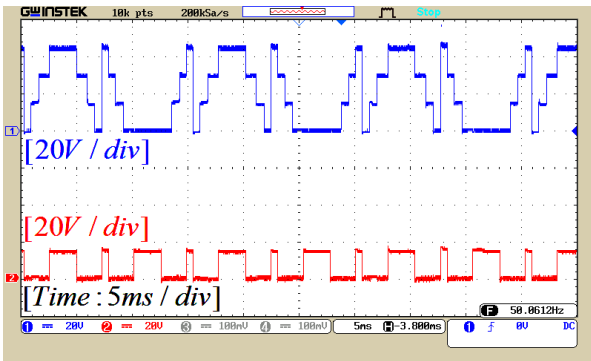


(ب)

شکل (۱۳): شکل موج ولتاژ و جریان خروجی ساختار پایه پیشنهادی الف) نتایج شبیه سازی، ب) نتایج آزمایشگاهی



(الف)



(ج-۲)

شکل (۱۵): ولتاژ مسدود شده سویچ‌ها الف) سویچ‌های (H_4, H_1) .

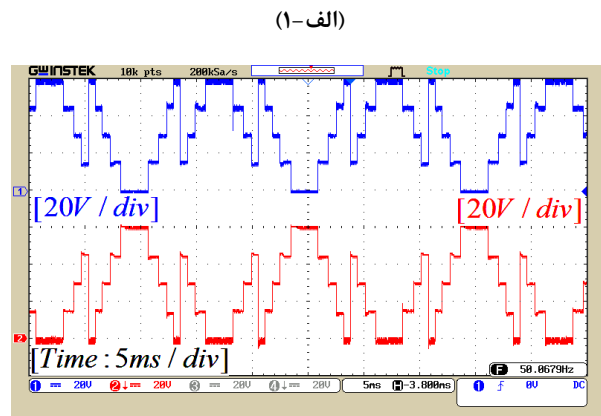
ب) سویچ‌های (H_3, H_2) ، سویچ‌های (S_3, S_1)

۶- نتیجه‌گیری

در این مقاله یک ساختار اینورتر چندسطحی جدید ارائه شده و به طور تفصیلی مورد بحث قرار گرفته است. ساختار پایه پیشنهادی، شکل موج ولتاژ نه‌سطحی با هشت سویچ تولید می‌کند. علاوه بر ارایه و مقایسه بازده ساختار پیشنهادی، شرایط مختلف عملیاتی در محیط شبیه‌سازی و آزمایشگاهی مورد بررسی قرار گرفته و عملکرد مناسب ساختار پیشنهادی نشان داده شده است. مقایسه جامعی از حیث تعداد سویچ، تعداد درایور، ولتاژ مسدودکنندگی کل و همچنین هزینه تجهیزات الکترونیک قدرت ساختار پیشنهادی با ساختارهای مشابه و ارایه شده اخیر انجام شده و در غالب موارد از جمله تعداد سویچ، نسبت سویچ به سطح و همچنین هزینه برتری ساختار پیشنهادی به وضوح نشان داده شد. از نظر تعداد درایور نیز ساختار پیشنهادی از غالب ساختارها درایور کمتری نیاز دارد. ساختار پیشنهادی با وجود استفاده از دیود، مشکل جریان برگشتی و پرش ناخواسته ولتاژ در خروجی را بدون نیاز به هیچ گونه سنسوری حل کرده است.

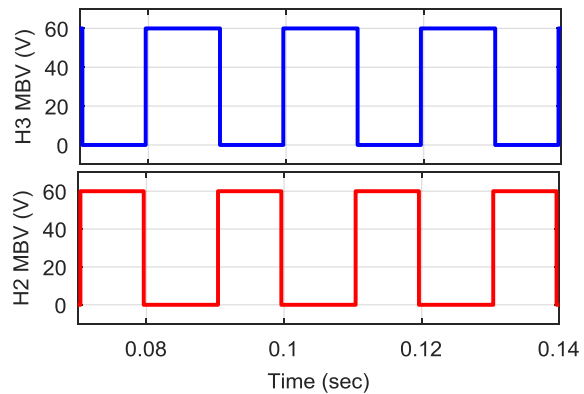
مراجع

- [1] Seifi, A., Hosseinpour, M., Dejamkhooy, A. and Sedaghati, F., 2020. Novel reduced switch-count structure for symmetric/asymmetric cascaded multilevel inverter. Arabian Journal for Science and Engineering, 45, pp.6687-6700.
- [2] Hosseinpour, M., Seifi, A. and Feyz, E., 2020. A New Symmetric/Asymmetric Multilevel Inverter Based on Cascaded Connection of Sub-Multilevel Units Aiming less Switching Components and Total Blocked Voltage. Journal of Telecommunication, Electronic and Computer Engineering (JTEC), 12(1), pp.53-62.
- [3] Siwakoti, Y.P. and Blaabjerg, F., 2018. Common-ground-type transformerless inverters for single-phase solar photovoltaic systems. IEEE Transactions on Industrial Electronics, 65(3), pp.2100-2111.
- [4] Seifi, A., Hosseinpour, M. and Dejamkhooy, A., 2021. A switch-source cell-based cascaded multilevel inverter topology with minimum number of power electronics

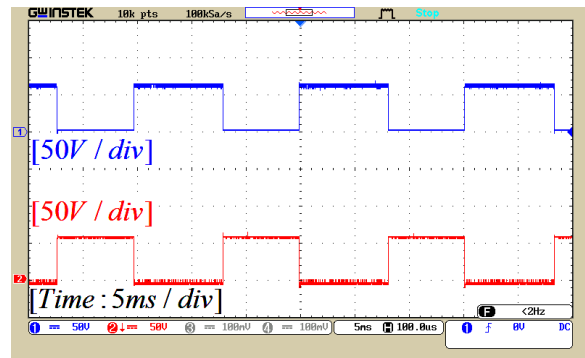


(الف-۱)

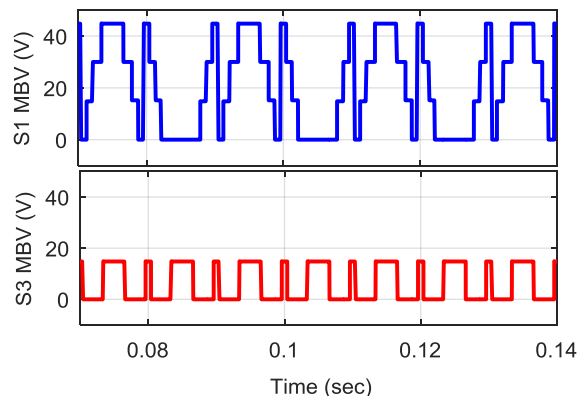
(الف-۲)



(ب-۱)



(ب-۲)



(ج-۱)

- [17] Hosseini Montazer, B., Olamaei, J., Hosseinpour, M. and Mozafari, B., A generalized diode containing bidirectional topology for multilevel inverter with reduced switches and power loss. *International Journal of Circuit Theory and Applications*. Early view.
- [18] فشکی فراهانی حسن، حسینی علی‌آبادی محمود، جوادی شهرام، پرکار سیامک. یک ساختار جدید برای اینورترهای منبع ولتاژ سه فاز چند سطحی بر مبنای یک منبع تغذیه DC با تعداد کم سوئیچ و دیوید. *نشریه مهندسی برق و الکترونیک ایران*. ۱۳۹۵؛ ۱۳ (۴): ۱۱۸-۱۰۷.
- [19] رستمی محمدجواد، ادبی جعفر، رضانژاد محمد. اینورتر چندسطحی کلید-خازنی تک منبعه با قابلیت چند برابر کنندگی ولتاژ. *نشریه مهندسی برق و الکترونیک ایران*، ۱۴۰۰؛ ۱۸ (۲): ۱۷۴-۱۶۳.
- [20] Gupta, K.K. and Jain, S., 2014. A novel multilevel inverter based on switched DC sources. *IEEE Transactions on Industrial Electronics*, 61(7), pp.3269-3278.
- [21] Oskuee, M.R.J., Karimi, M., Ravadanegh, S.N. and Gharehpetian, G.B., 2015. An innovative scheme of symmetric multilevel voltage source inverter with lower number of circuit devices. *IEEE Transactions on Industrial Electronics*, 62(11), pp.6965-6973.
- [22] Alishah, R.S., Hosseini, S.H., Babaei, E. and Sabahi, M., 2016. A new general multilevel converter topology based on cascaded connection of submultilevel units with reduced switching components, DC sources, and blocked voltage by switches. *IEEE Transactions on Industrial Electronics*, 63(11), pp.7157-7164.
- [23] Jayabalan, M., Jeevarathinam, B. and Sandirasegarane, T., 2017. Reduced switch count pulse width modulated multilevel inverter. *IET Power Electronics*, 10(1), pp.10-17.
- [24] Ali, J.S.M., Alishah, R.S. and Krishnasamy, V., 2018. A new generalized multilevel converter topology with reduced voltage on switches, power losses, and components. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 7(2), pp.1094-1106.
- [25] Samsami, H., Taheri, A. and Samanbakhsh, R., 2017. New bidirectional multilevel inverter topology with staircase cascading for symmetric and asymmetric structures. *IET Power Electronics*, 10(11), pp.1315-1323.
- [26] Siddique, M.D., Mekhilef, S., Shah, N.M. and Memon, M.A., 2019. Optimal design of a new cascaded multilevel inverter topology with reduced switch count. *IEEE Access*, 7, pp.24498-24510.
- [27] Alishah, R.S., Hosseini, S.H., Babaei, E. and Sabahi, M., 2016. Optimal design of new cascaded switch-ladder multilevel inverter structure. *IEEE Transactions on Industrial Electronics*, 64(3), pp.2072-2080.
- [28] Samadaei, E., Gholamian, S.A., Sheikholeslami, A. and Adabi, J., 2016. An envelope type (E-type) module: Asymmetric multilevel inverters with reduced components. *IEEE Transactions on Industrial Electronics*, 63(11), pp.7148-7156.
- [29] Peddapati, S., 2020. A generalized symmetrical MLI topology with improved commutation. *Electrical Engineering*, 102(4), pp.2617-2635.
- [30] Siddique, M.D., Mekhilef, S., Shah, N.M., Sarwar, A., Iqbal, A. and Memon, M.A., 2019. A new multilevel inverter topology with reduce switch count. *IEEE Access*, 7, pp.58584-58594.
- components. *Transactions of the Institute of Measurement and Control*, 43(5), pp.1212-1225.
- [5] سیفی علی، حسین پور مجید. طراحی و پیاده‌سازی ساختار متقارن/نامتقارن جدید برای اینورتر چندسطحی آبشاری با تعداد ادوات کلیدزنی کمتر. *نشریه مهندسی برق و الکترونیک ایران*. ۱۴۰۰؛ ۱۸ (۲): ۱۷۵-۱۸۸.
- [6] Seifi, A., Hosseinpour, M., Dejamkhooy, A., Sedaghati, F. and Ostad, E., 2019, December. A New Generalized Multilevel Inverter Topology Based on Cascaded Connection of Basic Units. In *2019 International Power System Conference (PSC)* (pp. 355-360).
- [7] Alishah, R.S., Nazarpour, D., Hosseini, S.H. and Sabahi, M., 2014. Novel topologies for symmetric, asymmetric, and cascade switched-diode multilevel converter with minimum number of power electronic components. *IEEE Transactions on Industrial Electronics*, 61(10), pp.5300-5310.
- [8] Siddique, M.D., Mekhilef, S., Shah, N.M., Sandeep, N., Ali, J.S.M., Iqbal, A., Ahmed, M., Ghoneim, S.S., Al-Harthi, M.M., Alamri, B. and Salem, F.A., 2019. A single DC source nine-level switched-capacitor boost inverter topology with reduced switch count. *IEEE Access*, 8, pp.5840-5851.
- [9] Wang, L., Wu, Q.H. and Tang, W., 2017. Novel cascaded switched-diode multilevel inverter for renewable energy integration. *IEEE transactions on energy conversion*, 32(4), pp.1574-1582.
- [10] Hosseinzadeh, M.A., Sarebanzadeh, M., Rivera, M., Babaei, E. and Wheeler, P., 2020. A reduced single-phase switched-diode cascaded multilevel inverter. *IEEE Journal of Emerging and Selected Topics in Power Electronics*. Early view.
- [11] Latifi Majareh, S.H., Sedaghati, F., Hosseinpour, M. and Mousavi-Aghdam, S.R., 2019. Design, analysis and implementation of a generalised topology for multilevel inverters with reduced circuit devices. *IET Power Electronics*, 12(14), pp.3724-3731.
- [12] Panda, K.P. and Panda, G., 2018. Application of swarm optimisation-based modified algorithm for selective harmonic elimination in reduced switch count multilevel inverter. *IET Power Electronics*, 11(8), pp.1472-1482.
- [13] Panda, K.P., Bana, P.R. and Panda, G., 2020. FPA optimized selective harmonic elimination in symmetric-asymmetric reduced switch cascaded multilevel inverter. *IEEE transactions on industry applications*, 56(3), pp.2862-2870.
- [14] Panda, K.P., Lee, S.S. and Panda, G., 2019. Reduced switch cascaded multilevel inverter with new selective harmonic elimination control for standalone renewable energy system. *IEEE Transactions on Industry Applications*, 55(6), pp.7561-7574.
- [15] Hosseinpour, M., Seifi, A., Dejamkhooy, A. and Sedaghati, F., 2020. Switch count reduced structure for symmetric bi-directional multilevel inverter based on switch-diode-source cells. *IET Power Electronics*, 13(8), pp.1675-1686.
- [16] Hosseinpour, M., Seifi, A. and Rahimian, M.M., 2020. A bidirectional diode containing multilevel inverter topology with reduced switch count and driver. *International Journal of Circuit Theory and Applications*, 48(10), pp.1766-1785.

- [31] Meraj, S.T., Hasan, K. and Masaoud, A., 2019. A novel configuration of cross-switched T-type (CT-type) multilevel inverter. *IEEE Transactions on Power Electronics*, 35(4), pp.3688-3696.
- [32] Dhanamjayulu, C. and Meikandasivam, S., 2017. Implementation and comparison of symmetric and asymmetric multilevel inverters for dynamic loads. *IEEE Access*, 6, pp.738-746.
- [33] Siddique, M.D., Iqbal, A., Sarwar, A. and Mekhilef, S., 2021. Analysis and implementation of a new asymmetric double H-bridge multilevel inverter. *International Journal of Circuit Theory and Applications*. Early view.
- [34] Siddique, M.D., Rawa, M., Mekhilef, S. and Shah, N.M., 2021. A new cascaded asymmetrical multilevel inverter based on switched dc voltage sources. *International Journal of Electrical Power & Energy Systems*, 128, p.106730.