

# بهبود پایداری سیستم اینورتر متصل به شبکه با فیلتر LCL مبتنی بر میراساز فعال جریان خازنی با کاهش تأخیرهای محاسباتی

مجید حسین پور<sup>۱</sup> ماهستان اسد<sup>۲</sup> سیدرضا موسوی اقدم<sup>۳</sup>

۱- دانشیار- دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

[Hoseinpour.majid@uma.ac.ir](mailto:Hoseinpour.majid@uma.ac.ir)

۲- دانش آموزته کارشناسی ارشد- دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

[mahastan.asad@gmail.com](mailto:mahastan.asad@gmail.com)

۳- دانشیار- دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

[r.mousaviaghdam@uma.ac.ir](mailto:r.mousaviaghdam@uma.ac.ir)

چکیده: استفاده از فیلتر LCL برای میراسازی هارمونیک‌های کلیدزنی اینورترهای متصل به شبکه در حال گسترش است. برای تضعیف تشدید حاصل فیلتر LCL، می‌توان از روش‌های مختلفی از جمله روش میراسازی فعال فیدبک جریان خازن فیلتر استفاده نمود. اما وجود تأخیرهای محاسباتی در سیستم کنترل‌کننده دیجیتال و نیز تأخیر ناشی از کلیدزنی PWM در اینورتر، تأثیر قابل توجهی بر میراسازی فعال و پایداری سیستم کنترلی می‌گذارد. غالب روش‌های ارائه شده برای طراحی فیلتر LCL از روش سعی و خطا استفاده می‌کنند و برای حفظ پایداری سیستم در برابر تغییر امپدانس شبکه و در حضور تأخیر، نیاز به محاسبات پیچیده دارند. در این مقاله، یک روش سیستماتیک برای طراحی پارامترهای فیلتر LCL ارائه شده است که باعث می‌شود پاسخ دینامیکی سیستم بهبود یافته و حجم فیلتر کاهش یابد. سپس، برای میراسازی تشدید ناشی از فیلترهای LCL، یک روش گام به گام با کاهش تأخیرهای محاسباتی در حلقه‌ی داخلی فیدبک جریان خازنی و حلقه‌ی بیرونی جریان شبکه برای طراحی پارامترهای کنترلی سیستم اینورتر متصل به شبکه با فیلتر LCL مورد بررسی قرار گرفته است. طراحی صحیح فیلتر LCL و نیز کنترل‌کننده‌ها، باعث می‌شود سیستم اینورتر متصل به شبکه با فیلتر LCL علاوه بر تزریق جریان با کیفیت بسیار خوب به شبکه، در برابر تغییر شدید امپدانس شبکه نیز پایدار است. نتایج شبیه‌سازی در محیط MATLAB/Simulink بیانگر عملکرد مناسب سیستم تحت بررسی است.

واژه‌های کلیدی: اینورتر متصل به شبکه، فیلتر LCL، میراساز فعال، کاهش تأخیر محاسباتی

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.20.1.129

تاریخ ارسال مقاله: ۱۳۹۹/۹/۲۰

تاریخ پذیرش مشروط مقاله: ۱۴۰۱/۴/۶

تاریخ پذیرش مقاله: ۱۴۰۱/۷/۱۶

نام نویسنده‌ی مسئول: دکتر مجید حسین پور

نشانی نویسنده‌ی مسئول: ایران- اردبیل- خیابان دانشگاه- دانشگاه محقق اردبیلی- دانشکده‌ی فنی و مهندسی

## ۱- مقدمه

این تأخیر ممکن است بر روی پایداری سیستم نیز تأثیر گذاشته و محدودیت‌هایی بر روی پهنای باند کنترل تحمیل کند.

با اصلاح لحظه‌ی نمونه‌برداری می‌توان تأخیر کنترلی را کاهش داد. برای این منظور، روش نمونه‌برداری زمان واقعی در [۱۶] و روش‌های نمونه‌برداری چندگانه در [۱۷] ارائه شده است. از طریق شیفت لحظه‌ی نمونه‌برداری به سمت لحظه‌ی به‌روزرسانی مرجع PWM، تأخیر لحظه‌ی نمونه‌برداری کاهش می‌یابد. اگرچه با این روش نمونه‌برداری، دوره‌ی کاری نمی‌تواند در تمام بازه‌ی تغییرات (از صفر به یک) تغییر کند. از این رو، اصلاح لحظه‌ی نمونه‌برداری ممکن است باعث ایجاد نوسان کلیدزنی و نویز در فرکانس بالا شود. در نتیجه عملکرد عادی سیستم کنترلی دچار مشکل می‌شود [۱۸]. روش جبران تأخیر زمانی بر اساس اصل ناحیه‌ی برابر در [۱۴] پیشنهاد شده است. این روش ساده و موثر است اما تنها تأخیرهای محاسباتی را در نصف دوره‌ی نمونه‌برداری جبران می‌کند و هنوز مشکل اغتشاش سیگنال وجود دارد. در [۹]، استفاده از دو حلقه‌ی جریان شبکه و حلقه‌ی جریان اینورتر پیشنهاد شده است که این روش قسمت تناسبی جبران‌ساز تناسبی-تشدیدی (PR) را با یک لینک کنترلی جبران‌کننده‌ی تأخیر جایگزین می‌کند.

در [۱۹]، کنترل اینورتر متصل به شبکه مبتنی بر میراسازی ولتاژ خازن با استفاده از جبران‌سازی پیشخور موازی ارائه شده است که از یک مسیر پیشخور جایگزین حاوی تابع تبدیل مرتبه دوم برای بهبود عملکرد سیستم در برابر تغییرات امپدانس شبکه بهره گرفته شده است. با وجود پایداری مناسب سیستم تحت بررسی، کیفیت جریان تزرقی به شبکه به نحو مطلوبی بهبود نیافته است. در [۲۰]، یک روش مقاوم کنترل جریان سازگار با فرکانس مبتنی بر روش LMI-LQR برای اینورتر متصل به شبکه با فیلتر LCL ارائه شده است. روش ارائه شده در کنار نقاط قوتی مانند پایداری در مقابل تغییرات مقادیر فیلتر LCL و هارمونیک ولتاژ شبکه، ناشی از استفاده از تعداد حسگرهای بیشتر، هزینه و پیچیدگی بالایی دارد. در [۲۱]، یک روش کنترل توسعه یافته مبتنی بر کنترل بازگشت به عقب با هدف بهبود کیفیت جریان تزرقی به شبکه برای اینورتر متصل به شبکه با فیلتر LCL ارائه شده است. در این روش، با وجود کیفیت مناسب جریان تزرقی به شبکه، اثر تأخیرهای محاسباتی لحاظ نشده است.

در این مقاله، یک روش گام به گام برای طراحی پارامترهای فیلتر LCL ارائه می‌شود که باعث می‌شود پاسخ دینامیکی سیستم بهبود یافته و حجم فیلتر کاهش یابد. در ادامه، برای میراسازی تشدید ناشی از فیلترهای LCL، یک روش گام به گام با کاهش تأخیرهای محاسباتی در حلقه‌ی داخلی فیدبک جریان خازنی و حلقه‌ی بیرونی جریان شبکه برای طراحی پارامترهای کنترلی سیستم اینورتر متصل به شبکه با فیلتر LCL مورد بررسی قرار گرفته است که پایداری سیستم را در برابر تغییر زیاد امپدانس شبکه افزایش داده است. نوآوری‌های اصلی این مقاله به قرار زیر است:

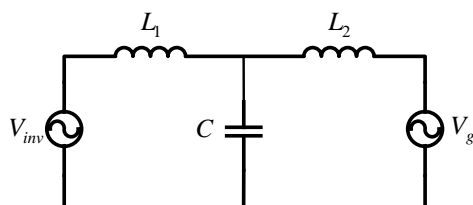
با افزایش بحران انرژی و مشکلات زیست محیطی، استفاده از منابع تولید پراکنده مانند نیروگاه‌های بادی و خورشیدی در حال گسترش هستند. اینورترهای متصل به شبکه به عنوان جزء اصلی برای اتصال منابع تولید پراکنده به شبکه محسوب می‌شوند [۱]. در اینورترهای متصل به شبکه، از یک فیلتر برای حذف هارمونیک‌های کلیدزنی استفاده می‌شود. فیلتر LCL در مقایسه با فیلتر نوع L، علاوه بر اندوکتانس کوچک‌تر و چگالی توان بزرگ‌تر، هارمونیک‌های فرکانس بالا را به نحو بهتری تضعیف می‌کند [۲].

در طراحی پارامترهای فیلتر LCL، معمولاً از استاندارد IEEE-519 برای محدود کردن هارمونیک‌های جریان، حد مجاز توان راکتیو و ماکزیمم افت ولتاژ مجاز در فیلتر جهت محدود کردن تلفات کلیدزنی استفاده می‌شود [۳]. روش‌های مختلفی برای طراحی و بهینه‌سازی پارامترهای فیلتر LCL معرفی شده است. در [۴]، طراحی فیلتر LCL برای اینورترهای متصل به شبکه بر اساس ریپل جریان، توان راکتیو مؤلفه‌ی اصلی، تداخل الکترومغناطیسی و تضعیف ریپل جریان پیشنهاد شده است. تأثیر هارمونیک‌های مختلف ولتاژ بر روی اعوجاج جریان شبکه در [۵] ارزیابی شده و سپس یک ناحیه‌ی مطلوب برای انتخاب پارامترهای فیلتر پیشنهاد شده است. یک روش گام به گام برای طراحی پارامترهای فیلتر LCL در مرجع [۶] ارائه شده است. در این روش، اندوکتانس سمت اینورتر بر اساس ریپل مجاز جریان در فرکانس کلیدزنی انتخاب می‌شود و اندازه‌ی خازن بر اساس توان راکتیو جذب شده توسط فیلتر تعیین شده و اندوکتانس سمت شبکه بر اساس تضعیف هارمونیک جریان تزرقی به شبکه مشخص شده است.

تشدید ناشی از فیلتر LCL بایستی با استفاده از روش‌های میراسازی تضعیف شود تا سیستم اینورتر متصل به شبکه پایدار بماند [۷]. برای میراسازی این تشدید، روش‌های غیرفعال و فعال پیشنهاد شده‌اند. روش میراسازی فعال به علت انعطاف‌پذیری و نداشتن تلفات توان اضافی نسبت به روش غیرفعال ترجیح داده می‌شود. اگرچه در این روش، سیستم کنترلی پیچیده‌تر شده و هزینه‌ی حسگرها نیز افزایش می‌یابد [۸] و [۹]. در این روش میراسازی، از حلقه‌ی فیدبک در حالت‌های مختلف برای تضعیف تشدید استفاده می‌شود. این فیدبک‌ها شامل فیدبک جریان خازن [۱۰]، فیدبک ولتاژ خازن [۱۱]، فیدبک جریان شبکه [۱۲] و تمام فیدبک‌های مختلف [۱۳] هستند. در میان روش‌های میراسازی فعال، از روش فیدبک جریان خازنی بیشتر استفاده می‌شود [۱۴]. در این مقاله از این روش برای میراسازی هارمونیک‌های فیلتر استفاده شده است.

برای تعیین ضریب فیدبک جریان خازنی و همچنین پارامترهای کنترلی، یک روش گام به گام در مرجع [۱۵] ارائه شده که تأخیرهای کنترلی و PWM در این روش لحاظ نشده است. مشخصه‌ی فاز پاسخ فرکانسی ناشی از تأخیر ذاتی سیستم کنترلی دچار تغییر می‌شود و

توان راکتیو بیشتری در فرکانس مؤلفه‌ی اصلی مصرف می‌شود و ضریب توان تزریقی به شبکه تغییر می‌یابد. توان مصرفی توسط خازن ( $Q_c$ ) مطابق رابطه‌ی (۱) باید در محدوده‌ی ۲ تا ۵ درصد توان نامی تزریق شده به شبکه ( $S_N$ ) باشد. محدوده‌ی انتخاب خازن به صورت رابطه‌ی (۲) مشخص می‌شود [۴]. در این رابطه  $\omega_o = 2\pi f_o$  فرکانس زاویه‌ای خروجی و  $V_{ph}$  مقدار مؤثر ولتاژ فاز خروجی است.



شکل (۱): مدار معادل ولتاژ خروجی اینورتر متصل به شبکه با فیلتر LCL

$$2\% \times S_N \leq Q_c \leq 5\% \times S_N \quad (1)$$

$$C = \frac{Q_c}{\omega_o V^2} \Rightarrow \begin{cases} C \leq \frac{0.05 \times S_N}{\omega_o \times V_{ph}^2} \\ C \geq \frac{0.02 \times S_N}{\omega_o \times V_{ph}^2} \end{cases} \quad (2)$$

از آنجا که سلف  $L_2$  هارمونیک جریان را تضعیف می‌کند، در صورت انتخاب اندازه بزرگ برای سلف  $L_2$  هارمونیک‌های فرکانس بالا بهتر تضعیف می‌شوند. مجموع اندوکتانس‌های  $L_1$  و  $L_2$  نباید خیلی بزرگ باشد؛ زیرا منجر به افت ولتاژ در فرکانس مؤلفه‌ی اصلی می‌شود. حداکثر ولتاژ خروجی اینورتر ( $V_{inv}$ ) توسط ولتاژ لینک DC تعیین می‌شود و محدوده‌ی افت ولتاژ بر روی اندوکتانس‌ها را مشخص می‌کند. بنابراین، حداکثر مقدار مجموع اندوکتانس‌ها به صورت رابطه‌ی (۳) محاسبه می‌شوند [۴].

$$L_1 + L_2 \leq \frac{V_{inv} - V_g}{2\pi f_o I_g} \quad (3)$$

## ۲-۱- محاسبه‌ی حداکثر ریپل جریان سلف سمت

### اینورتر $L_1$

در شکل (۱) ولتاژ شبکه سینوسی ایده‌آل فرض می‌شود. با فرض اینکه ولتاژ روی کلیدهای روشن اینورتر صفر است، ولتاژ القا شده بر روی سلف  $L_1$  به صورت رابطه‌ی (۴) محاسبه می‌شود.

$$V_{L_1} = V_{inv} - V_c = V_{dc} - V_{AV} \quad (4)$$

در شکل (۲) ولتاژ خروجی اینورتر تمام پل تک‌فاز نشان داده شده است. این اینورتر به روش SPWM تک‌قطبی کلیدزنی می‌شود. بنابراین، ولتاژ خروجی بین  $-V_{dc}$  و  $V_{dc}$  و صفر تغییر می‌کند. هنگامی که فرکانس کلیدزنی ( $f_s$ ) خیلی بیشتر از فرکانس مؤلفه‌ی اصلی

الف- فیلتر LCL در بهبود کیفیت جریان تزریقی به شبکه و ولتاژ نقطه‌ی اتصال مشترک تأثیرگذار است. طراحی پارامترهای فیلتر LCL با استفاده از تحلیل دیاگرام بود تابع تبدیل فیلتر LCL در [۲۲] بررسی شده است. اما ریپل جریان سلف سمت اینورتر در طراحی مدنظر قرار نگرفته است. روش پیشنهادی با توجه به حداکثر ریپل جریان سلف سمت اینورتر، سلف سمت اینورتر را بدون سعی و خطا طراحی می‌کند. با طراحی گام به گام اجزای فیلتر، حجم و هزینه‌ی طراحی کاهش و پاسخ دینامیکی فیلتر سریع‌تر بوده و فرکانس تشدید مناسب برای کاهش تأخیر محاسباتی به دست آمده است.

ب- طراحی پارامترهای کنترل‌کننده برای میراسازی تشدید فیلتر LCL با توجه به خطای حالت ماندگار، حاشیه‌ی فاز و حاشیه‌ی بهره صورت می‌گیرد. حضور تأخیر بر روی سیستم کنترلی تأثیر می‌گذارد. برای اینکه سیستم اینورتر متصل به شبکه در برابر تغییر امپدانس شبکه پایدار بماند، تابع تبدیل خطی به سیستم کنترلی اضافه می‌شود [۲۳]. در روش پیشنهادی در این مقاله، پارامترهای سیستم کنترلی به صورت گام به گام طراحی شده و با کاهش تأخیر محاسباتی، سیستم در برابر تغییر شدید امپدانس شبکه پایدار است و نیازی به محاسبات اضافی ندارد.

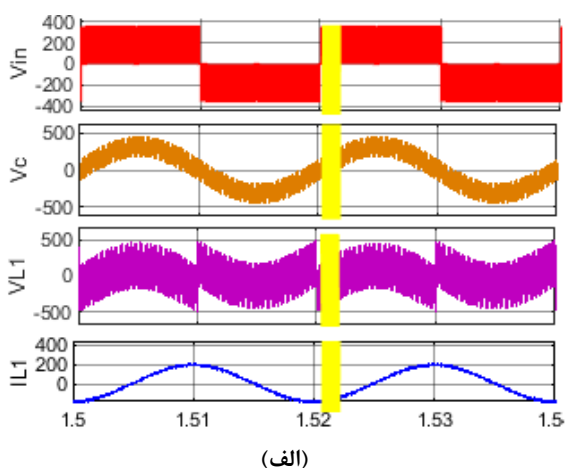
ج- در [۲۴]، روشی برای کاهش تأخیرهای محاسباتی براساس نمونه‌برداری دوگانه مطرح شده است تا تأخیر محاسباتی و تأخیر PWM کاهش یابد و نشان داده شده است که وجود تأخیر باعث ناپایداری سیستم در شرایط تغییر امپدانس شبکه می‌شود. در این مقاله نشان داده می‌شود که حتی در شرایط تغییر امپدانس شبکه نیز با طراحی مناسب فیلتر LCL، سیستم پایداری خود را حفظ می‌کند و نیازی به روش‌های جانبی برای حفظ پایداری نخواهد بود.

ساختار مقاله در ادامه به شرح زیر است: در بخش دوم، طراحی فیلتر LCL ارائه خواهد شد. طراحی کنترل‌کننده در بخش سوم مورد بررسی قرار می‌گیرد. نتایج شبیه‌سازی سیستم پیشنهادی در بخش چهارم ارائه خواهد شد. در نهایت نتیجه‌گیری مقاله در بخش پنجم ارائه می‌شود.

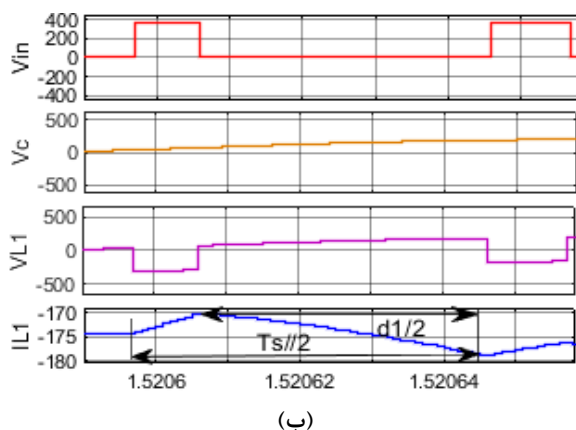
## ۲- طراحی فیلتر LCL

شکل (۱) مدار معادل اینورتر متصل به شبکه با فیلتر LCL را نشان می‌دهد. ریپل جریان سلف سمت اینورتر توسط ولتاژ خروجی اینورتر  $V_{inv}$  و ولتاژ خازن فیلتر تعیین می‌شود. این سلف با ریپل جریان فرکانس بالا سروکار دارد. در نتیجه، تلفات هسته‌ی آن زیاد می‌شود. خازن فیلتر بخش اعظم ریپل جریان فرکانس بالا را میرا می‌کند و تنها به جریان در فرکانس شبکه اجازه عبور می‌دهد. سلف سمت شبکه  $L_2$  هارمونیک جریان سمت شبکه را تضعیف می‌کند.

برای طراحی فیلتر LCL محدودیت‌هایی وجود دارد. اگر اندازه سلف  $L_1$  بزرگ انتخاب شود، ریپل جریان کوچک می‌شود؛ اما هزینه افزایش خازن بزرگ‌تر نیز میزان ریپل جریان را کاهش می‌دهد؛ اما

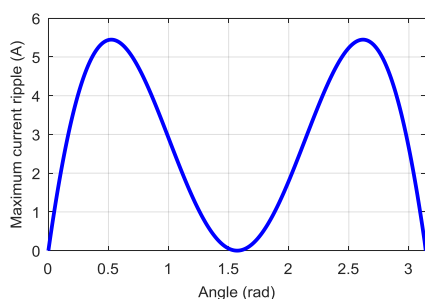


(الف)



(ب)

شکل (۲): شکل موج ولتاژ و جریان سلف، ولتاژ خازن و ولتاژ خروجی اینورتر، الف - دوره خط، ب - دوره کلیدزنی



شکل (۳): دامنه‌ی تغییرات  $\Delta i_{max}$  را در  $m_a=1$  به ازای  $0 < \omega t < \pi$

مقدار سلف  $L_1$  با توجه به ریپل جریان تعیین می‌شود. خازن فیلتر LCL، ریپل جریان را جذب می‌کند و بر روی جریان سمت شبکه و سمت اینورتر تأثیر می‌گذارد. از آنجایی که خازن به همراه سلف  $L_1$  کار می‌کند، تأثیر آن بر ریپل جریان سمت شبکه و سمت اینورتر با هم تحلیل می‌شود. نمودار سه‌بعدی شکل (۴) ریپل جریان سلف سمت اینورتر را به ازای  $L_1$  و  $C$ ‌های مختلف نشان می‌دهد. تأثیر خازن بر روی ریپل جریان بسیار شبیه به تأثیر اندوکتانس سلف  $L_1$  است، اما جریان حساسیت بیشتری به اندوکتانس سلف  $L_1$  دارد.

( $f_o$ ) باشد، مقدار متوسط ولتاژ خروجی اینورتر ( $V_{AV}$ ) در طول دوره‌ی کلیدزنی ثابت فرض می‌شود [۴].

جریان سلف سمت اینورتر در یک دوره کلیدزنی در شکل (۲) نشان داده شده است. مقدار پیک تا پیک جریان سلف ( $\Delta i_{pp}$ ) به صورت رابطه‌ی (۵) محاسبه می‌شود [۲۵].

$$\Delta i_{pp} = 2\Delta i_{max} = \frac{(V_{dc} - V_{AV})}{L_1} \frac{d_1}{2} T_s \quad (5)$$

زمانی که  $0 < \omega t < \pi$  باشد، ولتاژ متوسط خروجی اینورتر را می‌توان به صورت رابطه‌ی (۶) نوشت:

$$V_{AV}(\omega t) = d_1(\omega t) V_{dc} \quad (6)$$

با استفاده از روابط (۶)، (۷) و (۸) مقدار پیک تا پیک جریان سلف سمت اینورتر در بازه‌ی  $0 < \omega t < \pi$  به صورت رابطه‌ی (۹) به دست می‌آید. در این روابط،  $m_a$  بیانگر اندیس مدولاسیون می‌باشد.

$$V_c(\omega t) = m_a V_{dc} \sin(\omega t) \quad (7)$$

$$d_1(\omega t) = m_a \sin(\omega t) \quad (8)$$

$$\Delta i_{pp}(\omega t) = \frac{V_{dc} T_s}{2L_1} [(m_a \sin(\omega t)) \times (1 - m_a \sin(\omega t))] \quad (9)$$

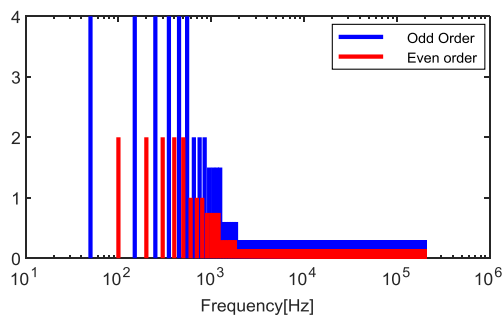
شکل (۳) دامنه‌ی تغییرات  $\Delta i_{max}$  را در  $m_a=1$  به ازای  $0 < \omega t < \pi$  نشان می‌دهد. اگر  $\theta$  برابر  $\pi/2$  یا  $\sin^{-1}(1/2m_a)$  یا برابر  $\pi - \sin^{-1}(1/2m_a)$  باشد، بیشترین مقدار خود را خواهد داشت. چنانچه اندیس مدولاسیون  $m_a$  برابر با یک فرض شود، بیشترین مقدار برای  $i_{pp}$  مطابق رابطه‌ی (۱۱) محاسبه می‌شود [۲۵].

همان‌طور که در رابطه‌ی (۱۰) مشاهده می‌شود، مقدار سلف  $L_1$  با توجه به ریپل جریان محدود می‌شود و معمولاً در محدوده‌ی ۷/۵ تا ۲۰ درصد جریان مرجع در نظر گرفته می‌شود [۲۶].

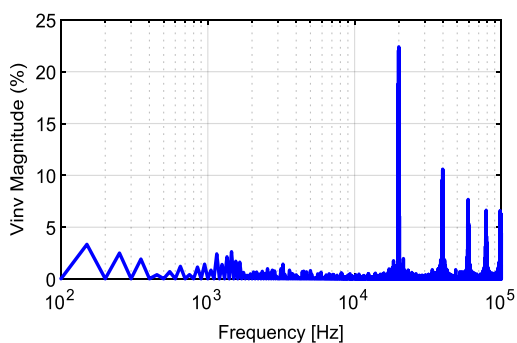
$$\Delta i_{pp} = \frac{V_{dc} T_s}{2L_1} \left(\frac{1}{2}\right) \left(\frac{1}{2}\right) = \frac{V_{dc} T_s}{8L_1} \quad (10)$$

در رابطه‌ی (۱۰)،  $\Delta i_{pp}$  بیشترین ریپل جریان سلف سمت اینورتر است و  $I_{ref}$  پیک جریان نامی می‌باشد. با توجه به رابطه‌ی (۱۱)، حد بالا و حد پایین برای مقدار سلف  $L_1$  مشخص می‌گردد.

$$7.5\% \leq \frac{\Delta i_{pp}}{I_{ref}} = \frac{V_{dc} T_s}{8L_1} \leq 20\% \quad (11)$$



شکل (۵): طیف هارمونیکی استاندارد برای جریان تزریقی سمت شبکه

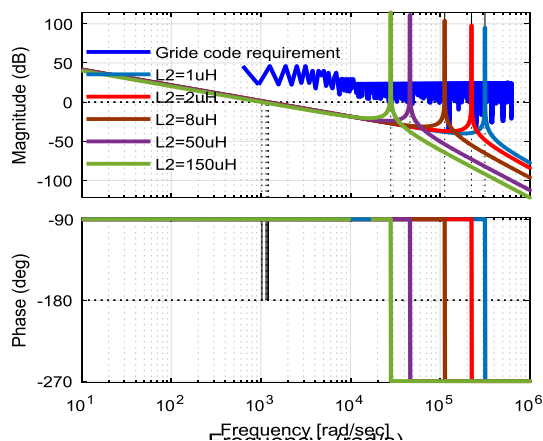


شکل (۶): طیف هارمونیکی ولتاژ خروجی اینورتر

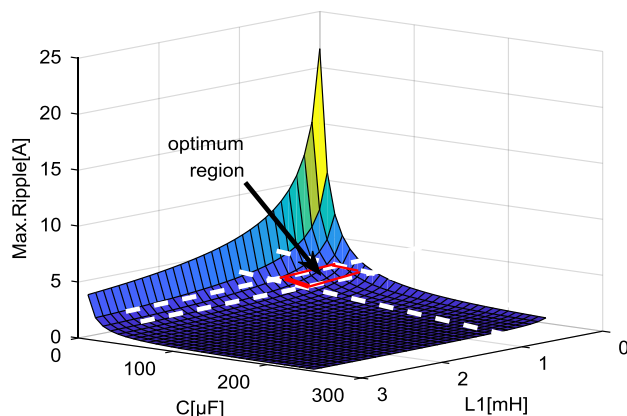
دیگرام bode برای تابع تبدیل شبکه (با لحاظ دستورالعمل‌های موردنیاز شبکه) به کمک رابطه‌ی (۱۲) به صورت شکل (۷) رسم می‌شود. در واقع این شکل حاصل تابع تبدیل ناشی از هارمونیک‌های جریان خروجی فیلتر به هارمونیک‌های ولتاژ ورودی است. برای آنکه دستورالعمل شبکه رعایت شود، باید تابع تبدیل شبکه با لحاظ فیلتر LCL کوچک‌تر از تابع تبدیل به دست آمده در رابطه‌ی (۱۲) بوده و در واقع باید رابطه‌ی (۱۳) برقرار باشد.

$$G_{grid}(s) = \frac{I_{g\_spec}(s)}{V_{inv\_spwm}(s)} = 20 \log \frac{I_{g\_spec}(\omega)}{V_{inv\_spwm}(\omega)} \quad (12)$$

$$G_{LCL}(S) = \frac{I_g(S)}{V_{inv}(S)} = \frac{1}{L_1 L_2 C S^3 + (L_1 + L_2) S} < G_{grid}(S) \quad (13)$$



شکل (۷): دیگرام بود برای تابع تبدیل شبکه و فیلتر



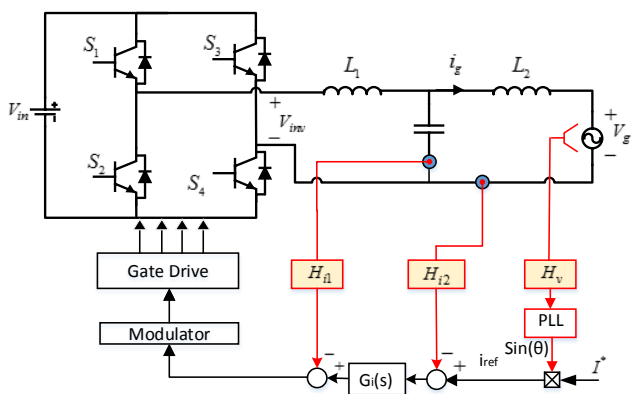
شکل (۴): ریپل جریان سلف سمت اینورتر به ازای  $L_1$  و  $C$  های مختلف

به کمک روابط (۲)، (۳) و (۱۱)، نمودار سه‌بعدی شکل (۴) ترسیم می‌گردد. حدود به دست آمده برای سلف  $L_1$  و خازن یکدیگر را در ناحیه‌ی مشخص شده قطع می‌کنند. این محدوده بهترین انتخاب را برای مقدار سلف  $L_1$  و خازن با در نظر گرفتن ریپل جریان ارائه می‌دهد.

## ۲-۲- طراحی سلف سمت شبکه $L_2$

سلف سمت شبکه  $L_2$  وظیفه‌ی تضعیف هارمونیک‌ها را بر عهده دارد. برای طراحی سلف سمت شبکه دستورالعمل‌های مورد نیاز شبکه باید در نظر گرفته شود. این دستورالعمل‌ها مقدار مؤلفه‌ی هارمونیک‌ی اعوجاج هارمونیک‌ی کل (THD) جریان شبکه را محدود می‌سازند. مطابق استانداردهای IEEE-519 و IEEE-1547 که برای سیستم‌های تجدیدپذیر و منابع تولید پراکنده مورد استفاده قرار می‌گیرند، هارمونیک‌های بالاتر از مرتبه‌ی ۳۵ باید محدود شوند [۴] و [۲۶]. برای یک اینورتر متصل به شبکه، اگر جریان اتصال کوتاه در سیستم قدرت کمتر از ۲۰ برابر جریان نامی سمت شبکه باشد، هر مؤلفه‌ی هارمونیک جریان بزرگ‌تر از مرتبه‌ی ۳۵ باید کمتر از ۰/۳٪ جریان نامی باشد [۲۶]. طیف هارمونیک‌ی استاندارد برای جریان تزریقی سمت شبکه در شکل (۵) نشان داده شده است. طیف هارمونیک‌ی جریان تزریقی سمت شبکه باید دامنه‌ای کمتر از مقدار استاندارد ارائه شده در شکل (۵) داشته باشد. ولتاژ خروجی اینورتر با استفاده از کلیدزنی SPWM، دارای طیف هارمونیک‌ی مطابق شکل (۶) می‌باشد. مطابق این شکل، هارمونیک‌های بزرگی در فرکانس کلیدزنی و اطراف آن برای ولتاژ خروجی وجود دارد. فیلتر باید این طیف هارمونیک‌ی را تضعیف کند تا دامنه هارمونیک‌ها کمتر از طیف استاندارد باشند.

حسگرهای ولتاژ شبکه و جریان تزریقی به شبکه هستند. فیدبک جریان خازن  $i_c$  برای میراسازی پیک تشدید ایجاد شده توسط فیلتر LCL به مدار اضافه شده است که  $H_{il}$  ضریب این فیدبک می‌باشد. از کلیدزنی مدولاسیون پهنای پالس (SPWM) تک‌قطبی برای اینورتر متصل به شبکه استفاده شده است.  $G_T(s)$  تنظیم‌کننده‌ی جریان است. یک حلقه قفل فاز (PLL) برای سنکرون‌سازی جریان تزریق شده به شبکه  $i_g$  با ولتاژ شبکه  $v_g$  به کار رفته است. یک حلقه‌ی خارجی کنترل‌کننده‌ی توان به صورت خودکار دامنه‌ی جریان مرجع  $I^*$  را تنظیم می‌کند.



شکل (۸): طرح کنترلی برای اینورتر متصل به شبکه با فیلتر LCL

در کنترل دیجیتال، تأخیر محاسباتی و تأخیر مدولاسیون پهنای پالس (PWM) وجود دارد. تأخیر محاسباتی مدت زمان لحظه‌ی نمونه‌برداری و لحظه‌ی به‌روزرسانی مرجع PWM است که برای نمونه‌برداری و محاسبه استفاده می‌شود.  $T_s$  دوره‌ی زمانی نمونه‌برداری است. تأخیرهای محاسباتی حلقه‌ی داخلی جریان خازن و حلقه‌ی بیرونی جریان شبکه به ترتیب به صورت  $(0 \leq \lambda_1 \leq 1)$  و  $(0 \leq \lambda_2 \leq 1)$  تعریف شده‌اند. تأخیر PWM در اثر نگه‌دارنده‌ی مرتبه‌ی صفر (ZOH) ایجاد می‌شود. نگه‌دارنده‌ی مرتبه‌ی صفر مرجع PWM را بعد از هر به‌روزرسانی ثابت نگه می‌دارد. این تأخیر به صورت رابطه‌ی (۱۵) تعریف می‌شود. با توجه به این رابطه، تأخیر PWM نصف دوره‌ی نمونه‌برداری است.

$$G_h(s) = \frac{1 - e^{-sT_s}}{s} \approx T_s e^{-s0.5T_s} \quad (15)$$

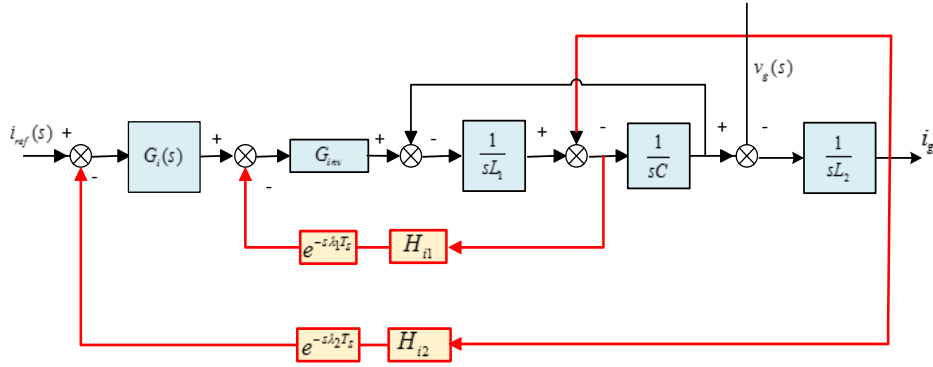
شکل (۹) مدل کلیدزنی میانگین اینورتر متصل به شبکه با فیلتر LCL را نشان می‌دهد.  $G_{inv}$  تابع تبدیل اینورتر است. فرکانس کلیدزنی

مطابق شکل (۷)، سلف  $L_1$  به اندازه‌ی  $20 \text{ dB/dec}$  در محدوده فرکانس پایین موجب تضعیف منحنی اندازه می‌شود. در محدوده فرکانسی بزرگ‌تر از فرکانس تشدید، سلف  $L_2$  و خازن  $C$  در تضعیف منحنی اندازه اثر گذاشته و منحنی اندازه به اندازه‌ی  $60 \text{ dB/dec}$  در فرکانس‌های بالا میرا می‌شود. پس از تعیین مقدار سلف  $L_1$  و خازن  $C$ ، تأثیر سلف  $L_2$  بر روی تضعیف هارمونیک‌های فرکانس بالا مورد بررسی قرار می‌گیرد. در شکل (۷)، تابع انتقال جریان شبکه به ولتاژ خروجی اینورتر به ازای مقادیر متفاوت  $L_2$  نشان داده شده است. به ازای مقدار کوچک برای سلف  $L_2$  میرایی مناسبی در فرکانس کلیدزنی و در اطراف آن حاصل نمی‌شود.  $L_2$  باید به‌گونه‌ای انتخاب شود که حاشیه‌ی پایداری کافی حاصل شود. مطابق شکل (۷)، اگر مقدار سلف  $L_2$  کمتر از  $0.008$  میلی‌هنری باشد، نمی‌توان نیاز دستورالعمل شبکه را در فرکانس کلیدزنی و در اطراف آن برآورده ساخت. هر المان در فیلتر LCL دارای محدودیت‌هایی است و فرکانس تشدید را در مجموع سه المان فیلتر مشخص می‌کنند. فرکانس تشدید نیز محدودیت‌هایی دارد. باند پایینی معمولاً بزرگ‌تر از ده برابر فرکانس خط تنظیم می‌شود تا از هارمونیک‌های فرکانس پایین جلوگیری کند. این هارمونیک‌ها توسط حلقه‌ی کنترلی تضعیف می‌شوند. باند بالایی معمولاً پایین‌تر از نصف فرکانس کلیدزنی انتخاب می‌شود تا مانع ایجاد تشدید در LCL شود [۲۶]. مقدار فرکانس تشدید بر اساس رابطه‌ی (۱۴) محاسبه می‌شود.

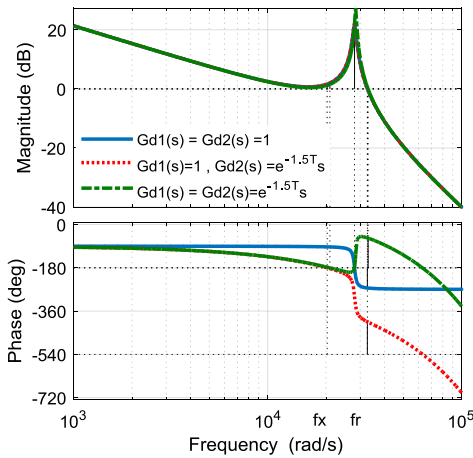
$$f_r = \frac{1}{2\pi} \sqrt{\frac{L_1 + L_2}{L_1 L_2 C}} \quad (14)$$

### ۳- طراحی کنترل‌کننده

اگرچه تابع انتقال شکل (۷) در فرکانس کلیدزنی، تضعیف مناسبی دارد اما پیک بزرگی در فرکانس تشدید داشته و دستورالعمل شبکه در اطراف فرکانس تشدید به‌خوبی برآورده نمی‌شود. دو روش برای میراسازی پیک تشدید شامل روش غیرفعال و فعال پیشنهاد می‌شود. استفاده از فیدبک جریان خازنی به جای مقاومت موازی با خازن جزو روش‌های مطلوب فعال می‌باشد. در این روش، تنظیم جریان تزریقی به شبکه و میراسازی فعال فیدبک جریان خازنی برای کنترل فیلتر LCL متصل به شبکه ضروری است. تنظیم‌کننده‌ی جریان، کیفیت جریان تزریقی به شبکه را تضمین می‌کند. میراساز فعال باعث تضعیف پیک تشدید ناشی از فیلتر LCL می‌شود و در نهایت سیستم پایدار می‌ماند. شکل (۸) طرح کنترلی اینورتر متصل به شبکه با فیلتر LCL را نشان می‌دهد. مقاومت‌های سری با سلف‌های  $L_1$  و  $L_2$  و خازن  $C$  مقدار کوچکی دارند و نادیده گرفته می‌شوند.  $H_{i2}$  و  $H_V$  به ترتیب بهره‌ی



شکل (۹): مدل کلیدزنی میانگین اینورتر متصل به شبکه با فیلتر LCL



شکل (۱۰): دیاگرام بode تابع  $T_o(s)$  با تأخیرهای کنترلی مختلف

تأخیرهای کنترلی که در اثر کنترل دیجیتال ایجاد می‌شوند، می‌توانند مشخصه‌های بهره‌ی حلقه‌های داخلی و خارجی را تغییر دهند. تأخیرهای کنترل در حلقه‌ی بیرونی  $G_{d2}(s)$  به عنوان تأخیر فاز  $T_o(s)$  معرفی می‌شود. تأخیر زاویه‌ی فاز متناسب با فرکانس است که به صورت زیر تعریف می‌شود.

$$G_g(s) = \frac{s^2 L_1 C + s C H_{i1} K_{PWM} G_{d1}(s) + 1}{s^3 L_1 L_2 C + s^2 L_2 C H_{i1} K_{PWM} G_{d1}(s) + s(L_1 + L_2)} \quad (20)$$

با توجه به رابطه‌ی (۲۰)، جایی که تأخیر فاز  $90^\circ$  باشد، فرکانس به صورت زیر بدست می‌آید.

$$f_x = \frac{f_s}{4(\lambda_2 + 0.5)} \quad (21)$$

در رابطه‌ی فوق،  $f_s = 1/T_s$  فرکانس نمونه‌برداری است. به ازای  $f_r > f_x$ ، فاز  $T_o(s)$  از  $-180^\circ$  در  $f_x$  عبور می‌کند که در شکل (۱۰) با خط چین نشان داده شده است. برای اطمینان از پایداری، لازم است که حاشیه‌ی بهره در  $f_x$  از صفر بزرگ‌تر باشد. باید پیک تشدید در  $f_r$  در زیر صفر دسی‌بل میرا شود. به ازای  $f_x > f_r$ ، پایداری بحرانی مشابه سیستم آنالوگ خواهد بود. تأخیر کنترلی در حلقه‌ی داخلی  $G_{d1}(s)$  باعث تغییر مقاومت مجازی می‌شود. مقاومت مجازی از امیدانس حلقه‌ی

اینورتر منبع ولتاژ (VSI) به اندازه‌ی کافی بالا فرض می‌شود. از این‌رو،  $G_{inv}$  به صورت تقریبی برابر با  $V_{inv}/V_{tri}$  در نظر گرفته می‌شود. ولتاژ خروجی اینورتر و دامنه‌ی موج حامل مثلثی است. مطابق شکل (۹)، بهره‌ی حلقه  $T_o(s)$  مطابق رابطه‌ی (۱۶) محاسبه می‌شود. در رابطه‌ی (۱۶)، توابع  $G_{d1}(s)$  و  $G_{d2}(s)$  به ترتیب تأخیرهای محاسباتی حلقه‌ی داخلی جریان خازن و حلقه‌ی خارجی جریان شبکه هستند که بر اساس رابطه‌ی (۱۷) قابل بیان هستند.

$$T_o(s) = \frac{H_{i2} K_{PWM} G_i(s) G_{d2}(s)}{s^3 L_1 L_2 C + s^2 L_2 C H_{i1} K_{PWM} G_{d1}(s) + s(L_1 + L_2)} \quad (16)$$

$$G_{d1}(s) = e^{-s\lambda_1 T_s} \cdot \frac{1}{T_s} \cdot G_h(s) = e^{-s(\lambda_1 + 0.5)T_s}; \quad (0 \leq \lambda_i \leq 1, i = 1, 2) \quad (17)$$

مطابق شکل (۹)، جریان شبکه را می‌توان بر اساس جریان مرجع و ولتاژ شبکه مطابق رابطه‌ی (۱۸) بیان نمود.

$$i_g(s) = \frac{1}{H_{i2}} \frac{T_o(s)}{1 + T_o(s)} i_{ref}(s) - \frac{G_g(s)}{1 + T_o(s)} v_g(s) \quad (18)$$

در رابطه‌ی (۱۸)،  $G_g(s)$  ادمیتانس خروجی حلقه باز اینورتر است که مطابق رابطه‌ی (۱۹) بدست می‌آید.

$$G_g(s) = \frac{s^2 L_1 C + s C H_{i1} K_{PWM} G_{d1}(s) + 1}{s^3 L_1 L_2 C + s^2 L_2 C H_{i1} K_{PWM} G_{d1}(s) + s(L_1 + L_2)} \quad (19)$$

### ۳-۱- تأثیر تأخیر بر روی بهره‌ی حلقه

در کنترل سیستم به صورت آنالوگ، تأخیرهای کنترل دیجیتال وجود ندارد و مقادیر تابع تبدیل تأخیر به صورت  $G_{d1}(s) = G_{d2}(s) = 1$  است. بهره‌ی حلقه در این شرایط در شکل (۱۰) با خط ممتد نشان داده شده است و  $G_i(s) = 1$  است. در فرکانس‌های پایین‌تر از فرکانس تشدید، زاویه‌ی فاز  $T_o(s)$  تقریباً نزدیک به  $-90^\circ$  است و در  $f_r$  از  $-180^\circ$  عبور می‌کند. حلقه‌ی داخلی جریان خازن معادل مقاومت مجازی است که موازی با خازن فیلتر بوده و تشدید فیلتر LCL را میرا می‌کند. برای تضمین پایداری سیستم، پیک تشدید باید زیر صفر دسی‌بل میرا شود.

گرفت. بدین ترتیب، اندازه‌ی  $T_o(s)$  را می‌توان به صورت رابطه‌ی (۲۴) بازنویسی کرد.

$$|T_o(s)| \approx \left| \frac{H_{i2} K_{PWM} G_i(s)}{s(L_1 + L_2)} \right| \quad (24)$$

از آنجایی که می‌توان در فرکانس قطع، تنظیم‌کننده‌ی PR را مانند جبران‌کننده‌ی تناسبی تنظیم کرد [۲۴] و [۲۵]،  $|G_i(s)| \approx K_p$  و  $|T_o(j2\pi f_c)| = 1$  است. بنابراین،  $K_p$  را می‌توان به صورت رابطه‌ی (۲۵) بیان نمود.

$$K_p \approx \frac{2\pi(L_1 + L_2)}{K_{PWM} H_{i2}} f_c \quad (25)$$

رابطه‌ی (۲۵) نشان می‌دهد که  $f_c$  تقریباً با  $K_p$  متناسب است. به عبارت دیگر با  $K_p$  بزرگ‌تر، پاسخ دینامیکی سریع‌تر است و بهره‌ی حلقه در فرکانس‌های کم افزایش می‌یابد. نواحی مطلوب برای انتخاب  $K_r$  و  $K_p$  و  $H_{il}$  با لحاظ خطای حالت ماندگار و حاشیه‌ی بهره تعیین می‌شود.

### ۳-۳- خطای حالت ماندگار

خطای حالت ماندگار در اینورترهای متصل به شبکه شامل خطای فاز و خطای دامنه است. از آنجا که بهره‌ی تناسبی به آسانی با جبران‌ساز PR بدست می‌آید، خطای فاز را می‌توان به آسانی محدود کرد. اما خطای دامنه را نمی‌توان نادیده گرفت [۲۴]. خطای دامنه را می‌توان به صورت رابطه‌ی (۲۶) تعریف نمود. در رابطه‌ی (۲۶)،  $I_g$ ،  $I_{ref}$  و  $V_g$  مقادیر موثر هستند. در این رابطه با در نظر گرفتن  $|T_o(j2\pi f_o)| \gg 1$  می‌توان  $E_A$  را به صورت رابطه‌ی (۲۷) بازنویسی نمود.

$$E_A = \frac{I_{ref} - H_{i2} |I_g(j2\pi f_o)|}{I_{ref}} \quad (26)$$

$$= 1 - \left| \frac{T_o(j2\pi f_o)}{1 + T_o(j2\pi f_o)} - \frac{H_{i2} V_g G_g(j2\pi f_o)}{I_{ref} (1 + T_o(j2\pi f_o))} \right|$$

$$E_A \approx 1 - \left| 1 - \frac{H_{i2} V_g G_g(j2\pi f_o)}{I_{ref} T_o(j2\pi f_o)} \right| \quad (27)$$

از آنجایی که  $f_o$  خیلی دورتر از  $f_r$  است، تأثیر خازن فیلتر را می‌توان نادیده گرفت و  $T_o(s)$  و  $G_g(s)$  در  $f_o$  به صورت زیر ساده می‌شود.

$$G_g(j2\pi f_o) \approx \frac{1}{j2\pi f_o (L_1 + L_2)} \quad (28)$$

$$T_o(j2\pi f_o) \approx \frac{H_{i2} K_{PWM} (K_p + K_r)}{j2\pi f_o (L_1 + L_2)} \quad (29)$$

با جایگذاری روابط (۲۸) و (۲۹) در رابطه‌ی (۲۷)،  $E_A$  را می‌توان به صورت زیر بیان نمود.

$$E_A \approx \frac{V_g}{I_{ref} K_{PWM} (K_p + K_r)} \quad (30)$$

داخلی به دست می‌آید. این امیدانس شامل مقاومت منفی در فرکانس  $f_{Rb}$  است.  $f_{Rb}$  به صورت رابطه‌ی (۲۲) تعریف می‌شود [۱۶].

$$f_{Rb} = \frac{f_s}{4(\lambda_1 + 0.5)} \quad (22)$$

به ازای  $f_r > f_{Rb}$ ، مقاومت منفی در فرکانس تشدید یک جفت قطب ناپایدار ایجاد می‌کند. به ازای  $f_r > f_x$  و  $f_r > f_{Rb}$ ، فاز بهره‌ی حلقه از  $180^\circ$  در فرکانس تشدید دوباره عبور می‌کند که در شکل (۱۰) با نقطه‌خط نشان داده شده است. در این حالت،  $GM_1 > 0dB$  در  $f_x$  و  $GM_2 < 0dB$  در  $f_r$  به طور همزمان پایدارسازی سیستم را تضمین می‌کنند.

### ۳-۲- کاهش تأخیر محاسباتی

از آنجا که تأخیر PWM برابر نصف دوره‌ی نمونه‌برداری در نظر گرفته می‌شود، کاهش تأخیر در حلقه‌های کنترل جریان مورد توجه قرار می‌گیرد. مطابق رابطه‌ی (۲۲)،  $f_{Rb}$  با کاهش تأخیر حلقه‌ی داخلی جریان  $(\lambda_1 T_s)$ ، افزایش می‌یابد. هنگامی که این تأخیر برابر صفر باشد،  $f_{Rb}$  برابر نصف فرکانس کلیدزنی است. فرکانس تشدید فیلتر LCL معمولاً کمتر از نصف فرکانس نمونه‌برداری است. بنابراین، محدوده فرکانسی  $f_{Rb} > f_r$  به ازای  $\lambda_1 T_s = 0$  همواره مطلوب است و قطب‌های ناپایدار حذف می‌شوند. مطابق رابطه‌ی (۲۰)، تأخیر محاسباتی در حلقه‌ی بیرونی  $(\lambda_2 T_s)$ ، فاز بهره‌ی حلقه را کاهش می‌دهد. بنابراین، مشخصات حالت پایدار و عملکرد دینامیکی و ناحیه‌ی انتخاب پارامترهای کنترلی تحت تأثیر  $\lambda_2 T_s$  قرار می‌گیرند.

جبران‌ساز PR در مقایسه با PI بهره‌ی بزرگ‌تری در فرکانس مؤلفه‌ی اصلی دارد که می‌تواند خطای حالت پایدار را به خوبی محدود کند [۲۵]. تابع انتقال این جبران‌ساز به صورت رابطه‌ی (۲۳) ارائه می‌شود.

$$G_i(s) = K_p + \frac{2K_r \omega_i s}{s^2 + 2\omega_i s + \omega_o^2} \quad (23)$$

که  $\omega_i$  پهنای باند بخش تشدید است. بهره‌ی بخش تشدید جبران‌ساز PR در  $\omega_o \pm \omega_i$  برابر  $K_r / \sqrt{2}$  می‌شود. اینورترهای متصل به شبکه که از منابع تولید پراکنده کوچک تغذیه می‌شوند، باید به ازای تغییر فرکانس شبکه در بازه  $49/5$  تا  $50/2$ ، به عملکرد عادی خود ادامه دهند. اگر حداکثر نوسان فرکانس  $\Delta f = 0.5$  فرض شود،  $\omega_i = 2\pi \Delta f = \pi$  (rad/s) تنظیم می‌شود تا بهره کافی در محدوده‌ی فرکانس کاری به دست آید.

فرکانس قطع  $(f_c)$  معمولاً کمتر از فرکانس کلیدزنی  $(f_s)$  در نظر گرفته می‌شود و در این صورت نویز فرکانس بالا تضعیف می‌شود. در این مقاله، کلیدزنی به روش SPWM تک‌قطبی انجام شده است و فرکانس مؤثر در  $2f_s$  ظاهر می‌شود. در این صورت، میراسازی هارمونیک‌های مؤثر و نیز پاسخ دینامیکی مناسبی حاصل می‌شود. بنابراین، در یک طراحی مناسب برای اینورتر متصل به شبکه با فیلتر LCL، فرکانس قطع از فرکانس تشدید کوچک‌تر حاصل می‌شود. از این‌رو تأثیر خازن فیلتر در فرکانس قطع و فرکانس‌های پایین‌تر از آن را می‌توان نادیده



### ۴-۳- حاشیه‌ی بهره

زمانی که تأخیر محاسباتی در حلقه‌ی داخلی برداشته می‌شود، فاز از  $-180^\circ$  یک بار عبور می‌کند و کوچک‌تر از  $f_x$  و  $f_r$  است. بنابراین، حاشیه‌ی فاز مطابق رابطه‌ی (۳۱) تعریف می‌شود.

$$GM = \begin{cases} -20\lg|T_o(j2\pi f_r)| & (f_r \leq f_x) \\ -20\lg|T_o(j2\pi f_x)| & (f_r > f_x) \end{cases} \quad (31)$$

که در رابطه‌ی فوق  $T_o(j2\pi f_r)$  و  $T_o(j2\pi f_x)$  را می‌توان به صورت روابط (۳۲) و (۳۳) بیان کرد.

$$|T_o(j2\pi f_r)| \approx \frac{L_1 H_{i2} K_p}{(L_1 + L_2) H_{i1}} \quad (32)$$

$$|T_o(j2\pi f_x)| \approx \frac{K_{PWM} H_{i2} K_p}{4\pi^2 L_2 C [H_{i1} K_{PWM} f_x^2 + 2\pi L_1 f_x (f_r^2 - f_x^2)]} \quad (33)$$

### ۵-۳- حاشیه‌ی فاز

از آنجایی که فرکانس قطع ( $f_c$ ) بالاتر از  $f_o$  و  $2\pi\omega_i$  است، از این رو  $G_i(s)$  را می‌توان به صورت  $G_i(s) = k_p + 2k_i\omega_i/s$  ساده نمود. برای محاسبه‌ی حاشیه‌ی فاز در  $f_c$ ، با جایگذاری  $j2\pi f_c$  در رابطه‌ی (۱۶) و با توجه به PM می‌توان رابطه‌ی (۳۴) را اظهار داشت.

$$PM = \frac{\pi}{2} - (2\lambda_2 + 1)\pi f_c T_s - \tan^{-1} \frac{K_r \omega_i}{\pi f_c K_p} - \tan^{-1} \frac{f_c K_{PWM} H_{i1} \cos(\pi f_c T_s)}{2\pi(f_r^2 - f_c^2)L_1 + f_c K_{PWM} H_{i1} \sin(\pi f_c T_s)} \quad (34)$$

### ۶-۳- ناحیه‌ی پارامترهای کنترلی

مطابق روابط (۲۵) و (۳۰)، محدوده  $K_r$  بر اساس  $f_c$  و  $E_A$  را می‌توان به صورت زیر تعریف نمود.

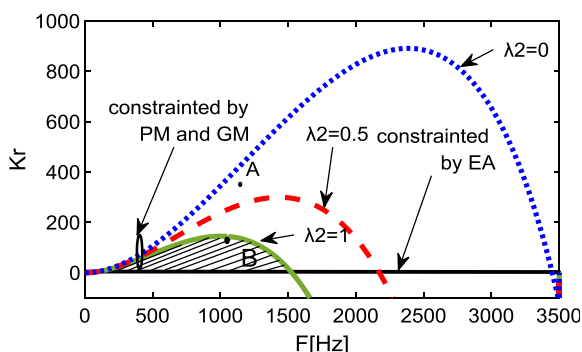
$$K_{r-EA}(f_c) = \frac{V_g}{E_A I_{ref} K_{PWM}} - \frac{2\pi(L_1 + L_2)}{K_{PWM} H_{i2}} f_c \quad (35)$$

مطابق روابط (۲۵) و (۳۱)-(۳۳)، محدوده  $H_{i1}$  با توجه به  $f_c$  تحت GM را می‌توان به صورت رابطه‌ی (۳۶) تعریف نمود. مطابق روابط (۲۵)، (۳۴) و (۳۶)، محدوده  $K_r$  با توجه به  $f_c$  تحت GM و PM را می‌توان به صورت رابطه‌ی (۳۷) به دست آورد. مطابق روابط (۳۵) و (۳۷)، ناحیه‌ی مطلوب برای  $K_r$  و  $f_c$  به ازای  $\lambda_2$ های مختلف در شکل (۱۱) رسم شده است. همان‌طور که مشاهده می‌شود، با کاهش  $\lambda_2$  ناحیه‌ی مطلوب بزرگ‌تر می‌شود و این امکان را فراهم می‌کند که  $K_r$  و  $f_c$  بزرگ‌تر شده و پاسخ دینامیکی و پایداری سیستم بهبود یابد.

### ۴- طراحی یک نمونه و شبیه‌سازی سیستم

#### پیشنهادی

طراحی پارامترهای فیلتر بر اساس روش ذکر شده برای یک سیستم با ولتاژ فاز ۲۲۰ ولت و فرکانس مؤلفه‌ی اصلی ۵۰ هرتز و توان نامی



شکل (۱۱): ناحیه‌ی مطلوب برای  $K_r$  و  $f_c$  به ازای  $\lambda_2$ های مختلف

۶۰۰۰ وات انجام شده است. ابتدا حداکثر و حداقل مقدار برای اندوکتانس و خازن با استفاده از روابط (۲) و (۱۱) محاسبه شده و در ادامه محدوده‌ی مقدار خازن برابر  $7/189$  تا  $19/72$  میکروفاراد تعیین می‌شود. محدوده‌ی مقدار اندوکتانس برابر  $0/583$  تا  $1/556$  میلی‌هانری) به دست می‌آید. حداکثر ریپل جریان را می‌توان با استفاده از رابطه‌ی (۱۱) به دست آورد. با استفاده از روابط (۲)، (۳) و (۱۱)، نمودار سه‌بعدی شکل (۴) ترسیم می‌شود. می‌توان به کمک این نمودار ناحیه‌ی مطلوب را برای انتخاب خازن و سلف سمت اینورتر مشاهده نمود. برای بررسی بدترین شرایط، حداکثر ریپل جریان مدنظر قرار می‌گیرد. مقدار سلف  $L_1$  برابر  $0/826$  میلی‌هانری) مطابق رابطه‌ی (۱۱) حاصل می‌شود. انتخاب مقدار بزرگ برای سلف  $L_1$  هزینه را افزایش می‌دهد. از این رو سلف  $L_1$  بر اساس مصالحه‌ای بین ریپل جریان و اندازه‌ی سلف انتخاب می‌شود. با توجه به ناحیه‌ی مطلوب و با توجه به توان راکتیو مصرفی توسط خازن، مقدار خازن نیز برابر  $10$  میکروفاراد) انتخاب می‌شود. در نهایت  $L_2$  با توجه به تضعیف موردنیاز شبکه مشخص می‌گردد. براساس رابطه‌ی (۳)، مقدار مجموع دو سلف باید کمتر از  $5/72$  میلی‌هانری باشد. با تعیین تمام پارامترها، فرکانس تشدید مشخص می‌شود. فرکانس تشدید با استفاده از رابطه‌ی (۱۴) برابر  $4/46$  kHz می‌شود. فرکانس تشدید به دست آمده خیلی دورتر از هارمونیک‌های مرتبه‌ی پایین است. همچنین فاصله لازم را از فرکانس کلیدزنی دارا می‌باشد. اگر فرکانس تشدید در محدوده مطلوب قرار نگیرد،  $L_2$  و  $C$  را می‌توان تغییر داد تا به مقدار مطلوبی برای فرکانس تشدید دست یافت. مقادیر به دست آمده در جدول (۱) ارائه شده است. با طراحی المان‌های فیلتر LCL،  $L_1+L_2$  کمتر از  $0/1$  پرینیت است و افت ولتاژ AC محدود می‌گردد. توان راکتیو از  $5$  درصد توان نامی تزیق شده به شبکه کمتر است. ریپل جریان سمت مبدل کمتر از  $3$  درصد جریان مؤلفه‌ی اصلی در توان نامی است. برای اطمینان از مناسب بودن پاسخ دینامیکی سیستم و کافی بودن حاشیه‌ی پایداری، مشخصه‌های بهره‌ی حلقه به صورت زیر فرض می‌شوند:  $GM \geq 3$  dB و  $PM \geq 45^\circ$ . در این حالت، ضریب قدرت به ازای شرایطی که توان

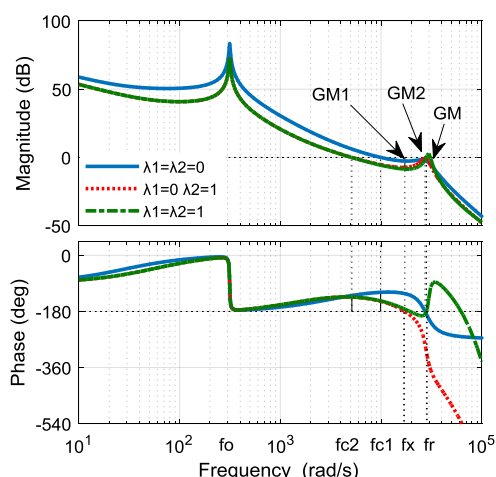
سیستم در حالت ماندگار اطمینان حاصل شود. در حالی که

خروجی اینورتر بزرگتر از ۵۰٪ توان نامی باشد، بزرگتر از ۰/۹۸ است [۷]. دامنه‌ی خطا بایستی به صورت  $E_A < 1$  باشد تا از عملکرد درست

$$H_{il-GM}(f_c) \approx \begin{cases} \frac{2\pi L_1}{K_{PWM}} 10^{\frac{GM}{20}} f_c & (f_r \leq f_x) \\ \frac{2\pi L_1}{K_{PWM}} \left[ 10^{\frac{GM}{20}} \left( \frac{f_r}{f_x} \right)^2 f_c + \frac{f_x^2 - f_r^2}{f_x} \right] & (f_r > f_x) \end{cases} \quad (36)$$

$$K_{r-SM}(f_c) = \frac{2\pi^2 f_c^2 (L_1 + L_2)}{\omega_i K_{PWM} H_{i2}} \times \frac{2\pi L_1 (f_r^2 - f_c^2) \cos[PM + (2\lambda_2 + 1)\pi f_c T_s] - K_{PWM} H_{il-GM}(f_c) \sin(PM + 2\lambda_2 \pi f_c T_s) f_c}{2\pi L_1 (f_r^2 - f_c^2) \sin[PM + (2\lambda_2 + 1)\pi f_c T_s] + K_{PWM} H_{il-GM}(f_c) \cos(PM + 2\lambda_2 \pi f_c T_s) f_c} \quad (37)$$

۸۳۲Hz و حاشیه‌ی فاز (PM) برابر  $48/9^\circ$  و حاشیه‌ی بهره (GM<sub>1</sub>) در  $f_x$  برابر ۷dB است. بهره‌ی حلقه در حالی که هیچ یک از تأخیر محاسباتی در حلقه‌ی بیرونی و داخلی جریان حذف نشده باشند  $(\lambda_1 = \lambda_2 = 1)$ ، با انتخاب نقطه‌ی B در ناحیه‌ی مطلوب،  $f_c$ ،  $K_p$  و  $K_r$  و  $H_{il}$  مانند حالت قبل خواهند بود. بهره‌ی حلقه‌ی جبران شده در شکل (۱۲) با نقطه‌خط مشخص شده است. حاشیه‌ی بهره (GM<sub>2</sub>) در فرکانس تشدید برابر ۰/۵۴۳- بوده و سیستم پایدار است.



شکل (۱۲): دیاگرام بode تابع  $T_a(s)$  از ای  $\lambda_1$  و  $\lambda_2$  مختلف

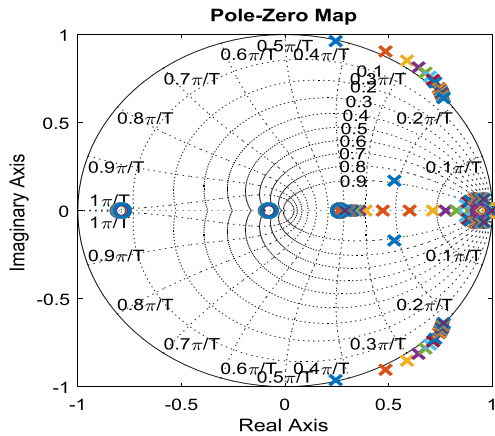
#### ۴-۱- تأثیر امپدانس شبکه بر روی پایداری سیستم

در طراحی سیستم کنترلی، امپدانس شبکه به عنوان قسمتی از اندوکتانس سمت شبکه  $L_2$  فرض شده است. از این رو، باید سیستم در شرایطی که امپدانس شبکه تغییر می‌کند مورد بررسی قرار گیرد. به طور کلی امپدانس شبکه در خطوط توزیع طویل و ترانسفورماتورهای با توان پایین مطرح می‌شود. این امپدانس را می‌توان به صورت یک سلف سری با مقاومت مدل‌سازی نمود. از آنجایی که وجود مقاومت به پایداری سیستم کمک می‌کند، تنها یک سلف به عنوان امپدانس شبکه در نظر گرفته می‌شود تا بدترین حالت مورد بررسی قرار گیرد. در شکل (۱۳)، محل صفرها و قطب‌های تابع تبدیل حلقه بسته به ازای تغییر امپدانس شبکه از صفر تا  $2/6$  میلی‌هائری نشان داده شده است.

جدول (۱): پارامترهای سیستم تحت بررسی

مقدار	نماد	پارامتر
۲۲۰ V	$V_g$	ولتاژ مؤثر شبکه
۵۰ Hz	$f_o$	فرکانس اصلی
۸۲۶ $\mu$ H	$L_1$	سلف سمت اینورتر
۱۰ $\mu$ F	$C$	خازن فیلتر
۱۵۰ $\mu$ H	$L_2$	سلف سمت شبکه
۴/۴۶ kHz	$f_r$	فرکانس تشدید
۳۶۰ V	$V_{inv}$	ولتاژ لینک DC
۴/۵۷۸ V	$V_{tri}$	دامنه‌ی موج مثلثی حامل
۱۰ kHz	$f_s$	فرکانس کلیدزنی
۲۰ kHz	-	فرکانس مؤثر کلیدزنی
۶ kW	$P_o$	توان خروجی
۰/۵	$H_{i2}$	ضریب فیدبک جریان تزریقی به شبکه

تأخیرهای محاسباتی در حلقه‌ی داخلی و خارجی جریان حذف شوند، بر اساس شکل (۱۱)، نقطه‌ی A در ناحیه‌ی مطلوب انتخاب می‌شود. در این حالت،  $f_c$  و  $K_r$  به ترتیب برابر ۱۴۰۰Hz و ۴۰۰ حاصل می‌شوند. با استفاده از روابط (۲۵) و (۳۶)،  $K_p$  و  $H_{il}$  به ترتیب برابر ۰/۷۲ و ۰/۱۲ به دست می‌آیند. بهره‌ی حلقه در این حالت، در شکل (۱۲) با خط ممتد نشان داده شده است. فرکانس قطع  $f_{c1}$  برابر ۱/۶۳۹Hz، حاشیه‌ی فاز (PM) برابر  $61/2^\circ$  و حاشیه‌ی بهره (GM) در فرکانس تشدید ( $f_r$ ) برابر ۲/۰۳dB است. در حالی که تأخیر در حلقه‌ی بیرونی جریان هم‌چنان وجود داشته باشد ( $\lambda_1 = 0$  و  $\lambda_2 = 1$ )، در این صورت مشابه حالت قبل، با استفاده از شکل (۱۱) ناحیه‌ی مطلوب برای انتخاب  $f_c$  و  $K_r$  مشخص می‌شود. نقطه‌ی B برای این منظور انتخاب شده است و  $f_c$  و  $K_r$  به ترتیب برابر ۱۲۰۰Hz و ۱۴۰ حاصل می‌شوند. با استفاده از روابط (۲۵) و (۳۶)،  $K_p$  و  $H_{il}$  به ترتیب برابر ۰/۳۲ و ۰/۵۲۲ به دست می‌آیند. بهره‌ی حلقه‌ی جبران‌سازی شده با خط چین در شکل (۱۲) نشان داده شده است. فرکانس قطع  $f_{c2}$  برابر



شکل (۱۴): موقعیت قطب‌ها و صفرها در [۲۴] به ازای  $\lambda_1 = \lambda_2 = 1$

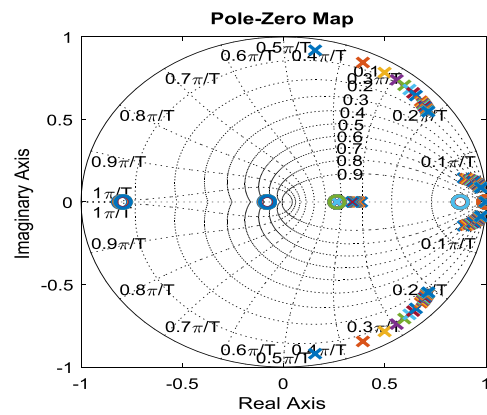
### ۴-۲- نتایج شبیه‌سازی

از آنجایی که تنظیم‌کننده‌ی جریان ممکن است در اثر تغییر جریان مرجع شبکه از نصف بار کامل به بار کامل دچار اشباع شود، پاسخ دینامیکی سیستم برای تغییر مرجع جریان شبکه از بار کامل به نصف بار کامل و همچنین حالت عکس بررسی می‌گردد. شکل موج حالت ماندگار و همچنین زمانی که مرجع جریان شبکه از بار کامل به نصف بار کامل تغییر می‌کند، به ازای  $\lambda_1$  و  $\lambda_2$ های مختلف در شکل (۱۵) نشان داده شده است. خطای حالت ماندگار در شکل‌های (۱۵-الف)، (۱۵-ب) و (۱۵-پ) به ترتیب برابر  $0.085$ ،  $0.094$  و  $0.094$  است. اعوجاج هارمونیک کل (THD) به ترتیب برابر  $0.1106$ ،  $0.1134$  و  $0.1194$  حاصل شده است. فراجش در حالت گذرا در شکل‌های (۱۵-الف)، (۱۵-ب) و (۱۵-پ) به ترتیب برابر  $0.1092$ ،  $0.3207$  و  $0.3428$  است. این درحالی است که مقدار فراجش در [۲۴] در حالت‌های بررسی شده به ترتیب برابر  $0.30$ ،  $0.38$  و  $0.40$  بوده است.

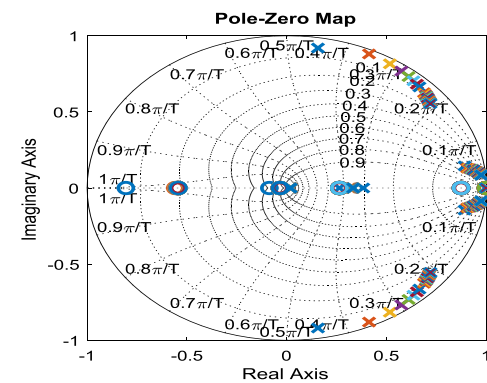
شایان ذکر است وجود تأخیر در حلقه‌ی داخلی، تأثیر کمی بر روی عملکرد حالت ماندگار و دینامیکی دارد؛ زیرا آن‌ها با فرکانس تشدید و زیرفرکانس قطع تعیین می‌شوند. با حذف تأخیر در حلقه‌ی بیرونی، عملکرد سیستم بهبود می‌یابد. در این شرایط اغتشاش جریان و فراجش کاهش یافته و پاسخ دینامیکی سیستم هم بهتر شده است. جریان تزریقی به شبکه به ازای امپدانس شبکه  $L_g$  برابر  $300 \mu\text{H}$  در شکل (۱۶) نشان داده شده است. در شکل (۱۶-الف) هر دو تأخیر محاسباتی حذف شده و شکل (۱۶-ب) حالتی را نشان می‌دهد که هر دو تأخیر حضور دارند. THD جریان تزریقی به شبکه در این دو حالت به ترتیب برابر  $0.139$  و  $0.2094$  حاصل شده است. بر اساس این شکل، حذف تأخیرهای محاسباتی در بهبود کیفیت جریان تزریقی به شبکه تأثیرگذار است.

در انتها مقایسه‌ای بین روش پیشنهادی با تحقیقاتی که اخیراً در زمینه‌ی بهبود عملکرد سیستم کنترلی اینورتر متصل به شبکه انجام شده است، در جدول (۲) ارائه شده است. در این جدول، مراجع مورد

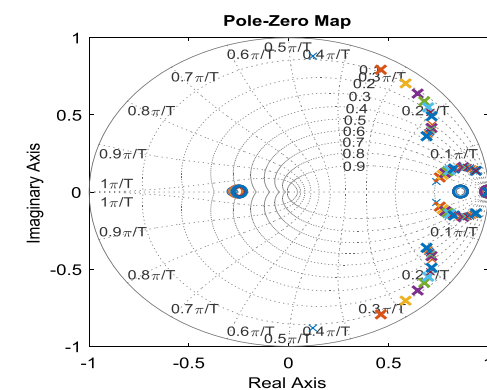
همان‌طور که در شکل (۱۳) مشاهده می‌شود، زمانی که هر دو تأخیر محاسباتی در حلقه‌های جریان کاهش نیافته باشند، به دلیل طراحی مناسب برای فیلتر LCL، سیستم ناپایدار نشده و قطب‌های سیستم در دایره‌ی واحد قرار می‌گیرند. با استفاده از روش پیشنهادی و حذف تأخیرهای محاسباتی، قطب‌های سیستم از مرز دایره‌ی واحد دور شده و سیستم به ازای تغییر زیاد امپدانس همچنان پایدار می‌ماند. شکل (۱۴) موقعیت قطب‌ها و صفرهای سیستم در [۲۴] را نشان می‌دهد. در [۲۴]، بدون جبران تأخیر محاسباتی سیستم ناپایدار می‌شود که این امر نشان می‌دهد طراحی پارامترهای LCL بر روی پایداری سیستم تأثیرگذار است.



$\lambda_1 = 1, \lambda_2 = 1$

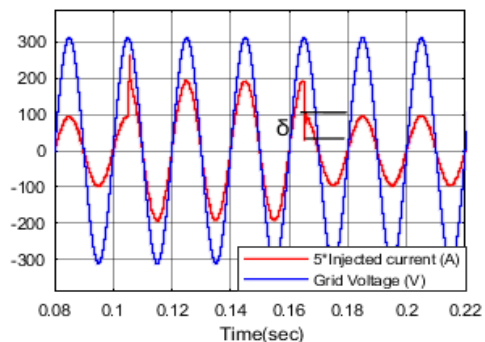


$\lambda_1 = 0, \lambda_2 = 1$

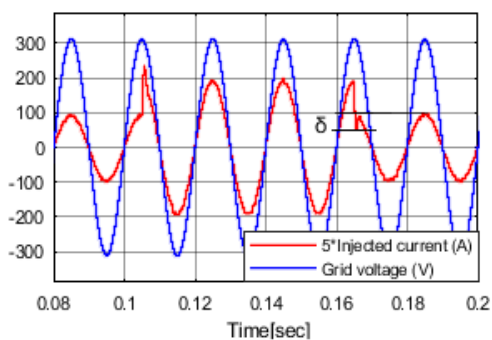
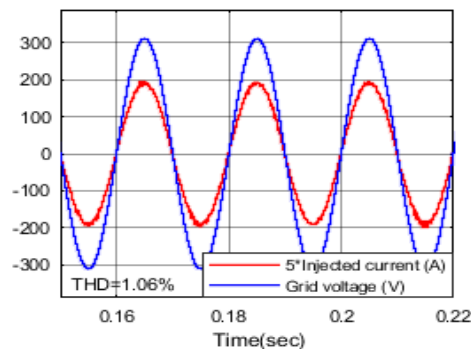


$\lambda_1 = 0, \lambda_2 = 0$

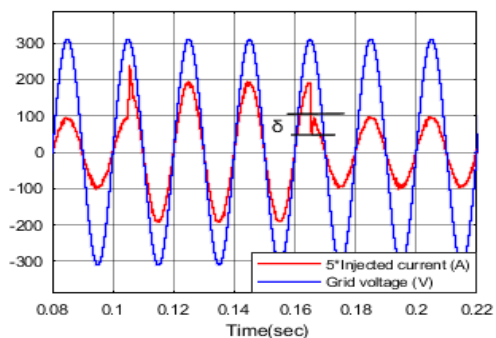
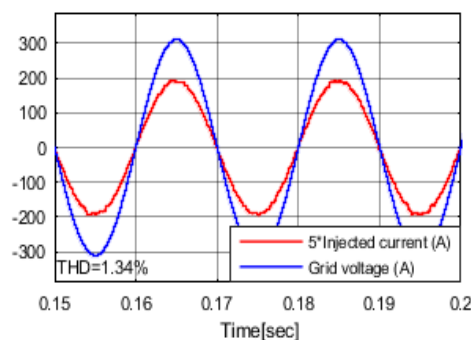
شکل (۱۳): موقعیت قطب‌ها و صفرهای سیستم به ازای  $\lambda_1, \lambda_2$  مختلف



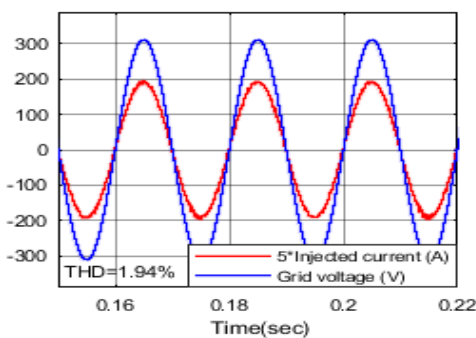
(الف)  $\lambda_1=\lambda_2=0$



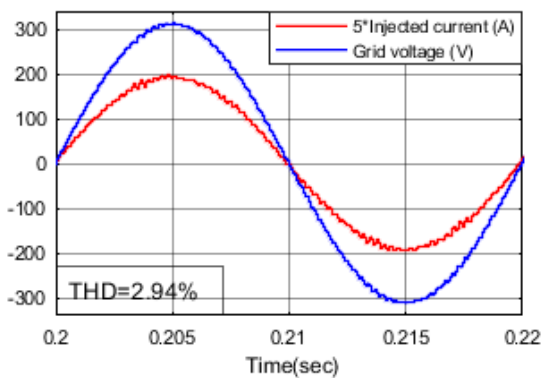
(ب)  $\lambda_1=0, \lambda_2=1$



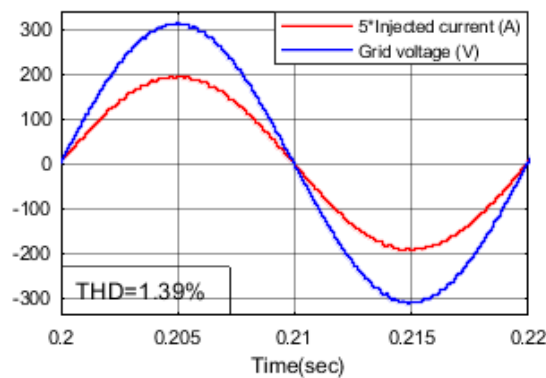
(پ)  $\lambda_1=1, \lambda_2=1$



شکل (۱۵): شکل موج ولتاژ و جریان شبکه در حالت پایدار (سمت راست) و حالت گذرا (سمت چپ) به ازای  $\lambda_1, \lambda_2$  مختلف



(ب)



(الف)

شکل (۱۶): شکل موج ولتاژ و جریان شبکه در  $L_g=300 \mu H$  الف- با حذف تأخیرهای محاسباتی، ب- بدون حذف تأخیرهای محاسباتی

جدول (۲): مقایسه روش پیشنهادی با مقالات ارائه شده اخیر

روش پیشنهادی	[۲۳] (۲۰۲۰)	[۲۲] (۲۰۱۹)	[21] (۲۰۱۹)	[۲۰] (۲۰۲۰)	[۱۹] (۲۰۲۰)	
فیدبک جریان سمت شبکه	کنترل جریان شبه پیش‌بین	فیدبک جریان سمت شبکه	ردگیری جریان سمت منبع	کنترل جریان LMI-LQR	فیدبک ولتاژ خازن	استراتژی کنترلی
✓	×	×	×	×	×	طراحی فیلتر
✓	✓	×	×	✓	✓	تأثیر تأخیر
✓	✓	✓	×	✓	✓	بررسی پایداری در برابر تغییر امپدانس شبکه
٪ ۱/۳۹	٪ ۲/۱۵	٪ ۴/۸۲	٪ ۰/۲	٪ ۲/۴۳	٪ ۳/۴۷	THD جریان سمت شبکه (گزارش شده در شرایط مرجع مدنظر)

[۱] موحدی تبار علی، منفرد محمد. طراحی کنترل‌کننده دو حلقه‌ای برای فیلتر فعال تک فاز موازی بدون سنسور با خروجی LCL با در نظر گرفتن تأخیر محاسبات و مدولاسیون. نشریه مهندسی برق و الکترونیک ایران. ۱۳۹۶؛ ۱۴ (۱): ۱۲۷-۱۳۸

- [2] P. Alemi, C.J. Bae and D.C. Lee, "Resonance suppression based on PR control for single-phase grid-connected inverters with LLCL filters". IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 4, No. 2, 2015, pp.459-467.
- [3] M. Hosseinpour, A. Kholousi, A. Poulad. "A robust controller design procedure for LCL- type grid- tied proton exchange membrane fuel cell system in harmonics- polluted network". Energy Science & Engineering, 2022, Online first.
- [4] Y. Jiao, and F.C. Lee, "LCL Filter Design and Inductor Current Ripple Analysis for a Three-Level NPC Grid Interface Converter". IEEE Transactions on Power Electronics, Vol. 9, No. 30, 2015, pp.4659-4668.
- [5] L. Tong, C. Chen, and J. Zhang, "Iterative design method of LCL filter for grid-connected converter to achieve optimal filter parameter combination". The Journal of Engineering, Vol. 2019, No. 16, 2019, pp.1532-1538.
- [6] B.G. Cho, and S.K. Sul, "Non-iterative LCL filter design for three-phase two-level voltage-source PWM converters". In 2014 International Power Electronics Conference, 2014, pp. 2802-2809.
- [7] W. Wu, Y. Liu, Y. He, H.S.H. Chung, M. Liserre, and F. Blaabjerg, "Damping methods for resonances caused by LCL-filter-based current-controlled grid-tied power inverters: An overview". IEEE Transactions on Industrial Electronics, Vol. 64, No. 9, 2017, pp.7402-7413.
- [8] N. Rasekh, and M. Hosseinpour, "LCL filter design and robust converter side current feedback control for grid-connected Proton Exchange Membrane Fuel Cell system". International Journal of Hydrogen Energy. Vol. 45, No. 23, 2020, pp. 13055-13067.
- [9] N. Rasekh, and M. Hosseinpour, "Adequate Tuning of LCL filter for Robust Performance of Converter Side Current Feedback Control of Grid Connected Modified-Y-Source Inverter". International Journal of Industrial Electronics, Control and Optimization. Vol. 3, No. 3, 2020, pp. 365-378.
- [10] M. Hosseinpour, and N. Rasekh, "A Single-Phase Grid-tied PV based Trans-Z-Source Inverter Utilizing LCL filter and Grid Side Current Active Damping". Journal of

مقایسه از حیث استراتژی کنترلی، طراحی فیلتر، بررسی تأخیر در فرایند کنترلی و بررسی پایداری در برابر تغییر امپدانس شبکه مورد ارزیابی قرار گرفته‌اند. مطابق این جدول، برخی از موارد مذکور در مراجع مورد مقایسه لحاظ شده و برخی مورد ارزیابی قرار نگرفته است. در مقاله حاضر تمام موارد مذکور مورد ارزیابی قرار گرفته است. در ضمن میزان THD جریان تزریقی به شبکه تحت شرایط فرض شده مرجع مدنظر نیز در جدول (۲) ارائه شده است. شایان ذکر است، ارائه میزان THD صرفاً جهت تکمیل اطلاعات ارائه شده و مقایسه مقادیر THD با یکدیگر به دلیل تفاوت شرایط لحاظ شده در هر مرجع قابل استناد نیست.

## ۵- نتیجه‌گیری

در این مقاله ابتدا المان‌های فیلتر LCL، شامل سلف سمت اینورتر، سلف سمت شبکه و خازن فیلتر به صورت گام به گام طراحی شدند. با توجه به حداکثر ریپل جریان سلف سمت اینورتر، این سلف طراحی شده و مجموع امپدانس سلف سمت اینورتر و سلف سمت شبکه به صورتی است که حجم فیلتر نسبت به موارد مشابه کمتر است. بعلاوه پاسخ دینامیکی سیستم بهبود یافته است. تأثیر تأخیر بر روی پارامترهای کنترلی لحاظ شده و با روش پیشنهادی، تأخیرهای محاسباتی در حلقه‌ی داخلی و خارجی جریان کاهش یافته است. سیستم در حضور تغییر وسیع امپدانس شبکه بررسی شده و پایداری آن در این شرایط نشان داده شده است. نتایج بدست آمده نشان می‌دهد که طراحی فیلتر LCL بر روی پایداری سیستم مؤثر بوده و می‌تواند کیفیت جریان تزریقی به شبکه را بهبود ببخشد. نتایج شبیه‌سازی بیانگر عملکرد بسیار مناسب اینورتر متصل به شبکه در تزریق جریان سینوسی به شبکه می‌باشد.

## مراجع

- Type Grid-Connected Inverter". IEEE Trans. on Industrial Electronics, Vol. 62, No. 7, 2014, pp.4563-4572.
- [25] H. Kim, and K.H. Kim, "Filter design for grid connected PV inverters". In IEEE International Conference on Sustainable Energy Technologies, 2008. pp. 1070-1075.
- [26] W. Wu, Y. He, and F. Blaabjerg, "An LLCL power filter for single-phase grid-tied inverter". IEEE Transactions on Power Electronics, Vol. 27, No. 2, 2012, pp.782-789.
- [27] M. Hosseinpour, and A. Dejamkhooy, "Control and power sharing among parallel three-phase three-wire and three-phase four-wire inverters in the presence of unbalanced and harmonic loads". IEEE Transactions on Electrical and Electronic Engineering, Vol. 13, No. 7, 2018, pp.1027-1033.
- [28] M. Hosseinpour, M. Mohamadian, and A. Yazdian Varjani, "Design and analysis of the droop-controlled parallel four-leg inverters to share unbalanced and nonlinear loads". *Przełąd Elektrotechniczny (Electrical Review)*, Vol. 90, No. 1, 2014, pp. 105-110.
- Energy Management and Technology, Vol. 3, No. 3, 2019, pp.67-77.
- [11] J. Dannehl, F.W. Fuchs, and P.B. Thogersen, "PI State Space Current Control of Grid-Connected PWM Converters with LCL Filters". IEEE Transactions on Power Electronics, Vol. 25, No. 9, 2010, pp.2320-2330.
- [12] X. Wang, F. Blaabjerg, and P.C. Loh, "Grid-Current-Feedback Active Damping for LCL Resonance in Grid-Connected Voltage-Source Converters". IEEE Transactions on Power Electronics, Vol. 1, No. 31, 2016, pp.213-223.
- [13] E. Wu, and P.W. Lehn, "Digital Current Control of a Voltage Source Converter with Active Damping of LCL Resonance". IEEE Transactions on Power Electronics, Vol. 21, No. 5, 2006, pp.1364-1373.
- [14] N. Rasekh, M.M. Rahimian, M. Hosseinpour, A. Dejamkhooy, and A. Akbarimajd. "A step by step design procedure of PR controller and capacitor current feedback active damping for a LCL-type grid-tied T-type inverter". In 2019 10th International Power Electronics, Drive Systems and Technologies Conference (PEDSTC), 2019, pp. 612-617.
- [15] C. Bao, X. Ruan, X. Wang, W. Li, D. Pan, and K. Weng, "Step-by-Step Controller Design for LCL-Type Grid-Connected Inverter with Capacitor-Current-Feedback Active-Damping. IEEE Transactions on Power Electronics, 3(29), pp.1239-1253.
- [16] D. Pan, X. Ruan, C. Bao, W. Li, and X. Wang, "Capacitor-Current-Feedback Active Damping with Reduced Computation Delay for Improving Robustness of LCL-Type Grid-Connected Inverter". IEEE Trans. Industrial Electronics, Vol. 29, No. 7, 2014, pp. 3414-3427.
- [17] L. Corradini, W. Stefanutti, and P. Mattavelli, "Analysis of multisampled current control for active filters". IEEE Transactions on Industry Applications, Vol. 44, No. 6, 2008, pp.1785-1794.
- [18] X. Zhou, L. Zhou, Y. Chen, Z. Shuai, J.M. Guerrero, A. Luo, W. Wu, and L. Yang, "Robust Grid-Current-Feedback Resonance Suppression Method for LCL-Type Grid-Connected Inverter Connected to Weak Grid". IEEE Journal of Emerging and Selected Topics in Power Electronics, Vol. 6, No. 4, 2018, pp.2126-2137.
- [19] M. T. Faiz, M.M. Khan, X. Jianming, M. Ali, S. Habib, K. Hashmi, and H. Tang, "Capacitor Voltage Damping Based on Parallel Feedforward Compensation Method for LCL Filter Grid-Connected Inverter," *IEEE Transactions on Industry Applications*, Vol. 56, No. 1, 2020, pp. 837-849.
- [20] R. Bimarta and K.-H. Kim, "A Robust Frequency-Adaptive Current Control of a Grid-Connected Inverter Based on LMI-LQR Under Polytopic Uncertainties," *IEEE Access*, vol. 8, pp. 28756-28773, 2020.
- [21] H. Yin, Z. Dai, X. Lei, and T. Lan, "Grid current low-order harmonics suppression of the three-phase grid converter with an LCL filter under the distorted grid voltage," *The Journal of Engineering*, vol. 2019, no. 7, pp. 4675-4680, 2019.
- [22] Y.J. Kim, and H. Kim, "Optimal design of LCL filter in grid-connected inverters". IET Power Electronics, Vol. 12, No. 7, 2019, pp.1774-1782.
- [23] T. Dragičević, C. Zheng, J. Rodriguez, and F. Blaabjerg, "Robust Quasi-Predictive Control of LCL-Filtered Grid Converters". IEEE Transactions on Power Electronics, Vol. 35, No. 2, 2020, pp.1934-1946.
- [24] D. Yang, X. Ruan, and H. Wu, "A Real-Time Computation Method with Dual Sampling Mode to Improve the Current Control Performance of the LCL-