

# طراحی تقویت کننده ترانسانیی چهار طبقه CMOS با مساحت تراشه پایین

بهنام بابازاده داریان<sup>۱</sup> حسن خالصی<sup>۲</sup> وحید قدس<sup>۳</sup> علیرضا ایزدبخش<sup>۴</sup>

۱- دانشجوی دکتری الکترونیک، واحد گرمسار، دانشگاه آزاد اسلامی، گرمسار، ایران

[Db.babazadeh@iau-garmsar.ac.ir](mailto:Db.babazadeh@iau-garmsar.ac.ir)

۲- استادیار- گروه برق، واحد گرمسار، دانشگاه آزاد اسلامی، گرمسار، ایران

[h.khalesi@iau-garmsar.ac.ir](mailto:h.khalesi@iau-garmsar.ac.ir)

۳- استادیار- گروه برق، واحد سمنان، دانشگاه آزاد اسلامی، سمنان، ایران

[v.ghods@semnaniau.ac.ir](mailto:v.ghods@semnaniau.ac.ir)

۴- استادیار- گروه برق، واحد گرمسار، دانشگاه آزاد اسلامی، گرمسار، ایران

[izadbakhsh\\_alireza@hotmail.com](mailto:izadbakhsh_alireza@hotmail.com)

**چکیده:** تقویت کننده های عملیاتی، یکی از پرکاربردترین بلوک های پایه ای در سیستم های آنالوگ و مختلط هستند. در این مقاله، تقویت کننده عملیاتی ترانسانیی چهار طبقه با سطح اشغال تراشه پایین پیشنهاد شده است. در این ساختار، از یک بلوک تمام تفاضلی همزمان به عنوان طبقه چهارم و شبکه جبران سازی استفاده شده است. جبران سازی تقویت کننده ارائه شده تنها با یک MOSCAP صورت گرفته که ضمن کاهش سطح اشغال تراشه، به سبب کاهش تعداد و مقادیر خازن جبران ساز، پهنای باند بهره و ضرایب شایستگی بهبود یافته است. سادگی و استحکام طرح امکان پیاده سازی در یک تراشه با ابعاد  $210 \times 250 \mu\text{m}$  را فراهم نموده است. تقویت کننده چهار طبقه پیشنهادی در تکنولوژی CMOS- $0.18 \mu\text{m}$  طراحی شده است. مزیت طرح، ارائه ساختاری است قابل پیاده سازی و مقاوم در برابر تغییرات پارامترهای مدار ناشی از پیاده سازی روی تراشه می باشد. بهره تقویت کننده پیشنهادی 120dB و توان مصرفی  $545 \mu\text{W}$  و آهنگ چرخش  $2.12 \text{ V}/\mu\text{S}$ ، پهنای باند بهره 16.4MHz و حاشیه فاز 88 درجه می باشد.

**واژه های کلیدی:** تقویت کننده ترانسانیی، تقویت کننده چند طبقه، جبران سازی فرکانسی، کاهش سطح تراشه، تکنولوژی CMOS، خازن مبتنی بر ترانزیستور.

نوع مقاله: پژوهشی

DOI: 10.29252/jiaeee.18.4.1

تاریخ ارسال مقاله: ۱۳۹۹/۰۵/۳۱

تاریخ پذیرش مشروط مقاله: ۱۴۰۰/۱۲/۱۴

تاریخ پذیرش مقاله: ۱۴۰۰/۰۲/۱۱

نام نویسنده ی مسئول: دکتر حسن خالصی

نشانی نویسنده ی مسئول: گروه مهندسی برق، واحد گرمسار، دانشگاه آزاد اسلامی، گرمسار، ایران

## ۱- مقدمه

تقویت کننده‌ها، یکی از پرکاربردترین بلوک‌های پایه‌ای در سیستم‌های آنالوگ و مختلط هستند [۱]. در [۲]، یک تقویت کننده کم نویز با بهره متغیر برای کاربردهای فرایه‌ن باند ارائه شده است. امروزه به دلیل تمایل صنعت به استفاده از تکنولوژی‌های استاندارد برای پیاده‌سازی هر دو زمینه‌ی دیجیتال و آنالوگ در یک تراشه، تکنولوژی CMOS از سایر تکنولوژی‌های موجود مانند ترانزیستور دوقطبی پیشی گرفته است [۳]. کمتر بودن ذاتی هدایت انتقالی در ترانزیستورهای CMOS، بهره‌ی مدار را کاهش می‌دهد که این امر در اندازه‌های کمتر ابعاد ترانزیستور خود را بیشتر نشان می‌دهد [۴]. به منظور افزایش بهره و با توجه به محدودیت‌های روش‌هایی مانند کسکود از نظر سوینگ خروجی، بحث مربوط به طراحی تقویت کننده‌های چند طبقه مطرح شده است [۵]. با افزایش طبقات، تعداد گره‌های مدار بیشتر شده و پایداری و دینامیک تقویت کننده‌های چند طبقه را پیچیده‌تر می‌نماید. از سوی دیگر بالا بودن مصرف توان، فضای اشغالی و دشواری جبران‌سازی فرکانسی آنها که معمولاً با استفاده از خازن صورت می‌گیرد، سبب افزایش سطح پیاده‌سازی طرح در تراشه می‌گردد. به همین منظور تحقیقات گسترده‌ای برای طراحی ساختارهای مختلف جهت بهبود پارامترهای عملکردی مدار همچون پهنای باند بهره (GBW)، حاشیه فاز (PM) و کاهش سطح پیاده‌سازی طرح صورت گرفته است.

تاکون روش‌های بیشتری برای جبران‌سازی فرکانس ارائه شده است که تقریباً همه آنها با بهبود ساختارهای Nested Miller Compensation (NMC) و Reversed Nested Miller Compensation (RNMC) صورت گرفته است [۶]. استفاده از بافرهای ولتاژ و جریان، مقاومت‌های حذف کننده [۹-۷]، تقویت مسیر فیدبک و کاهش مسیر پیشرو و استفاده از روش حذف صفر و قطب از محبوب ترین روش‌ها هستند [۱۰-۱۲]. همچنین در مراجع [۱۳، ۱۴] از بلوک دیفرانسیل در شبکه جبران استفاده شده که سبب کاهش قابل ملاحظه اندازه خازن جبران‌ساز شده است. در مرجع [۱۵]، به منظور بهبود پهنای باند بهره تقویت کننده، از تزریق مستقیم با استفاده از یک مسیر فیدبک استفاده شده، در حالی که در مرجع [۱۶] شبکه جبران‌ساز با استفاده از عناصر فعال به جای عناصر پسو مانند خازن‌ها و مقاومت‌ها ارائه شده است. همچنین در مرجع [۱۷] جبران‌سازی یک تقویت کننده با تقویت مسیر پیشرو گزارش شده و در مراجع [۱۸، ۱۹] نیز یک تقویت کننده با استفاده از بلوک تفاضلی و تقویت مسیر پیشرو و تضعیف مسیر فیدبک ارائه شده که همین امر در مرجع [۲۰] به عنوان یک تقویت کننده چهار طبقه با استفاده از بلوک تفاضلی ولتاژ در شبکه جبران‌ساز صورت گرفته است.

در این مقاله، یک تقویت کننده ترانسایبی چهار طبقه معرفی شده است. از آنجا که بلوک دیفرانسیل می‌تواند چندین مسیر را همزمان

تقویت و تضعیف کند، می‌تواند به عنوان یک بلوک چند کاره در مدار استفاده شود. در این مقاله، با استفاده از یک بلوک تفاضلی در شبکه جبران‌ساز و طبقه چهارم، به صورت همزمان هم مسیر تقویت DC مدار و هم شبکه جبران‌ساز پیکربندی شده است. این امر سبب قرارگیری خازن جبران‌ساز در دو حلقه میلی‌ری شده که باعث کاهش تعداد و مقدار خازن جبران‌ساز گردیده و امکان پیاده‌سازی توسط MOSCAP را فراهم نموده است، این امر سبب کاهش قابل توجه مساحت پیاده‌سازی طرح روی تراشه می‌گردد. همچنین استفاده از بلوک تفاضلی به صورت مشترک در طبقه چهارم و شبکه جبران‌ساز کاهش توان مصرفی مدار را به همراه دارد.

ساختار مقاله به این قرار است: در بخش دوم ساختار طرح پیشنهادی بررسی و جزئیات طراحی تحلیل شده است. در بخش سوم طراحی ترانزیستوری، پیاده‌سازی روی تراشه با استفاده از نرم‌افزار Cadence و نتایج شبیه‌سازی با استفاده از HSPICE ارائه شده و در بخش چهارم نتیجه‌گیری نهایی مطرح شده است.

## ۲- طرح تقویت کننده پیشنهادی

در ساختار پیشنهادی استفاده از یک بلوک تمام تفاضلی به عنوان طبقه چهارم و شبکه جبران‌ساز به صورت همزمان و جبران‌سازی با استفاده از یک خازن ایده اصلی می‌باشد. شکل (۱) شمای بلوکی طرح پیشنهادی را نشان می‌دهد. تنها خازن موجود با قرار گرفتن در دو حلقه منفی شامل طبقات دوم، سوم و چهارم برای حلقه اول  $(g_{m2}, g_{m3}, g_f, r_f + C_C)$  و همچنین طبقات دوم و چهارم برای حلقه دوم  $(g_{m2}, g_f, r_f + C_C)$  و با توجه به اینکه بلوک تفاضلی به عنوان مسیر بهره DC عمل می‌کند به همین منظور دارای بهره بالا بوده  $(g_f * I_f)$ ، می‌توان خازن جبران‌ساز را کوچکتر در نظر گرفت. باتوجه به این امر می‌توان این خازن را با یک ترانزیستور (MOSCAP) تحقق بخشید. این پیاده‌سازی تنها با استفاده از یک MOSFET نوع N و با اتصال درین و سورس آن به یکدیگر انجام شده است. حال مقدار خازن گیت-بدنه با تنظیم ابعاد ترانزیستور قابل کنترل می‌باشد. در این طرح عرض ترانزیستور برابر  $7,8 \mu m$  و طول آن برابر با  $1,44 \mu m$  می‌باشد. همچنین شباهت طبقه اول و چهارم به واسطه تفاضلی بودن آنها نیز کمک شایانی به یک طراحی ساده و قابل ساخت می‌کند. زیرا برای طراحی جانمایی چنین تقویت کننده‌هایی تقارن بسیار حائز اهمیت می‌باشد. آنچه در اینجا اهمیت دارد نقش آفرینی بلوک تفاضلی جبران‌سازی هم در جبران‌سازی فرکانسی و هم در تقویت بهره می‌باشد. زیرا خروجی نهایی مدار همان خروجی بلوک تفاضلی است. می‌توان عنوان داشت که با این سبک از جبران‌سازی، قطب غالب اول در خروجی طبقه اول و قطب دوم در خروجی کلی مدار اتفاق می‌افتد.

به منظور دستیابی به تابع تبدیل ساختار پیشنهادی با اعمال قوانین جریان کرف (KCL) در پنج گره خروجی بلوک‌ها که شامل دو گره بلوک تفاضلی می‌شود، پنج معادله با پنج مجهول از جنس ولتاژ گره‌ها

طراحی مبتنی بر  $g_m/ID$  دانست. شکل (۲) پیاده سازی در سطح ترانزیستوری برای طرح پیشنهادی تقویت کننده را نشان می دهد. طبق این شکل، طبقه اول با ورودی تفاضلی ( $M_1, M_2$ ) و بار آینه جریان ( $M_3, M_4$ ) می باشد. ترانزیستور  $M_5$  نیز نقش تامین جریان طبقه اول را به عهده دارد.

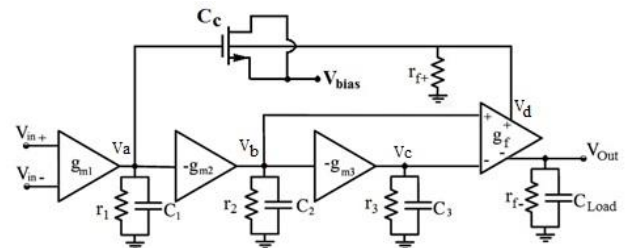
جدول (۱): مقادیر عددی و نماد سمبلیک پارامترهای مداری

مقدار	نماد	پارامتر مداری
$60e-6$	$g_{m1}$	ترانساینپی طبقه اول
$185e-6$	$g_{m2}$	ترانساینپی طبقه دوم
$820e-6$	$g_{m3}$	ترانساینپی طبقه سوم
$100e-6$	$g_{m1}, g_{m2}$	ترانساینپی بلوک تفاضلی
$5.6e4$	$r_1$	مقاومت خروجی طبقه اول
$12e4$	$r_2$	مقاومت خروجی طبقه دوم
$3.7e4$	$r_3$	مقاومت خروجی طبقه سوم
$5.6e4$	$r_{f1}$	مقاومت خروجی تفاضلی
$5.6e4$	$r_{f2}$	
$0.9e-12$	$C_C$	خازن جبران سازی
$100e-12$	$C_L$	خازن بار

همچنین طبقه دوم متشکل از ترانزیستورهای  $M_6, M_7$  می باشد که نقش تقویت توسط  $M_6$  ایفا می شود، در حالی که  $M_7$  نقش بار فعال را دارد. به صورت کاملاً مشابه طبقه سوم توسط ترانزیستورهای  $M_8, M_9$  تحقق یافته است. شبکه جبران سازی نیز توسط ترانزیستورهای  $M_{f1}, M_{f2}$  و خازن مبتنی بر ترانزیستور ایجاد شده است. جدول (۲) ابعاد ترانزیستورها را ارائه می دهد. آنچه در مورد ابعاد ترانزیستورها اهمیت دارد این است که برای رسیدن به بهره مطلوب، طول ترانزیستورها را چند برابر بزرگتر از مقدار کمینه تکنولوژی در نظر می گیریم. این امر ممکن است به بزرگ شدن عرض ترانزیستور نیز منجر شود، زیرا برای رسیدن به ترانساینپی ( $g_m$ ) یکسان، طول بزرگتر، عرض بزرگتر می طلبد که این امر سبب افزایش امپدانس ورودی و خازن پارازیتیکی شده که برای رسیدن به خازن جبران ساز MOSCAP استفاده می شود.

با کاهش طول کانال پدیده هایی از قبیل اثرات کانال کوتاه و پدیده های کوانتومی ظاهر می شود که در برخی مواقع باعث افت عملکرد مدار می شود. همچنین در دسترس بودن توابع کتابخانه ای تکنولوژی و اعتبارسنجی آن از نکات مهم شبیه سازی می باشد، به همین منظور پیاده سازی و شبیه سازی طرح پیشنهادی در تکنولوژی  $0.18\mu m$  صورت گرفته است. جانمایی طرح تقویت کننده در نرم افزار Cadence و با ابعاد  $210 \times 250 \mu m$  در شکل (۳) نمایش یافته است که بیانگر کاهش سطح اشغال تراشه می باشد. لازم به ذکر است که پیاده سازی شمای ترانزیستور شکل (۲) در یک تراشه منجر به اضافه شدن خازن به گره های مدار شده که این امر به همراه پدیده میلر

ایجاد شده که برای ساده سازی تابع تبدیل به دست آمده فرض می کنیم که اولاً بهره هر طبقه ( $g_{mi} * r_i$ ) بیشتر از یک و دوماً خازن بار از خازن شبکه جبران ساز و خازن های پارازیتیکی بزرگتر می باشد ( $C_L > C_C > C_{Parasitics}$ ). تابع تبدیل ساده سازی شده در رابطه (۱) نمایش داده شده است.



شکل (۱): مدل خطی روش پی پیشنهادی [۱۲]

$$H(S) = \frac{(C_C g_{m1} r_1 r_f) S - g_{m1} g_{m2} g_{m3} g_f r_1 r_2 r_3 r_f}{(C_C C_L r_1 r_f) S^2 + (C_C g_{m2} g_{m3} g_f r_1 r_2 r_3 r_f) S + 1} \quad (1)$$

$$P_1 = \frac{1}{C_C g_{m2} g_{m3} g_f r_1 r_2 r_3 r_f} \quad (2)$$

$$P_2 = \frac{g_{m2} g_{m3} g_f r_2 r_3}{C_L} \quad (3)$$

$$Z = \frac{g_{m2} g_{m3} g_f r_2 r_3}{C_C} \quad (4)$$

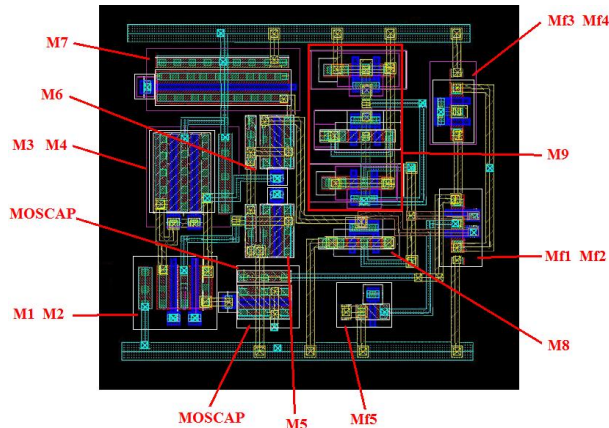
در تمامی روابط  $C_L$  خازن بار،  $C_C$  خازن جبران سازی و  $g_{mi}$  ترانساینپی هر طبقه و بلوک،  $r_i$  نشان دهنده مقاومت خروجی در هر بلوک و  $S$  متغیر لاپلاس می باشد. باتوجه به رابطه (۱) طرح پیشنهادی دارای دو قطب و یک صفر سمت راست RHZ بوده که در روابط (۲)، (۳) و (۴) معرفی شده است. بدیهی است که  $Z$  و  $P_2$  دارای مقادیر بسیار بزرگی هستند که خارج پهنای باند بهره که محدوده کاری تقویت کننده می باشد، قرار گرفته که این امر سبب شده که سیستم مانند سیستم های تک قطبی رفتار کند. با تعیین مقادیر صفر و قطب می توان پارامترهای طراحی در سطح ترانزیستور را به المان های مدار اختصاص داد.

همچنین مقادیر عددی پارامترهای مدار در جدول (۱) ارائه شده است. ترانساینپی ( $g_m$ ) طبقه سوم بسیار بزرگتر از طبقات دیگر می باشد. مقدار خازن جبران سازی نیز کمتر از یک درصد خازن بار انتخاب شده است.

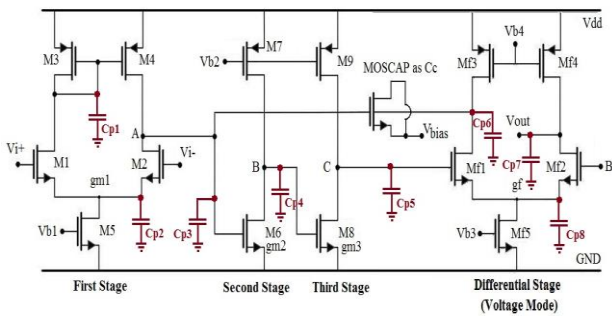
### ۳- شبیه سازی مدار و ارائه نتایج

طرح پیشنهادی تقویت کننده، خازن MOSCAP مقداری برابر با  $0.9 \text{ PF}$  را دارا است. می توان گفت که مهمترین پاسخ این گونه مدارها همان پاسخ فرکانسی است، زیرا مقادیر بهره DC، PM، GBW و حتی جایگاه قطب و صفرها را نشان می دهد. پیاده سازی مداری این مقادیر با استفاده از روش های متعددی امکان پذیر می باشد. یکی از کارآمدترین روش ها را می توان

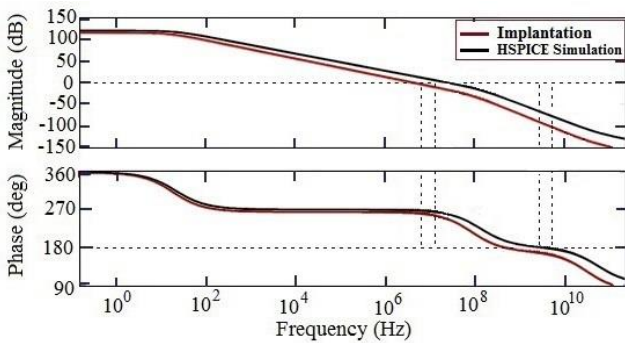
کلی پاسخ پله بسیار به یک سیستم تک قطبی بدون بالازدگی شبیه است که نشان گر موفقیت آمیز بودن حذف صفر و قطب می باشد.



شکل (۳): جانمایی طرح پیشنهادی تقویت کننده روی تراشه



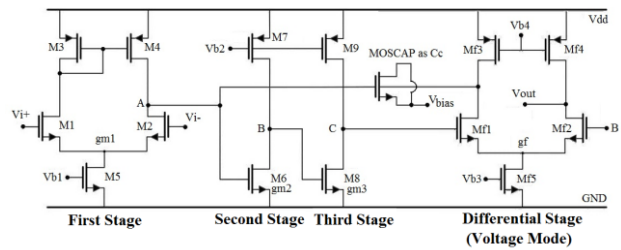
شکل (۴): شمای خازن های پارازیتیکی ناشی از پیاده سازی طرح پیشنهادی تقویت کننده روی تراشه



شکل (۵): پاسخ فرکانسی طرح به همراه پاسخ فرکانسی مدار پیاده سازی شده روی تراشه

برای تحقیق انحراف پاسخ فرکانسی نسبت به خطاها و عدم انطباق در فرآیند ساخت، تحلیل گوشه در شکل (۸) گزارش شده است. این تحلیل بر مبنای عملکرد تند، کند و عادی ترانزیستور می باشد. از آنجایی که دو نوع NMOS و PMOS در طراحی تقویت کننده پیشنهادی استفاده شده است، پنج وضعیت ممکن رخ می دهد. طبق شکل (۸) تقویت کننده پیشنهادی عملکرد مناسبی در گوشه های مختلف از خود نشان می دهد.

سبب جابه جا شدن قطب اول به فرکانس های پایین تر شده و باعث کاهش پهنای باند بهره می شود. همچنین در این شکل ترانزیستور  $M_9$  به منظور تقارن به روش سایزینگ به سه زوج ترانزیستور تقسیم شده است. شکل (۴) نحوه قرارگیری این خازن های پارازیتیکی و جدول (۳) مقادیر استخراج شده خازن ها از نرم افزار Cadence را نمایش می دهد. همچنین در شکل (۵)، پاسخ فرکانسی طرح در تکنولوژی TSMC  $0.18\mu\text{m}$  CMOS به همراه پاسخ فرکانسی مدار پیاده سازی شده روی تراشه نمایش یافته است. مطابق شکل به روشنی کاهش فرکانس قطب اول ناشی از خازن های پارازیتیکی مشخص می باشد که پهنای باند بهره را از  $18.2\text{MHz}$  به  $16.4\text{MHz}$  کاهش داده است. علاوه بر این، با توجه به شکل (۵)، میزان بهره DC و PM به ترتیب  $120\text{dB}$  و  $88$  درجه و میزان مصرف توان هم از طریق شبیه ساز  $545$  میکرو وات است.



شکل (۲): پیاده سازی در سطح ترانزیستوری برای طرح پیشنهادی تقویت کننده [12]

جدول (۲): ابعاد ترانزیستورهای طرح پیشنهادی تقویت کننده

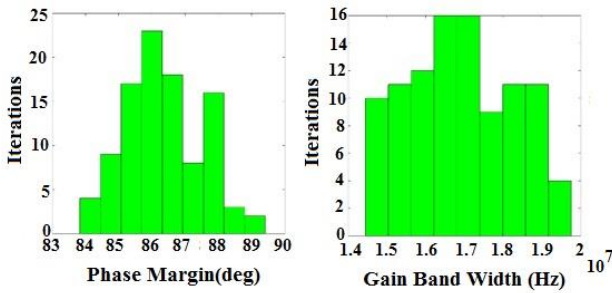
MOSFET	W( $\mu\text{m}$ )/L( $\mu\text{m}$ )	MOSFET	W( $\mu\text{m}$ )/L( $\mu\text{m}$ )
$M_1$ & $M_2$	2.5/1.44	$M_8$	9/1.44
$M_3$ & $M_4$	19.8/1.44	$M_{f1}$ & $M_{f2}$	22/1.8
$M_5$	10/1.44	$M_{f3}$ & $M_{f4}$	3.4/0.18
$M_6$	28/0.72	$M_{f5}$	1.55/0.18
$M_7$	83.2/1.44	MOSCAP	7.8/1.44
$M_9$	62/1.44		

جدول (۳): مقادیر خازن های پارازیتیکی ناشی از پیاده سازی طرح پیشنهادی تقویت کننده روی تراشه

خازن	مقدار	خازن	مقدار
$C_{p1}$	$1.7 \times 10^{-15}$	$C_{p5}$	$4.2 \times 10^{-15}$
$C_{p2}$	$1.6 \times 10^{-15}$	$C_{p6}$	$7.2 \times 10^{-15}$
$C_{p3}$	$2.1 \times 10^{-15}$	$C_{p7}$	$5.3 \times 10^{-15}$
$C_{p4}$	$4.6 \times 10^{-15}$	$C_{p8}$	$7.8 \times 10^{-15}$

همچنین مکان صفر و قطب های طرح پیشنهادی و مکان هندسی ریشه های آن در شکل (۶) نمایش داده شده است. به علاوه برای تحقیق پاسخ پله تقویت کننده پیشنهادی شکل (۷) گزارش شده است که شامل هر دو لبه بالا رونده و پایین رونده می باشد. طبق شکل گزارش شده زمان نشست تقویت کننده برابر با  $23\text{ns}$  می باشد. شمای

ضرایب شایستگی از مقدار عددی منبع تغذیه روابط (۹) و (۱۰) تعریف شده‌اند.



شکل (۹): تحلیل Mont Carlo برای مقادیر PM و GBW

$$FOM_s = \frac{\omega_{GBW} \times C_L}{Power} \left( \frac{Hz \times F}{W} \right) \quad (۵)$$

$$FOM_L = \frac{SR \times C_L}{Power} \left( \frac{1}{V} \right) \quad (۶)$$

$$FOM_1 = \frac{\omega_{GBW} \times C_L^2}{Power \times C_{tot}} \left( \frac{Hz \times F}{W} \right) \quad (۷)$$

$$FOM_2 = \frac{\omega_{GBW} \times P.M}{Power} \left( \frac{Hz \times deg}{W} \right) \quad (۸)$$

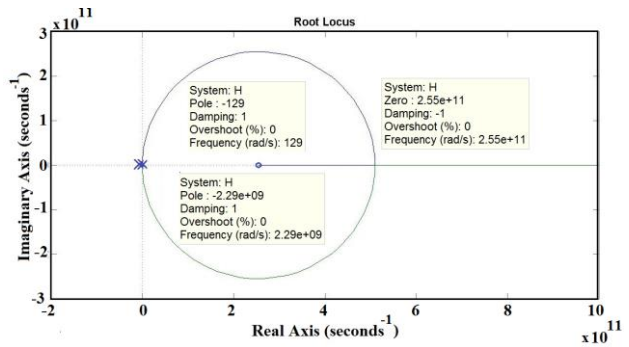
$$IFoM_s = \frac{\omega_{GBW} \times C_L}{I_{dd}} \left( \frac{Hz \times F}{A} \right) \quad (۹)$$

$$IFoM_L = \frac{SR \times C_L}{I_{dd}} \quad (۱۰)$$

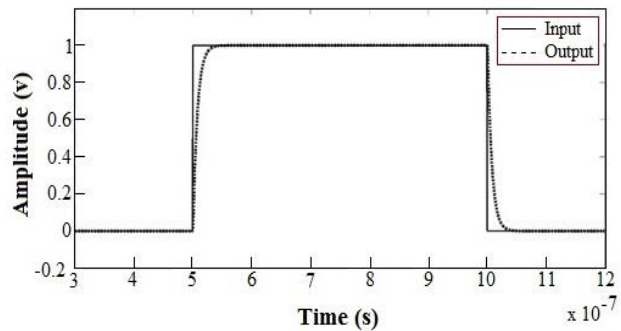
در جدول ۴، مقایسه کمی پارامترهای تقویت کننده پیشنهادی با کارهای قبل ارائه شده است. مطابق جدول، طرح پیشنهادی در مقایسه با کارهای گذشته بهبود چشمگیری را در پارامترهای مداری به ویژه مساحت اشغالی تراشه، پهنای باند بهره و ضرایب شایستگی نشان می‌دهد.

#### ۴ - نتیجه گیری

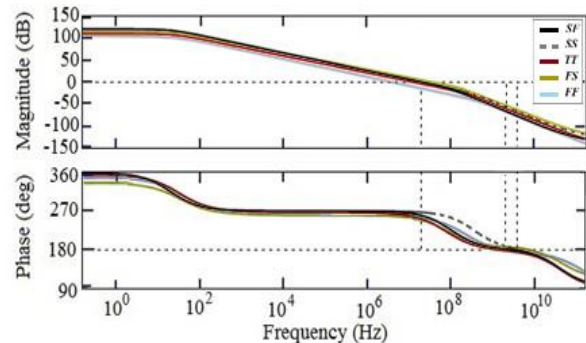
در این مقاله، یک تقویت کننده ترانساینپی چهار طبقه با تکنولوژی  $0.18\mu m$  ارائه شده است. طرح پیشنهادی در مقایسه با روش‌های رایج، مقدار خازن جبران سازی را به  $0.9 pF$  کاهش داده است، که منجر به کاهش قابل توجه مساحت تراشه می‌شود. ضمن اینکه خازن جبران سازی توسط یک MOSFET محقق شده است. پس می‌توان این تقویت کننده را بدون عنصر غیرفعال در نظر گرفت. این مدار توسط نرم‌افزار HSPICE و با تکنولوژی TSMC  $0.18\mu m$  CMOS شبیه‌سازی و با نرم‌افزار Cadence روی تراشه جانمایی شده است. همچنین طراحی و پیاده‌سازی مدار روی تراشه به گونه‌ای بوده است که بهبود قابل ملاحظه‌ای روی پارامترهای مدار مانند بهره، GBW و PM مشاهده می‌شود. بنابراین ضرایب شایستگی تعریف شده، مقادیر مناسبی از خود نشان می‌دهند.



شکل (۶): نمودار صفر و قطب و مکان هندسی ریشه‌های طرح پیشنهادی



شکل (۷): پاسخ پله تقویت کننده پیشنهادی



شکل (۸): تحلیل گوشه طرح پیشنهادی تقویت کننده

به علاوه شبیه‌سازی Mont Carlo برای طرح پیشنهادی در شکل (۹) گزارش شده است. این شبیه‌سازی بر اساس تغییرات ۳۰ درصدی مقادیر پارامترهای مدار (خازن جبران سازی و ترانساینپی طبقات) تحت تابع توزیع گوسی با ۱۰۰ تکرار انجام شده است. این شبیه‌سازی یک تحلیل جامع بوده که نشان می‌دهد در بدترین و پرخطرترین حالت ممکن، نتایج خروجی در بازه نمایش داده شده در شکل (۹) خواهد بود. این امر بیانگر استحکام طرح پیشنهادی در بدترین شرایط می‌باشد.

همچنین برای مقایسه طرح‌های پیشنهادی با کارهای قبل، از ضرایب شایستگی تعریف شده در مرجع [20] استفاده شده است. رابطه (۵) اثر GBW را لحاظ می‌کند، در حالی که رابطه (۶) نقش نرخ چرخش را پررنگ می‌نماید. همچنین رابطه (۷) به مقدار خازن جبران سازی و رابطه (۸) به مقدار PM وابسته می‌باشد. ضمن اینکه برای استقلال

جدول (۴): مقایسه طرح پیشنهادی با کارهای انجام شده دیگران

	DC Gain (dB)	Load (pF)	Power ( $\mu$ W)	GBW (MHz)	Compensation Capacitor (pF)	Slew Rate (V/ $\mu$ S)	P.M ( $^{\circ}$ )	FOM <sub>s</sub>	FOM <sub>L</sub>	IFOM <sub>s</sub>	IFOM <sub>L</sub>	FOM <sub>1</sub>	FOM <sub>2</sub>	Technology ( $\mu$ m)
NMC [6]	100	100	345	0.22	110	0.25	68.3	0.06	0.07	0.12	0.14	0.054	0.04	0.18*
NMCNR [21]	100	100	345	0.32	78	0.30	70.5	0.09	0.08	0.18	0.17	0.115	0.06	0.18*
DPZC [6]	100	100	345	0.40	49.5	0.39	90.5	0.11	0.11	0.23	0.22	0.222	0.10	0.18
MNMC [6]	90	100	431	0.54	141	0.35	40	0.12	0.08	0.25	0.16	0.085	0.05	0.18
NMCF [6]	102	100	345	0.67	34	0.57	69.6	0.19	0.16	0.38	0.33	0.558	0.13	0.18
NMCFNR [21]	>100	100	345	0.80	28.7	0.63	72.1	0.23	0.18	0.46	0.36	0.801	0.16	0.18
RNMC [22]	>100	120	330	2.50	8	-	50	0.90	-	1.62	-	13.50	0.37	0.18
[23]	>130	500	380	6.66	6	0.9	86	8.76	1.18	15.76	2.12	730	1.51	0.18
[24]	>100	560	12.7	3.49	0.58	0.86	53	153	37	279	68	148583	14.56	0.13*
[25]	>100	500	6.3	1.34	0.87	0.62	52	106	49	167	77	61120	11.06	0.18*
[26]	>100	1500	69	3.46	0.81	1.46	75.5	75	31.73	148	62.57	112826	2.95	0.18*
<b>This Work</b>	<b>120</b>	<b>100</b>	<b>545</b>	<b>16.4</b>	<b>0.9</b>	<b>2.12</b>	<b>88</b>	<b>3.00</b>	<b>0.38</b>	<b>5.41</b>	<b>0.70</b>	<b>334.3</b>	<b>2.64</b>	<b>0.18*</b>

\* اندازه گیری شده (Denotes measurements)

## مراجع

- [8] Hosseini Largani, S. Mehdi, et al. ,A new frequency compensation technique for three stages OTA by differential feedback path., International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, Vol. 28, no. 4, pp. 381-88, July 2015.
- [9] Tam, Wing-Shan, and Chi-Wah Kok. ,Design methodology of double nulling resistors nested-Miller compensation of multistage amplifier., Solid State Electronics Letters 1.1 (2019): 15-24.
- [10] Biabanifard, Sadegh, et al. ,Three stages CMOS operational amplifier frequency compensation using a single Miller capacitor and a differential feedback path., Analog Integrated Circuits and Signal Processing, Vol. 97, no. 2, pp. 195-205, Nov. 2018.
- [11] Zaherfekar M., Biabanifard A., "Improved reversed nested miller frequency compensation technique based on current comparator for three-stage amplifiers." Analog Integrated Circuits and Signal Processing, <https://doi.org/10.1007/s10470-019-01405-1>, (2019).
- [12] Kuo, Po-Yu, and Sheng-Da Tsai. "An Enhanced Scheme of Multi-Stage Amplifier With High-Speed High-Gain Blocks and Recycling Frequency Cascade Circuitry to Improve Gain-Bandwidth and Slew Rate., IEEE Access 7 (2019): 130820-130829.
- [13] Raj, A., Kumar, K. & Kumar, P. "CMOS realization of OTA based tunable grounded meminductor. " Analog Integr Circ Sig Process 107, 475-482 (2021). <https://doi.org/10.1007/s10470-021-01808-z>.
- [14] Babazadeh Daryan B., Khalessi H., Ghods V., et al. "Multi stage CMOS amplifier frequency compensation using a single MOSCAP," Analog Integrated Circuits and signal processing, Vol. 103, pp. 237-246, 2020.
- [1] نازنین زهرا یعقوبی کریمی، عباس گلکمانی و رضا یعقوبی کریمی، "یک طراحی جدید برای بهبود Slew rate تقویت کننده‌های عملیاتی تفاضلی دو طبقه تک سر کم توان" مجله مهندسی برق و الکترونیک ایران - جلد ۱۴ شماره ۲، ۱۳۹۶.
- [۲] ابوالفضل بیجار، مهدی شیخی، "تقویت کننده کم نویز فرا پهن باند جدید با قابلیت کنترل بهره به صورت پیوسته"، مجله مهندسی برق و الکترونیک ایران - جلد ۱۶ شماره ۲، ۱۳۹۸.
- [3] G. Palumbo and S. Pennisi, (2002), Feedback Amplifiers: Theory and Design., Boston, MA: Kluwer.
- [4] Akbari, Meysam, et al. ,High performance folded cascode OTA using positive feedback and recycling structure., Analog Integrated Circuits and Signal Processing 82.1 (2015): 217-227.
- [5] Kanyal, G., Kumar, P., Paul, S. K., & Kumar, A. "OTA based high frequency tunable resistorless grounded and floating memristor emulators" AEU-International Journal of Electronics and Communications, 92, 124-145. (2018). <https://doi.org/10.1016>.
- [6] Grasso AD, Palumbo G, Pennisi S. ,Analytical comparison of frequency compensation techniques in three-stage amplifiers., International Journal of Circuit Theory and Applications. 2008;36(1):53-80.
- [7] Zaherfekar, Mehdi, and Ali Biabanifard. ,Improved reversed nested miller frequency compensation technique based on current comparator for three-stage amplifiers., Analog Integrated Circuits and Signal Processing 98.3 (2019): 633-642.

- [15] Peng X, Sansen W. ,AC boosting compensation scheme for low power multistage amplifiers., IEEE Journal of Solid State Circuits. 2004;39(11):2074- 2079.
- [16] Lee, Hoi, and Philip KT Mok. ,Active-feedback frequency-compensation technique for low-power multistage amplifiers., IEEE Journal of Solid-State Circuits 38.3 (2003): 511-520.
- [17] Chaharmahali, Iman, et al. ,A New Method Modifying Single Miller Feedforward Frequency Compensation to Drive Large Capacitive Loads: Putting an Attenuator in the Path., Analog Integrated Circuits and Signal Processing 93.1 (2017): 61-70.
- [18] Asiyabi, Tayebbeh, et al. ,Four stage OTA CMOS frequency compensation based on double differential feedback paths., Analog Integrated Circuits and Signal Processing 101.1 (2019): 155-168.
- [19] Biabanifard, Sadegh, et al. ,Multi stage OTA design: From matrix description to circuit realization., Microelectronics journal 77 (2018): 49-65.
- [20] Babazadeh Daryan, B., Khalesi, H., Ghods, V. et al. . ,Four-Stage CMOS Amplifier: Frequency Compensated using Differential Block., IET Circuits, Devices & Systems (2020). DOI: 10.1049/iet-cds.2019.0517.
- [21] Grasso, Alfio Dario, et al. ,Improved reversed nested Miller frequency compensation technique with voltage buffer and resistor., IEEE Transactions on Circuits and Systems II: Express Briefs 54.5 (2007): 382-386.
- [22] Biabanifard, Sadegh, et al. ,High performance reversed nested Miller frequency compensation., Analog Integrated Circuits and Signal Processing 85.1 (2015): 223-233.
- [23] Asiyabi, Tayebbeh, and Jafar Torfifard. ,Differential block frequency compensation for low-power multistage amplifiers., International Journal of Numerical Modelling: Electronic Networks, Devices and Fields 32.2 (2019): e2517.
- [24] Tan, Min, and Wing-Hung Ki. ,A cascode Miller-compensated three-stage amplifier with local impedance attenuation for optimized complex-pole control., IEEE Journal of Solid-State Circuits 50.2 (2014): 440-449
- [25] Qu, Wanyuan, et al. ,17.3 A 0.9 V 6.3  $\mu$ W multistage amplifier driving 500pF capacitive load with 1.34 MHz GBW., 2014 IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC). IEEE, 2014.
- [26] Qu, Wanyuan, et al. ,Design-oriented analysis for miller compensation and its application to multistage amplifier design., IEEE Journal of Solid-State Circuits 52.2 (2016): 517-527.