

# یک روش کالیبراسیون پس‌زمینه دیجیتال برای مبدل‌های آنالوگ به دیجیتال Pipeline با استفاده از تخمین اولیه خطاها و روش‌های مبتنی بر هیستوگرام

محمد میرزاحسینی<sup>۱</sup> محمد یآوری<sup>۲</sup>

۱- دانشجو- آزمایشگاه طراحی مدارهای مجتمع- دانشکده مهندسی برق- دانشگاه صنعتی امیرکبیر (پلی تکنیک تهران)- تهران-

ایران

[m.mirzahosseini@aut.ac.ir](mailto:m.mirzahosseini@aut.ac.ir)

۲- دانشیار- آزمایشگاه طراحی مدارهای مجتمع- دانشکده مهندسی برق- دانشگاه صنعتی امیرکبیر (پلی تکنیک تهران)- تهران- ایران

[myavari@aut.ac.ir](mailto:myavari@aut.ac.ir)

**چکیده:** در این مقاله، یک روش کالیبراسیون دیجیتال برای اصلاح خطاهای مداری موجود در مبدل‌های آنالوگ به دیجیتال Pipeline ارائه شده است. این روش شامل دو بخش است که در قسمت اول، یک تخمین اولیه و غیردقیق از خطاهای مداری به صورت پس‌زمینه‌ای انجام می‌شود. سپس در قسمت دوم، این مقادیر اولیه به سمت مقادیر دقیقشان تنظیم می‌شوند و در ادامه تغییرات پروسه و دما را دنبال می‌کنند. در این روش برای کالیبراسیون خطاها، از ترکیبی از روش‌های مبتنی بر یکسان‌سازی، تغییر ولتاژ آستانه‌ای مقایسه‌گر و هیستوگرام به همراه ویژگی‌های هندسی منحنی مشخصه انتقالی Backend و همچنین منحنی مشخصه انتقالی خروجی مبدل و تاثیر خطاها بر روی آن‌ها استفاده شده است. روش کالیبراسیون پیشنهادی بر روی یک مبدل آنالوگ به دیجیتال Pipeline با سرعت نمونه‌برداری 100 MS/s و دقت ۱۲ بیت که به صورت ۱۲ طبقه ۱/۵ بیتی با ساختار CNFA به همراه یک مبدل ۲ بیتی فلش پیاده‌سازی شده است، به کار برده شده است. مقادیر شبیه‌سازی شده مداری SNDR و SFDR مبدل به ترتیب حدود ۳۱ دسیبل و ۴۱ دسیبل نسبت به مبدل بدون کالیبراسیون بهبود می‌یابند.

**واژه‌های کلیدی:** مبدل‌های آنالوگ به دیجیتال Pipeline، کالیبراسیون پس‌زمینه دیجیتال، خطای بهره و غیرخطینگی.

نوع مقاله: پژوهشی

DOI: 10.29252/jiaeee.18.4.85

تاریخ ارسال مقاله: ۱۳۹۹/۰۱/۲۱

تاریخ پذیرش مشروط مقاله: ۱۳۹۹/۰۷/۲۷

تاریخ پذیرش مقاله: ۱۳۹۹/۰۸/۲۴

نام نویسنده‌ی مسئول: دکتر محمد یآوری

نشانی نویسنده‌ی مسئول: ایران - تهران - خیابان حافظ - پلاک ۴۲۴ - دانشگاه صنعتی امیر کبیر - دانشکده‌ی مهندسی برق

## ۱- مقدمه

افزایش سرعت و دقت سیستم‌های پردازش دیجیتال نیاز به مبدل‌های آنالوگ به دیجیتال سریع‌تر و دقیق‌تر دارد [۱]. در این بین مبدل آنالوگ به دیجیتال Pipeline انتخاب مناسبی برای کاربردهای با سرعت و دقت بالا است. این مبدل‌ها برای دقت‌های ۸ تا ۱۶ بیت و سرعت‌های ۱۰ تا ۵۰۰ میلیون نمونه بر ثانیه به دلیل پتانسیل بالایی که برای بهینه‌سازی توان مصرفی، سطح تراشه و کارایی‌شان دارند، بسیار مورد استقبال طراحان بوده‌اند [۲]. با کاهش ابعاد در تکنولوژی‌های نانومتری CMOS و کاهش بهره ذاتی ترانزیستورها، در کنار کاهش حداکثر مقدار منبع تغذیه، طراحی تقویت‌کننده‌های عملیاتی با بهره، سوئینگ و خطیگی بالا، برای استفاده در مبدل‌های Pipeline، عملاً بسیار سخت است. همچنین به دلیل عدم تطبیق بین خازن‌ها و نقایص بیان شده از تقویت‌کننده‌های عملیاتی در ساخت تراشه‌ها، رسیدن به دقت‌های بالای ۱۲ بیت برای این مبدل‌ها بسیار سخت است. از این‌رو استفاده از تکنیک‌های کالیبراسیون، برای دستیابی به دقت‌های بالا اجتناب‌ناپذیر است.

روش‌های کالیبراسیون بسته به همزمانی یا عدم همزمانی عملیات اندازه‌گیری و کالیبراسیون خطاها با عملکرد عادی مبدل، به دو دسته پس‌زمینه و پیش‌زمینه تقسیم‌بندی می‌شوند. در روش‌های کالیبراسیون پیش‌زمینه، عملکرد عادی مبدل در حالت کالیبراسیون خطاها متوقف می‌شود. این روش‌ها در برخی از کاربردهای محدود قابل قبول هستند، اما در بسیاری از کاربردهای حساس غیرقابل قبول هستند. در روش‌های کالیبراسیون پس‌زمینه، عملیات اندازه‌گیری و کالیبراسیون خطاها همزمان با عملکرد عادی مبدل صورت می‌گیرد [۳].

چندین طرح کالیبراسیون پس‌زمینه دیجیتال در [۲-۱۹] ارائه شده‌اند تا عملکرد مبدل‌های Pipeline را بهبود دهند. در روش‌های مبتنی بر یکسان‌سازی، خطاها به وسیله یک سیگنال تصحیح آزمون، اندازه‌گیری شده و تابع معکوس خطاها بدست می‌آید [۴]. اگرچه این تکنیک‌ها سرعت تبدیل سریع دارند اما برای تولید سیگنال‌های کالیبراسیون با دقت بالا به مدارهای آنالوگ اضافی احتیاج دارند [۲]. در [۴]، روشی مبتنی بر یکسان‌سازی پیشنهاد شده است که در آن مبدل سیگنال کالیبراسیون را به جای نمونه ورودی تبدیل می‌کند و نمونه ورودی حذف شده با استفاده از یک فیلتر پیش‌بینی درون‌یابی می‌شود. با این حال، فیلترهای پیش‌بینی، پهنای باند سیگنال ورودی مبدل را محدود می‌کنند. در [۱۵] برای تخمین و تصحیح خطاها به جای استفاده از فیلتر پیش‌بینی از یک مبدل اضافی آهسته اما دقیق استفاده شده است.

روش‌های مبتنی بر همبستگی خطاهای آنالوگ را با تزریق یک دنباله نویز شبه تصادفی (PN) به مسیر سیگنال ورودی و سپس با دمدوله کردن اطلاعات در حوزه دیجیتال استخراج می‌کنند تا به عملکرد مورد نیاز دست یابند [۱۴-۱۶-۱۹]. از آنجایی که مسیر

سیگنال باید قادر به اضافه شدن سیگنال کالیبراسیون باشد، این تکنیک‌ها باعث کاهش دامنه سیگنال ورودی می‌شوند. در این روش‌ها، سیگنال ورودی به عنوان یک نویز ناهمبسته با دامنه بزرگتر از دنباله PN ظاهر می‌شود که منجر به یک زمان همگرایی بزرگ می‌شود.

در روش‌های مبتنی بر هیستوگرام، با استفاده از تعداد رخدادها و چگونگی توزیع کدهای خروجی در مبدل اصلی یا مبدل Backend می‌توان رفتار آماری این کدها را تحلیل و از روی آن‌ها اطلاعات مربوط به کالیبراسیون مبدل را استخراج کرد [۱۰]. ایراد اصلی روش‌های مبتنی بر هیستوگرام، وابستگی عملکرد آن‌ها به نوع سیگنال ورودی مبدل است [۱۳]. برای کاهش این مساله، ترکیبی از تکنیک‌های پیش‌زمینه و پس‌زمینه در [۱۳] استفاده شده است. در [۱۳] در شروع کار، خطاها با استفاده از یک کالیبراسیون پیش‌زمینه تخمین زده می‌شوند و سپس از هیستوگرام خروجی مبدل برای دنبال کردن تغییر خطاها در حالت پس‌زمینه استفاده می‌شود. در [۱۲]، با بدست آوردن نقاط تصمیم‌گیری و ولتاژ آستانه‌ی مقایسه‌گرها با استفاده از هیستوگرام در سه فاز برای ولتاژهای آستانه متفاوت، معادله‌ی معکوس MDAC حل شده و خطای بهره و خطای غیرخطیگی را برطرف می‌کند. روش‌های مبتنی بر هیستوگرام کاملاً دیجیتال هستند و از این رو می‌توانند از مقیاس‌بندی تکنولوژی‌های نانومتری CMOS بهره‌مند شوند. این روش‌ها خطاها را از خود سیگنال ورودی تخمین می‌زنند؛ بنابراین نیاز به فرضی در مورد سیگنال ورودی دارند [۱۰].

در روش‌های مبتنی بر تغییر ولتاژ آستانه مقایسه‌گر، ولتاژ آستانه مقایسه‌گرهای موجود در زیر مبدل آنالوگ به دیجیتال را با توجه به حاشیه‌ی بدست آمده از تکنیک بیت اضافی تغییر می‌دهند که در نتیجه آن محل‌های شکست در منحنی مشخصه انتقالی طبقات مبدل Pipeline تغییر می‌کنند. البته این تغییر ولتاژ آستانه مقایسه‌گر باید به‌گونه‌ای باشد که همچنان بخشی از حاشیه‌ی گفته شده برای آفست مقایسه‌گرها از تکنیک بیت اضافی باقی بماند. به این ترتیب می‌توان اطلاعات لازم جهت کالیبراسیون مبدل آنالوگ به دیجیتال را از محل‌های مقایسه بدست آورد [۸، ۹].

در روش پیشنهادی در این مقاله، با ترکیب روش‌های مبتنی بر یکسان‌سازی، تغییر ولتاژ آستانه‌ی مقایسه‌گر و هیستوگرام به همراه ویژگی‌های هندسی منحنی مشخصه انتقالی مبدل Backend و خروجی مبدل، خطاهای خطی و غیرخطی ناشی از عدم تطبیق خازن‌ها و غیر ایده‌آلی‌های موجود در تقویت‌کننده تا مرتبه سوم تصحیح می‌شوند. در این روش از تکنیک تقسیم مبدل نیز استفاده نشده است؛ بنابراین ساختار متداول مبدل دستخوش تغییر نشده و به پیچیدگی آن اضافه نمی‌شود. همچنین از هیچ مدار آنالوگ اضافی و یا سیگنال ورودی مانند سیگنال آزمون و یا سیگنال شبه تصادفی در مبدل مذکور استفاده نشده است. به علاوه روش تخمین اولیه پیشنهاد شده قابلیت پیاده‌سازی در بسیاری از ساختارهای مبدل‌ها را دارد، که علاوه بر افزایش نسبی دقت مبدل، کاملاً پس‌زمینه‌ای است و می‌تواند به-

یکسان می‌باشند. یعنی وقتی طبقه اول در حال نمونه‌برداری از ورودی است، طبقه بعدی در حال تبدیل سیگنال باقیمانده طبقه قبل از خود است. این کار باعث دو برابر شدن سرعت مبدل و نصف شدن زمان نهفتگی آن می‌شود. شکل (۱) بلوک دیاگرام کلی یک مبدل آنالوگ به دیجیتال Pipeline را در حالتی که از روش Concurrent در آن استفاده شده است، نشان می‌دهد.

MDAC مهمترین قسمت در طراحی مبدل‌های آنالوگ به دیجیتال Pipeline است. چرا که این بلوک بیشترین توان مصرفی مبدل را به خود اختصاص می‌دهد و تاثیر مستقیم بر دقت و سرعت مبدل دارد. بنابراین، تقریباً در تمام تکنیک‌های کاهش توان، افزایش سرعت و دقت تاکنون بر روی طراحی MDAC متمرکز شده‌اند.

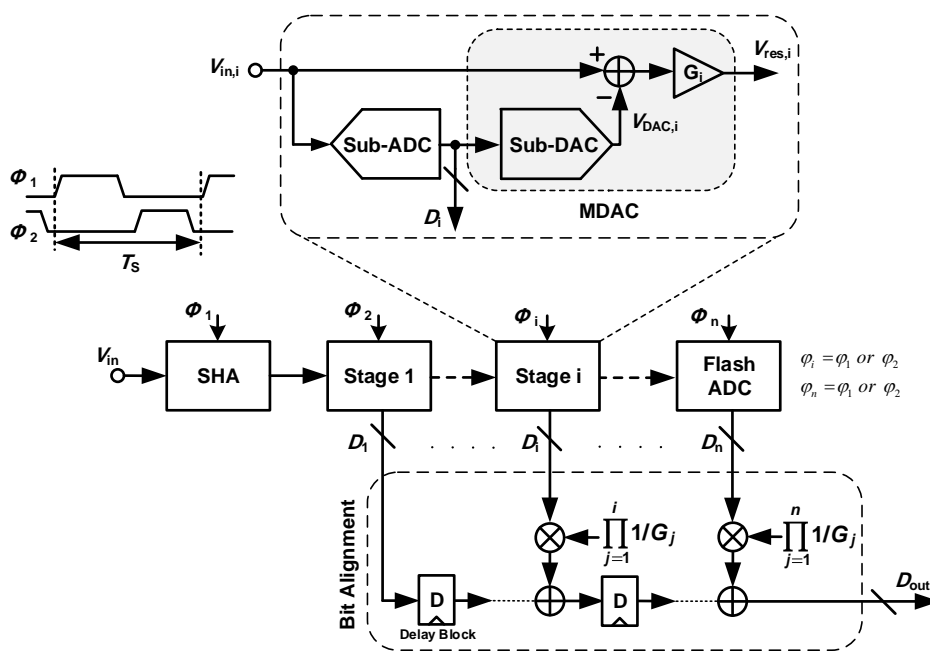
یکی از پارامترهای موثر در طراحی بهینه مبدل Pipeline، انتخاب مناسب ساختار MDAC و دقت آن است. ساختار ۱/۵-بیتی دارای بزرگترین ضریب فیدبک در بین سایر ساختارهای طبقات برای این مبدل است. همچنین در این ساختار زیر مبدل دیجیتال به آنالوگ ۱/۵-بیتی تنها با یک خازن قابل پیاده‌سازی است و لذا غیرخطینگی زیر مبدل دیجیتال به آنالوگ وجود ندارد. دو نوع ساختار برای MDAC، ۱/۵-بیتی بر اساس محل اتصال خازن‌ها در فازهای نمونه‌برداری و تقویت وجود دارد. این دو ساختار شامل مدار CNFA با ضریب فیدبک ۱/۳ و مدار CFA با ضریب فیدبک ۰.۵ هستند [۴]. در مبدل‌هایی که از روش‌های کالیبراسیون استفاده می‌کنند، معمولاً از ساختار CNFA استفاده می‌شود. زیرا در این ساختار، مسیر سیگنال و ولتاژ خروجی زیرمبدل دیجیتال به آنالوگ خطای مشابهی دارند و در نتیجه تعداد ضرایب مورد نیاز در کالیبراسیون مبدل کاهش می‌یابد.

همراه روش‌های مختلف مورد استفاده قرار گیرد. به علاوه روش تنظیم و دنبال‌کننده پیشنهادی بعد از همگرایی در فواصل زمانی کوتاهی وضعیت ضرایب تصحیح را مورد بررسی قرار می‌دهد و تغییرات را دنبال می‌کند.

در بخش دوم این مقاله، روش جدیدی برای کالیبراسیون خطاها پیشنهاد شده است. ابتدا مفاهیم اولیه مورد نیاز برای درک روش پیشنهادی توضیح داده می‌شود و سپس روشی برای تخمین اولیه خطاهای خطی و غیرخطی مبدل مطرح شده و در ادامه آن‌ها روشی جهت تنظیم دقیق و ردیابی این خطاها که هر دو به صورت همزمان با عملکرد عادی مبدل انجام می‌شوند، پیشنهاد شده است. در بخش سوم به نتایج شبیه‌سازی سیستمی روش کالیبراسیون پیشنهادی پرداخته شده است. در بخش چهارم پیاده‌سازی مداری مبدل و نتایج شبیه‌سازی مداری آن با اعمال روش کالیبراسیون پیشنهادی به صورت سیستمی ارائه شده‌اند. در نهایت نتیجه‌گیری مقاله در بخش پنجم ارائه شده است.

## ۲- روش کالیبراسیون پیشنهادی

مبدل آنالوگ به دیجیتال Pipeline از چندین طبقه تشکیل شده است. مدار MDAC بلوک اصلی سازنده این طبقه‌ها است و بیشترین خطاها را در یک مبدل Pipeline ایجاد می‌کند. به مدت زمان بین ورود یک نمونه‌ی آنالوگ تا ایجاد کد دیجیتال آن در خروجی مبدل، نهفتگی گفته می‌شود، که این زمان به تعداد طبقات مبدل وابسته است. برای کاهش زمان نهفتگی از روش همزمانی استفاده می‌شود. در این روش، هر طبقه مبدل Pipeline نسبت به طبقه قبل و بعد از خود با فاز مخالفی کار می‌کند، به طوری که فازهای طبقات یک در میان

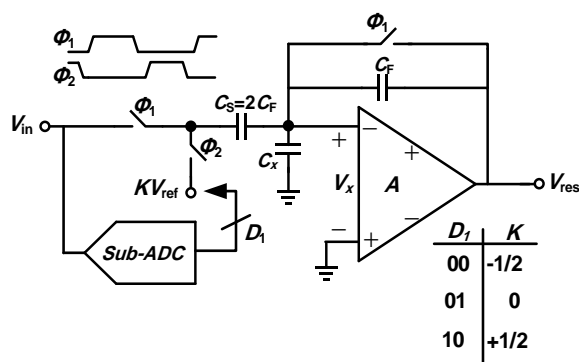


شکل (۱): بلوک دیاگرام کلی مبدل آنالوگ به دیجیتال Pipeline

## ۱-۲- مدل‌سازی MDAC

اولین قدم برای ارائه یک روش کالیبراسیون، مدل‌سازی مناسب خطاها در ساختار طبقات انتخاب شده است. در این بخش اثرات عدم تطبیق خازن‌ها و رفتار غیرایده‌آل تقویت‌کننده در ساختار CNFA به صورت تقریبی مدل‌سازی می‌شوند و این مدل در این مقاله مورد استفاده قرار خواهد گرفت.

شکل (۲) پیاده‌سازی مدار سوئیچ‌شونده خازنی تک‌سر یک طبقه ۱/۵-بیتی با ساختار CNFA را نشان می‌دهد. در این شکل  $C_x$  خازن پارازیتی موجود در ورودی تقویت‌کننده و  $V_x$  ولتاژ ورودی تقویت‌کننده است؛ چرا که فرض شده است تقویت‌کننده توانایی ایجاد زمین مجازی در ورودی خود را تا حد مورد نیاز ندارد.



شکل (۲): مدار سوئیچ‌شونده خازنی تک‌سر یک طبقه ۱/۵-بیتی با ساختار CNFA [۴]

رفتار استاتیکی ورودی- خروجی حلقه باز تقویت‌کننده‌ی تفاضلی در شکل (۲)، با یک چند جمله‌ای مرتبه سوم قابل تقریب است، زیرا در ساختار کاملاً تفاضلی، هارمونیک‌های زوج ناچیز هستند. بنابراین داریم [۴]:

$$V_{res} \approx \alpha_1 V_x + \alpha_3 V_x^3 \quad (1)$$

در رابطه فوق  $\alpha_1$  بهره DC محدود تقویت‌کننده و  $\alpha_3$  ضریب غیرخطی مرتبه سوم آن هستند. اگر این تقویت‌کننده در ساختار حلقه بسته قرار گیرد، می‌توان از جمله‌های مرتبه بالاتر غیرخطی آن در رابطه ورودی-خروجی صرف نظر کرد. به این ترتیب برای بدست آوردن معکوس این سیستم، تقریب چند جمله‌ای مرتبه سوم، تقریب مناسبی خواهد بود. به عبارتی می‌توان نوشت [۴]:

$$V_x \approx \delta_1 V_{res} + \delta_3 V_{res}^3 \quad (2)$$

با جای‌گذاری  $V_{res}$  از رابطه (۱) و بسط رابطه (۲) و متحد قرار دادن طرفین رابطه، داریم [۴]:

$$\delta_1 = 1 / \alpha_1 \quad (3)$$

$$\delta_3 = -\alpha_3 / \alpha_1^4 \quad (4)$$

در رابطه فوق  $\delta_1$  و  $\delta_3$  ضرایب معکوس تقویت‌کننده هستند. با استفاده از قانون بقای بار از فاز نمونه‌برداری  $\phi_1$  به فاز تقویت  $\phi_2$ ، داریم:

$$C_S(V_{in} - V_{res}) - C_X V_{res} = C_S(kV_{ref} - V_x) - C_X V_x + C_F(V_{res} - V_x) \quad (5)$$

با جای‌گذاری  $V_x$  از رابطه (۲)، ورودی طبقه برحسب خروجی آن به صورت زیر بدست می‌آید:

$$V_{in} = kV_{ref} + \gamma(1 - \delta_1)V_{res} - \gamma\delta_3 V_{res}^3 \quad (6)$$

که در آن  $\gamma$  برابر است با:

$$\gamma = (1 - \frac{C_F + C_X}{C_S}) \quad (7)$$

برای بیان ساده‌تر، رابطه (۶) را به صورت زیر نمایش می‌دهیم:

$$V_{in} - kV_{ref} = \eta_1 V_{res} + \eta_3 V_{res}^3 \quad (8)$$

در رابطه فوق  $\eta_1$  ضریب معکوس مرتبه اول MDAC و  $\eta_3$  ضریب معکوس مرتبه سوم MDAC هستند. از این رو، اگر  $\eta_1$  و  $\eta_3$  به طور دقیق تخمین زده شوند، می‌توان غیر ایده‌آلی‌های MDAC را اصلاح کرد. جهت بدست آوردن مدل MDAC از رابطه فوق مجدداً معکوس می‌گیریم تا رابطه‌ی زیر حاصل شود:

$$V_{res} = \beta_1(V_{in} - kV_{ref}) + \beta_3(V_{in} - kV_{ref})^3 \quad (9)$$

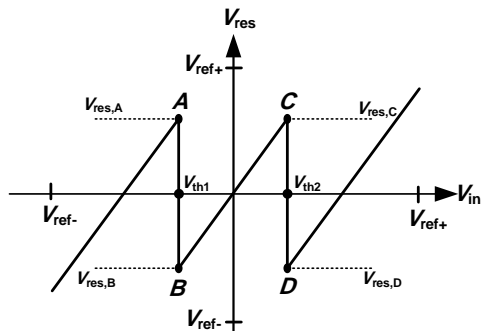
که در آن  $\beta_1$  بهره یا ضریب مرتبه اول MDAC است که در حالت ایده‌آل مقدار آن ۲ است و  $\beta_3$  به عنوان خطای مرتبه سوم MDAC بیان می‌شود که در حالت ایده‌آل مقدار آن صفر است.

بنابراین به کمک رابطه (۹) به صورت تقریبی می‌توان اثر هر یک از پارامترهای خطا شامل عدم تطبیق خازن‌ها، خطای بهره و رفتار غیرخطی تقویت‌کننده را در هر یک از طبقات مبدل Pipeline مدل‌سازی نمود.

## ۲-۲- تکنیک کالیبراسیون پیشنهادی

چالش اصلی در روش‌های کالیبراسیون تخمین دقیق ضرایب معکوس مدار MDAC است. شکل (۳) منحنی مشخصه طبقه ۱/۵-بیتی را نشان می‌دهد که می‌توان آن را به سه ناحیه مختلف تقسیم بندی کرد. ناحیه  $i$  دسته‌ای از خروجی‌های طبقه را مشخص می‌کند که در آن کد خروجی زیر مبدل آنالوگ به دیجیتال آن برابر مقدار منفی یک است. به همین ترتیب ناحیه‌های  $ii$  و  $iii$  نیز دسته‌ای از خروجی‌های طبقه را مشخص می‌کنند که در آن‌ها کد خروجی زیر مبدل آنالوگ به دیجیتال آن‌ها به ترتیب برابر با مقادیر صفر و یک است. در حالت ایده‌آل شیب هر ناحیه از منحنی مشخصه انتقالی طبقه ۱/۵-بیتی برابر ۲ است که این مقدار برابر ضریب مرتبه اول MDAC است، اما به دلیل اثرات غیر ایده‌آلی مدارهای آنالوگ و عدم تطبیق خازن‌ها، مقدار این شیب از مقدار ایده‌آل خود انحراف پیدا می‌کند. این انحراف در تمامی نواحی یکسان است. بنابراین با بدست آوردن مقدار شیب منحنی مشخصه انتقالی طبقه در یکی از این نواحی، می‌توان با استفاده از روابط موجود، این انحراف شیب از مقدار ایده‌آل را جبران سازی کرده و مبدل را تصحیح نمود.

منفی یک باشد بر نقطه  $A$ ، و در صورتی که کد زیر مبدل آنالوگ به دیجیتال طبقه صفر باشد، بسته به اینکه در محل شکست آستانه کدام مقایسه‌گر هستیم بر نقاط  $B$  و  $C$  و در صورتی که کد زیر مبدل آنالوگ به دیجیتال یک باشد، بر نقطه  $D$  از منحنی انتقالی طبقه قرار گرفته-ایم. همچنین می‌توان مختصات این نقاط را بر روی محور  $V_{res}$  به ترتیب با مقادیر  $V_{res,A}$ ،  $V_{res,B}$ ،  $V_{res,C}$ ،  $V_{res,D}$  که در شکل (۴) نشان داده شده‌اند، مشخص نمود [۱۲].



شکل (۴): نمایش نقاطی که مختصات آن‌ها بر روی محور ورودی به مقدار ولتاژ تصمیم‌گیری مقایسه‌گرها منطبق هستند

از میان نقاط  $A$ ،  $B$ ،  $C$  و  $D$  تنها نقاط  $B$  و  $C$  هستند که از مختصات آن‌ها می‌توان جهت محاسبه شیب خط منحنی مشخصه انتقالی طبقه در ناحیه  $ii$  استفاده کرد. اما همچنان برای آوردن مختصات نقاط  $B$  و  $C$  دو چالش عمده وجود دارد. اولاً، محاسبه مختصات نقطه بر روی محور  $V_{res}$  در حوزه‌ی دیجیتال نیز محدودیت‌هایی به همراه دارد. برای محاسبه این مختصات در هر طبقه می‌توان از خروجی دیجیتال طبقات بعدی که به صورت یک مبدل Backend مدل‌سازی می‌شوند، استفاده نمود. به صورت معمول این مبدل یک مبدل ایده‌آل در نظر گرفته می‌شود که دقت آن توسط تعداد و دقت طبقات تشکیل دهنده‌ی مبدل Backend تعیین می‌شود. علت ایده‌آل در نظر گرفتن این مبدل آن است که معمولاً عمل کالیبراسیون از طبقات آخر به سمت طبقات اول صورت می‌گیرد و بنابراین برای هر طبقه، طبقات بعد از آن قبلاً اصلاح شده‌اند.

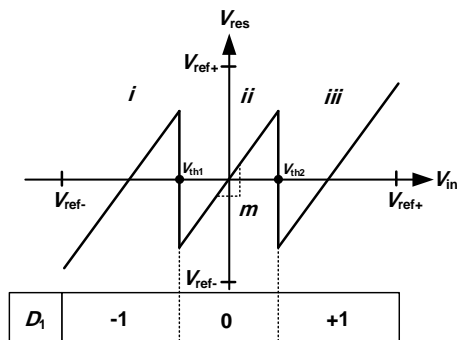
همچنین با فرض اینکه مبدل Backend ایده‌آل است و مدل MDAC که در قسمت قبل بدست آمد، می‌توان ورودی مبدل Backend، که همان خروجی طبقه قبل است، را به صورت زیر نوشت:

$$V_{res} = \beta_1(V_{in} - kV_{ref}) + \beta_3(V_{in} - kV_{ref})^3 \quad (10)$$

و خروجی مبدل Backend را به صورت زیر بیان کرد:

$$D_{res} = \beta_1(D_{in} - D_1) + \beta_3(D_{in} - D_1)^3 \quad (11)$$

در رابطه فوق،  $D_{res}$  معادل ایده‌آل دیجیتال شده  $V_{res}$  است. به همین ترتیب  $D_{in}$  معادل ایده‌آل دیجیتال  $V_{in}$  است و  $D_1$  کد زیر مبدل آنالوگ به دیجیتال طبقه‌ی قبل از مبدل Backend است. بنابراین



شکل (۳): تقسیم بندی نواحی منحنی مشخصه انتقالی طبقه ۱/۵-بیتی از روی کد زیر مبدل آنالوگ به دیجیتال

برای بدست آوردن شیب یک خط، به مختصات دو نقطه دلخواه بر روی آن نیاز است. انتخاب این دو نقطه دلخواه بر روی منحنی مشخصه انتقالی طبقه بهره، محدودیت‌هایی به همراه دارد. اولاً، در حالت عملکرد عادی مبدل، مختصات این نقاط بر روی محور ورودی قابل تعیین نیستند؛ زیرا هیچ اطلاعی از سیگنال ورودی در دست نیست و این سیگنال می‌تواند هر مقداری در محدوده‌ی مجاز مبدل داشته باشد. از این رو نمی‌توان مختصات یک نقطه خاص از منحنی مشخصه طبقه را بر روی محور ورودی انتخاب نمود. دومین محدودیت موجود در انتخاب نقاط دلخواه بر روی منحنی مشخصه انتقالی طبقه، مختصات نقاط انتخاب شده بر روی محور عمودی یعنی  $V_{res}$  است. زیرا این نقاط نیز دقت محدودی دارند، که دقت آن در هر طبقه برابر با دقت مبدل Backend بعد از آن طبقه است. برای حل این مشکلات راه حل زیر پیشنهاد شده است.

## ۲-۲-۱- تغییر نقاط تصمیم‌گیری

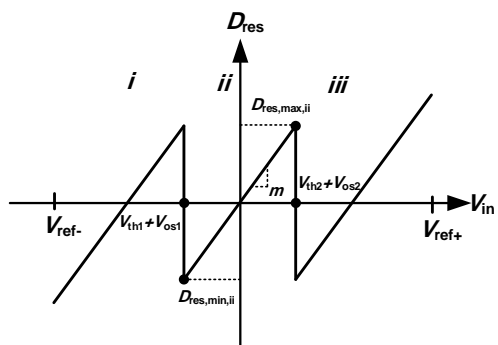
برای حل محدودیت اول با دیدگاه پس‌زمینه‌ای، کافی است نگاه دقیق‌تری به منحنی مشخصه انتقالی طبقه ۱/۵-بیتی در شکل (۳) داشته باشیم. در این شکل منحنی مشخصه انتقالی طبقه، در دو نقطه بر روی محور ورودی دچار شکست می‌شود. این شکست ناشی از تغییر بیت‌های خروجی زیر مبدل آنالوگ به دیجیتال است. این دو نقطه بر روی محور ورودی را نقاط تصمیم‌گیری می‌نامیم که مقدار آن‌ها همان ولتاژهای آستانه مقایسه‌گرهای زیر مبدل آنالوگ به دیجیتال طبقه هستند. این نقاط در منحنی مشخصه انتقالی طبقه، تنها نقاطی هستند که مقدار سیگنال ورودی حتی در صورتی که این سیگنال ناآشنا باشد، مشخص است. به بیان دیگر زمانی که منحنی مشخصه دچار شکست شد، به این معناست که بیت‌های خروجی زیر مبدل آنالوگ به دیجیتال تغییر کرده‌اند و این مسئله زمانی اتفاق می‌افتد که سیگنال ورودی برابر با ولتاژ آستانه مقایسه‌گر باشد. از این رو با توجه به کد زیر مبدل آنالوگ به دیجیتال طبقه، می‌توان مختصات این نقاط را بر روی محور  $V_{res}$  به وسیله‌ی نقاط  $A$ ،  $B$ ،  $C$  و  $D$  که در شکل (۴) مشخص شده‌اند، نشان داد. در صورتی که کد زیر مبدل دیجیتال به آنالوگ

### ۳-۲- تخمین اولیه

با توجه به شکل (۶) و با فرض ولتاژهای آستانه مقایسه‌گرها به صورت  $V_{th,2} + V_{os,2}$  و  $V_{th,1} + V_{os,1}$  بر روی محور ورودی و اینکه حداکثر و حداقل کد مبدل Backend بر روی محور  $D_{res}$  ناحیه *ii* (جایی که کد زیر مبدل آنالوگ به دیجیتال طبقه برابر صفر است) به ترتیب برابر  $D_{res,max,ii}$  و  $D_{res,min,ii}$  باشند، می‌توان شیب خط منحنی مشخصه در این ناحیه را به صورت زیر محاسبه کرد:

$$m = \frac{D_{res,max,ii} - D_{res,min,ii}}{(V_{th,2} + V_{os,2}) - (V_{th,1} + V_{os,1})} \quad (12)$$

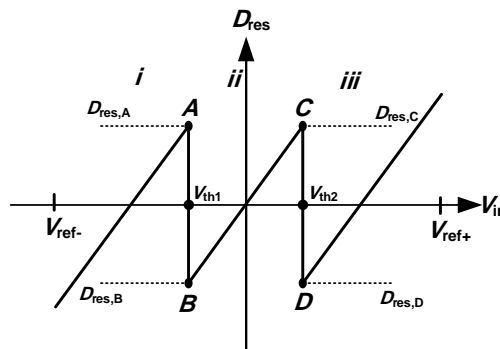
در مبدل‌های متداول Pipeline انتخاب بهینه برای ولتاژهای آستانه مقایسه‌گرها در طبقات  $1/5$ -بیتی  $\pm V_{ref} / 4$  است و این یعنی مشخصات این نقاط بر روی محور ورودی است. همانطور که گفته شد مختصات این نقاط بر روی محور ورودی برابر با ولتاژ آستانه مقایسه‌گرها است. اما این ولتاژ عملاً هیچ‌گاه برابر با مقدار ولتاژ اعمال شده به پایه‌های مقایسه‌گر نیست. دلیل این مشکل آفست و نویز مقایسه‌گرهاست که ناشی از المان‌های تشکیل دهنده مقایسه‌گرها و به‌ویژه ترانزیستورهای آنها است.



شکل (۶): نمایش نحوه محاسبه شیب یک ناحیه از منحنی مشخصه انتقالی Backend

در ابتدا فرض می‌کنیم که ولتاژهای آستانه‌های مقایسه‌گرها به‌گونه‌ای انتخاب شده‌اند که شکل منحنی مشخصه دارای تقارن فرد است. در این صورت با فرض صفر بودن آفست مقایسه‌گرها، کد حداکثر ناحیه *i* و *ii* یک مقدار بر روی محور  $D_{res}$  خواهند داشت. اما می‌دانیم که آفست مقایسه‌گرها هرگز صفر نیست. بنابراین فرض می‌کنیم که آفست مقایسه‌گر دوم از ولتاژ آفست مقایسه‌گر اول بیشتر باشد. در این صورت با توجه به شکل (۷) حداکثر کد ناحیه *i* از حداکثر کد ناحیه *ii* بر روی محور  $D_{res}$  پایین‌تر قرار خواهد گرفت. با انتقال نقطه حداکثر ناحیه *i* بر روی منحنی ناحیه *ii*، نقطه‌ای بدست می‌آید که این نقطه بر روی محور ورودی ولتاژی برابر با ولتاژ آستانه مقایسه‌گر دوم اما آفستی معادل آفست مقایسه‌گر اول خواهد داشت. بنابراین به یک مثلث قائم-الزاویه خواهیم رسید که ضلع موازی آن با محور ورودی برابر با اختلاف ولتاژ آفست مقایسه‌گرها و ضلع موازی محور  $D_{res}$  برابر با اختلاف

مشخصه انتقالی خروجی طبقه را می‌توان به صورت دیجیتالی از خروجی مبدل Backend به صورت شکل (۵) دریافت کرد که به آن منحنی مشخصه انتقالی مبدل Backend گفته می‌شود.



شکل (۵): منحنی مشخصه انتقالی مبدل Backend

دومین چالش در محاسبه مختصات نقاط *B* و *C*، مربوط به مختصات این نقاط بر روی محور ورودی است. همانطور که گفته شد مختصات این نقاط بر روی محور ورودی برابر با ولتاژ آستانه مقایسه‌گرها است. اما این ولتاژ عملاً هیچ‌گاه برابر با مقدار ولتاژ اعمال شده به پایه‌های مقایسه‌گر نیست. دلیل این مشکل آفست و نویز مقایسه‌گرهاست که ناشی از المان‌های تشکیل دهنده مقایسه‌گرها و به‌ویژه ترانزیستورهای آنها است.

برای حل چالش اول، با دیدگاهی دیگر نسبت به نقاط *B* و *C*، در خواهیم یافت که این نقاط در حقیقت به ترتیب متناظر با حداقل و حداکثر کد مبدل Backend در ناحیه *ii* هستند که در شکل (۵) مشاهده می‌شود. برای بدست آوردن حداکثر و حداقل مقدار سیگنال باقی‌مانده در نقاط تصمیم‌گیری می‌توان از دو تخمین‌گر مقدار کد حداکثر و حداقل استفاده کرد. این تخمین‌گرها باید خروجی مبدل Backend طبقه‌ی مورد نظر را وقتی که مقدار کد زیر مبدل دیجیتال به آنالوگ طبقه‌ی قبل، از  $-1$  به  $0$  یا از  $0$  به  $1$  تغییر می‌کند، مانیتور کنند و بزرگترین کد قبل از نقطه تصمیم‌گیری و کوچکترین کد بعد از آن را بدست آورند تا از آنها برای محاسبه شیب خط استفاده شود. اما نویز حرارتی می‌تواند حداکثر و حداقل کد خروجی مبدل Backend را تحت تاثیر قرار دهد و کد تخمینی در پروسه‌ی توضیح داده شده را خراب کند. برای رفع این مشکل از روش مبتنی بر هیستوگرام برای تخمین با دقت بالای کد حداکثر و حداقل استفاده می‌کنیم. در این حالت کدهایی که در اثر نویز حرارتی در هیستوگرام تشکیل شده در اطراف نقاط تصمیم‌گیری به‌وجود آمده‌اند، ارتفاع کمتری نسبت به کد حداکثر یا حداقل اصلی خواهند داشت و به راحتی با کنار گذاشتن آن‌ها، کد حداکثر یا حداقل درست بدست خواهد آمد.

همین منظور ولتاژهای آستانه‌ی مقایسه‌گرها را در این مرحله به صورت  $V_{th,2} = 3V_{ref}/8 + V_{os,2}$  و  $V_{th,1} = -V_{ref}/8 + V_{os,1}$  قرار می‌دهیم که در آن منحنی مشخصه انتقالی مبدل Backend دارای تقارن فرد نسبت به مبدا جدید است. در این زمان بلوک‌های تخمین‌گر حداکثر و حداقل شروع به کار کرده و مقادیر  $D_{res,Max,ii}$  و  $D_{res,Min,ii}$  و  $D_{res,Max,i}$  را بدست می‌آورند و سپس به کمک رابطه (۱۵) مقدار  $V_{os,2} - V_{os,1}$  حاصل می‌شود. همچنین در این حالت مقدار کد حداکثر و حداقل بدست آمده از ناحیه  $ii$  یعنی  $D_{res,Max,ii}$  و  $D_{res,Min,ii}$  توسط بلوک‌های تخمین‌گر حداکثر و حداقل را ذخیره می‌کنیم تا در قسمت‌های مختلف مراحل آینده مجدداً از آن‌ها استفاده کنیم.

همان طوری که قبلاً اشاره شد، تنها نقطه‌ی که سیگنال ورودی در آن‌ها مشخص است، نقاط تصمیم‌گیری هستند. بنابراین ولتاژهای آستانه‌ی مقایسه‌گرها می‌توانند عاملی برای تعیین دامنه سیگنال ورودی باشند. همچنین می‌دانیم در دامنه‌های کوچک سیگنال ورودی، غیرخطی‌گی تقویت‌کننده تأثیر کمی خواهد داشت و می‌توان از آن صرف نظر کرد. از این دو ویژگی به‌همراه مقادیر محاسبه شده در قسمت قبل استفاده می‌کنیم و روندی برای محاسبه تخمینی با دقت مناسب از ضریب مرتبه اول MDAC یا همان شیب منحنی مشخصه انتقالی طبقه ارائه می‌دهیم.

در مرحله قبل ولتاژ آستانه مقایسه‌گرها به صورت  $V_{th,2} = 3V_{ref}/8 + V_{os,2}$  و  $V_{th,1} = -V_{ref}/8 + V_{os,1}$  انتخاب شده بودند. با توجه به مطالب بیان شده در حداکثر کد در ناحیه  $i$  و حداقل کد در ناحیه  $ii$  و به دلیل اینکه در این نقاط دامنه ولتاژ سیگنال ورودی برابر  $-V_{ref}/8 + V_{os,1}$  و مقدار کوچکی است، می‌توانیم از غیرخطی‌گی تقویت‌کننده صرف نظر کنیم. همچنین برای حداکثر کد در ناحیه  $ii$  به دلیل این که در این نقاط ولتاژ دامنه سیگنال ورودی برابر  $3V_{ref}/8 + V_{os,2}$  و مقدار بزرگی است نمی‌توان از غیرخطی‌گی تقویت‌کننده صرف نظر کرد.

بعد از بدست آمدن مقدار  $V_{os,2} - V_{os,1}$ ، برای داشتن تخمینی دقیق‌تر، ولتاژ آستانه مقایسه‌گر دوم را به‌گونه‌ای تغییر می‌دهیم تا بتوان برای حداکثر کد در ناحیه  $ii$  نیز از غیرخطی‌گی تقویت‌کننده صرف نظر کرد. بهترین انتخاب  $V_{th,2} = V_{ref}/8 + V_{os,2}$  است، زیرا در این نقاط دامنه سیگنال ورودی برابر این ولتاژ است و غیرخطی‌گی تقویت‌کننده ناچیز است. این وضعیت در شکل (۸) نشان داده شده است. در این زمان بلوک تخمین‌گر حداکثر در ناحیه  $ii$  ابتدا ریست می‌شود و سپس با توجه به تغییر ولتاژ آستانه مقایسه‌گر دوم شروع به کار کرده و مقدار حداکثر کد جدید ناحیه  $ii$  را بدست می‌آورد که آن را با  $\overline{D_{res,Max,ii}}$  نشان می‌دهیم. در کنار اینکه مقادیر حداقل کد ناحیه  $ii$  یعنی  $D_{res,Min,ii}$  و اختلاف ولتاژ آفست مقایسه‌گرها یعنی  $V_{os,2} - V_{os,1}$  را از مرحله‌ی قبل بدست آورده و ذخیره کرده بودیم. سپس با استفاده از رابطه (۱۲) شیب خط منحنی مشخصه در این ناحیه را که همان

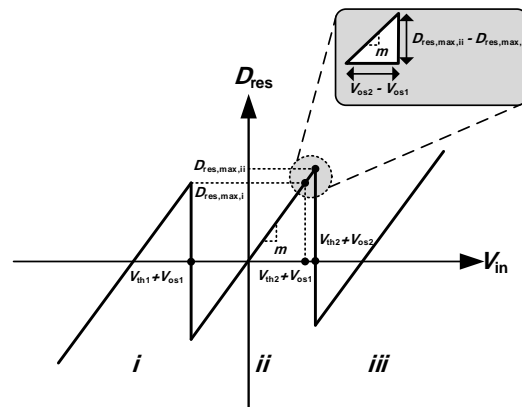
کدهای حداکثر نواحی  $i$  و  $ii$  خواهد بود. در این صورت می‌توان شیب وتر آن را بدست آورد که برابر با شیب منحنی مشخصه در ناحیه  $ii$  است. محاسبه این شیب در رابطه (۱۳) آمده است.

$$m = \frac{D_{res,Max,ii} - D_{res,Max,i}}{V_{os,2} - V_{os,1}} \quad (13)$$

در رابطه‌ی (۱۳) آفست مقایسه‌گر دوم بیشتر از آفست مقایسه‌گر اول فرض شده است، با این حال در صورتی که فرض کنیم ولتاژ آفست مقایسه‌گر اول بیشتر از مقایسه‌گر دوم باشد، خواهیم داشت:

$$m = \frac{D_{res,Max,i} - D_{res,Max,ii}}{V_{os,1} - V_{os,2}} = \frac{-(D_{res,Max,ii} - D_{res,Max,i})}{-(V_{os,2} - V_{os,1})} = \frac{D_{res,Max,ii} - D_{res,Max,i}}{V_{os,2} - V_{os,1}} \quad (14)$$

بنابراین مشاهده می‌شود تفاوتی ندارد که ولتاژ آفست مقایسه‌گر دوم بیشتر از مقایسه‌گر اول باشد یا بر عکس و در هر دو صورت رابطه‌ی بدست آمده به یک صورت خواهد بود.



شکل (۷): نمایش نحوه انتقال حداکثر کد ناحیه  $i$  بر روی منحنی ناحیه  $ii$

از ترکیب روابط (۱۲) و (۱۳) می‌توان مقدار تخمینی از اختلاف ولتاژ آفست مقایسه‌گرها یعنی  $V_{os,2} - V_{os,1}$  را بدست آورد:

$$V_{os,2} - V_{os,1} = \frac{(V_{th,2} - V_{th,1})(D_{res,Max,ii} - D_{res,Max,i})}{D_{res,Max,i} - D_{res,Min,ii}} \quad (15)$$

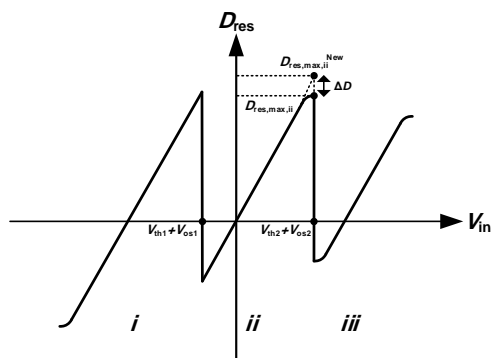
برای استفاده از رابطه‌ی فوق تنها لازم است که ولتاژهای آستانه‌ی مقایسه‌گرها به‌گونه‌ای انتخاب شوند که منحنی مشخصه انتقالی مبدل Backend دارای تقارن فرد باشد. اما از آنجا که برای محاسبه اختلاف ولتاژ آفست‌ها نیاز به محاسبه‌ی حداکثر و حداقل کد است، انتخاب ولتاژهای آستانه مقایسه‌گرها را به شکلی انجام می‌دهیم که از نتایج آن بتوان در سایر مراحل استفاده کرده و سرعت محاسبات را بالاتر برد. به

با توجه به مدل MDAC و خروجی مبدل ایده‌آل،  $\Delta D$  به صورت زیر بدست می‌آید:

$$\begin{aligned} D_{res,Max,ii} &= \beta_1(D_{in} - D_1) + \beta_3(D_{in} - D_1)^3 \\ D_{res,Max,ii}^{NEW} &\approx \beta_1(D_{in} - D_1) \\ \Delta D &= -\beta_3(D_{in} - D_1)^3 \end{aligned} \quad (19)$$

در پایان به کمک رابطه‌ی فوق یک تخمین اولیه از ضریب مرتبه سوم MDAC یعنی  $\beta_3$  به صورت زیر بدست می‌آید:

$$\beta_3 = \frac{-\Delta D}{(D_{in} - D_1)^3} = \frac{-\Delta D}{(D_{res,Max,ii}^{NEW} / \beta_1)^3} \quad (20)$$



شکل (۹): نمایش نحوه بدست آمدن کد حداکثر جدید در ناحیه ii

پس از بدست آمدن تخمینی از ضرایب MDAC، یعنی  $\beta_1$  و  $\beta_3$  به کمک روش تخمین اولیه پیشنهادی، می‌توان ضرایب معادله معکوس MDAC یعنی  $\eta_1$  و  $\eta_3$  را به صورت زیر تخمین زد [۴]:

$$\eta_1 = \frac{1}{\beta_1}, \quad \eta_3 = \frac{-\beta_3 \times \eta_1^4}{2} \quad (21)$$

نکته قابل بیان برای رابطه (۲۱)، وجود ضریب اضافه تقسیم بر ۲ در رابطه  $\eta_3$  نسبت به رابطه (۴) است که دلیل آن تغییر روش پیاده‌سازی مدل معکوس در قسمت تنظیم ضرایب است که در شکل (۱۰-ب) نشان داده شده است.

نکته‌ی مهم در مورد روش تخمین اولیه پیشنهاد شده که باعث پس‌زمینه‌ای بودن آن می‌شود، این است که تا زمانی که ضرایب معکوس بدست نیامده‌اند، خروجی مبدل با ضرایب معکوس با مقدار اولیه،  $\eta_1 = 0.5$  و  $\eta_3 = 0$  در حال تولید است. به محض بدست آمدن ضرایب معکوس تخمینی، مقدار آن‌ها جایگزین مقادیر قبل می‌شوند.

#### ۴-۲- تنظیم ضرایب

ضرایب معکوس بدست آمده از روش‌های تخمینی همانطور که از نامشان مشخص است تنها تخمینی از ضرایب ارائه می‌کنند، اما برای رسیدن به حداکثر دقت در مبدل، این ضرایب باید به شکل دقیق‌تری

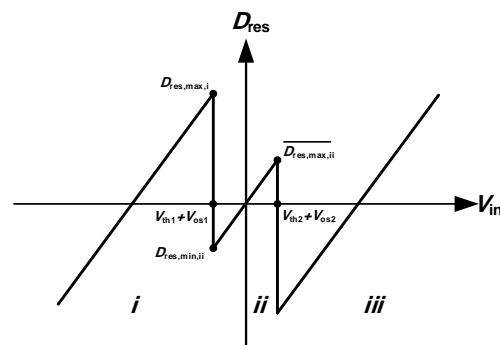
ضریب مرتبه اول MDAC یعنی  $\beta_1$  است را تخمین می‌زنیم. این رابطه را مجدداً به صورت زیر بازنویسی می‌کنیم:

$$\begin{aligned} \beta_1 &= m = \frac{D_{res,Max,ii} - D_{res,Min,ii}}{(V_{th,2} + V_{os,2}) - (V_{th,1} + V_{os,1})} \\ &= \frac{D_{res,Max,ii} - D_{res,Min,ii}}{(V_{th,2} - V_{th,1}) + (V_{os,2} - V_{os,1})} \end{aligned} \quad (16)$$

حال برای محاسبه ضریب غیرخطی MDAC سازوکاری تعیین می‌کنیم. در مرحله اول کد حداکثر و حداقل ناحیه ii یعنی  $D_{res,Max,ii}$  در حالتی که ولتاژهای مقایسه‌گر دوم  $V_{th,2} = 3V_{ref}/8 + V_{os,2}$  بود را ذخیره کرده بودیم. در آن حالت با توجه به اینکه ولتاژ آستانه مقایسه‌گر دوم  $V_{th,2} = 3V_{ref}/8 + V_{os,2}$  بود، غیرخطی‌گی تقویت‌کننده برای کد حداکثر ناحیه ii با توجه به دامنه بزرگ ورودی در این محل غیرقابل صرف نظر کردن بود. در این حالت با داشتن مقادیر  $D_{res,Max,ii}^{NEW}$  مقدار کد حداکثر جدیدی به نام  $D_{res,Max,ii}^{NEW}$  برای ناحیه ii را به صورت زیر تعریف می‌کنیم که در آن تقریباً اثر غیرخطی‌گی حذف شده است.

$$\begin{aligned} D_{res,Max,ii}^{NEW} &= \beta_1[(V_{th,2} - V_{th,1}) + (V_{os,2} - V_{os,1})] \\ &\quad + D_{res,Min,ii} \end{aligned} \quad (17)$$

در این رابطه  $D_{res,Max,ii}^{NEW}$  در واقع مقدار ایده‌آل تخمینی از  $D_{res,Max,ii}$  است، که شامل خطای مرتبه سوم نمی‌شود. از اختلاف کد  $D_{res,Max,ii}^{NEW}$  با کد حداکثر ذخیره شده در مرحله قبل یعنی  $D_{res,Max,ii}$  که در آن غیرخطی‌گی برای کد حداکثر ناحیه ii قابل صرف نظر نبود، رابطه‌ای برای تخمین ضریب مرتبه سوم بدست می‌آید. مفهوم این روند بیان شده در شکل (۹) نشان داده شده است.

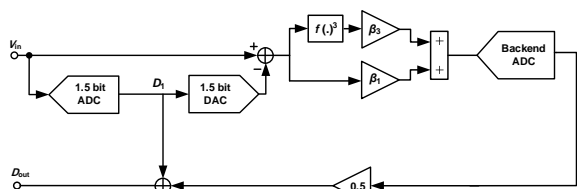


شکل (۸): نمایش مشخصه انتقالی بعد از تغییر ولتاژ آستانه مقایسه‌گر

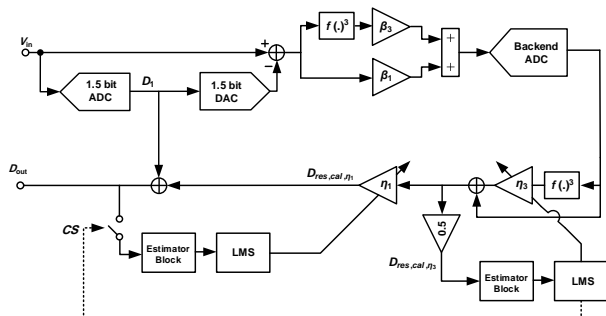
$\Delta D$  را به صورت تفاضل کد  $D_{res,Max,ii}^{NEW}$  با کد  $D_{res,Max,ii}$  تعریف می‌کنیم:

$$\Delta D = D_{res,Max,ii}^{NEW} - D_{res,Max,ii} \quad (18)$$



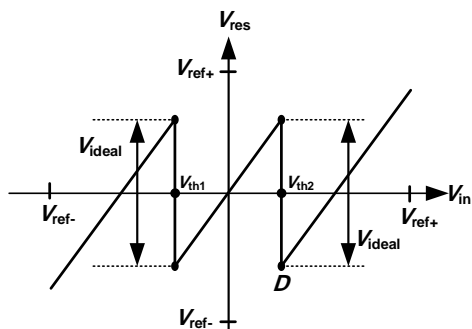


(الف)



(ب)

شکل (۱۰): (الف) روند عادی تولید خروجی در مبدل Pipeline و (ب) روند تولید خروجی با روش تنظیم پیشنهادی ضرایب معکوس



شکل (۱۱): ارتفاع شکستگی‌های موجود در منحنی مشخصه انتقالی طبقه

برای جبران خطای مرتبه سوم  $D_{res}$  باید توان سومی از آن به خودش اضافه شود به طوری که خروجی تصحیح شده  $D_{res,cal,\eta_3}$  به صورت زیر است:

$$D_{res,cal,\eta_3} = D_{res} + \eta_3 D_{res}^3 \quad (23)$$

حال منحنی مشخصه انتقالی مبدل Backend بعد از ضریب  $\eta_3$  را رسم می‌کنیم که به صورت شکل (۱۲) خواهد شد. در این شکل ارتفاع شکستگی اول با  $d_{1,1}$  و ارتفاع شکستگی دوم با  $d_{1,2}$  نشان داده شده است. با تعریف مقادیر زیر که در شکل (۱۲) نشان داده شده است، خواهیم داشت:

تنظیم شوند. بنابراین برای این کار، روشی برای تنظیم دقیق این ضرایب ارائه شده است.

شکل (۱۰-الف) روند عادی تبدیل بدون کالیبراسیون در یک مبدل Pipeline را نشان می‌دهد. در شکل (۱۰-ب) روند تنظیم ضرایب معکوس با روش پیشنهادی نشان داده شده است که در آن  $D_{res,cal,\eta_3}$  خروجی بعد از مبدل Backend است که در آن تنها ضریب معکوس مرتبه سوم تصحیح شده است. اما ضریب معکوس مرتبه اول بدون تغییر برابر مقدار اولیه یعنی 0.5 قرار داده شده است. همچنین  $D_{res,cal,\eta_1}$  خروجی بعد از مبدل Backend است که از آن بعد از تنظیم ضریب مرتبه سوم، جهت تنظیم ضریب معکوس مرتبه اول استفاده می‌شود. البته این خروجی در واقع خروجی اصلی می‌باشد که بعد از ترکیب با کد زیر مبدل آنالوگ به دیجیتال طبقه قبل از مبدل Backend، خروجی مبدل را ایجاد می‌کند.

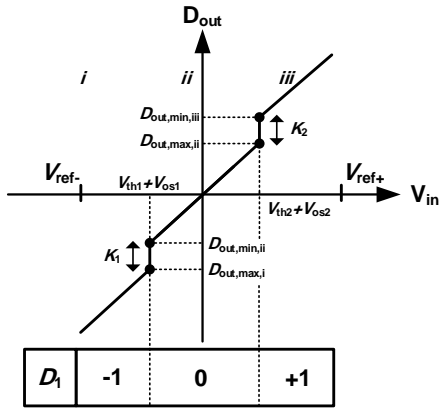
برای تنظیم ضرایب، ابتدا تنها ضریب مرتبه سوم یعنی  $\eta_3$  را تنظیم می‌کنیم (دلیل این موضوع در ادامه بیشتر توضیح داده خواهد شد). بنابراین سیگنالی کنترلی به نام CS تعریف می‌کنیم که تا زمانی که ضریب مرتبه سوم به میزان خوبی تنظیم نشده است مقدار صفر دارد و موجب می‌شود حلقه‌ی تنظیم  $\eta_1$  وصل نباشد. این تنظیم خوب مقدار  $\eta_3$  و به نوعی خطای باقی مانده نسبت به صفر، در الگوریتم LMS تنظیم  $\eta_3$  به شکل تجربی استخراج شده است. این یکی از چالش‌های سیستمی محدود کننده‌ی دقت روش مطرح شده می‌باشد. زیرا مقدار خطای  $\eta_3$  هیچگاه به صفر مطلق نمی‌رسد و هر چه بیشتر صبر کنیم به معنای افزایش زمان همگرایی  $\eta_1$  و به طبع افزایش کل زمان همگرایی مبدل خواهد بود.

در این حالت ولتاژ آستانه مقایسه‌گرها برابر مقادیر  $V_{th,2} = V_{ref}3/8 + V_{os,2}$  و  $V_{th,1} = -V_{ref}/4 + V_{os,1}$  قرار داده می‌شوند که در  $V_{th,1} = -V_{ref}/4 + V_{os,1}$  به دلیل دامنه‌ی کوچکتر سیگنال ورودی، خطینگی بیشتر از  $V_{th,2} = V_{ref}3/8 + V_{os,2}$  است. در مرجع [۱۱] نشان داده شده است که ارتفاع شکستگی‌های موجود در منحنی مشخصه انتقالی طبقه که در شکل (۱۱) رسم شده است، در حالت ایده‌آل برای یک طبقه  $n$  بیتی به صورت زیر است:

$$V_{ideal} = A \times \frac{V_{ref}}{2^Q} \quad (22)$$

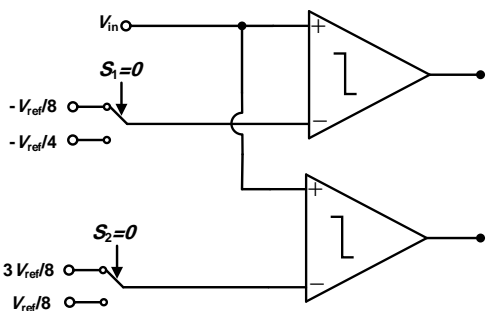
که در آن  $A$  بهره طبقه و  $Q$  نیز تعداد بیت‌های موثر طبقه هستند. برای یک طبقه  $1/5$ -بیتی با بهره ۲ و ولتاژ مرجع یک ولت، این ارتفاع به صورت ایده‌آل برابر یک ولت می‌شود. از این موضوع در تنظیم ضریب مرتبه سوم استفاده می‌شود.

بزرگ، ضرایب را نوسانی می‌کند و گام بروز رسانی کوچک زمان همگرایی را افزایش می‌دهد. در این مقاله، این گام‌ها به شکل تجربی استخراج شده‌اند.



شکل (۱۳): نمایش ناپیوستگی‌های در مرز تغییر کد زیر مبدل آنالوگ به دیجیتال جهت رفع خطا

از آن جایی که در روش پیشنهادی برای استفاده از ویژگی خطینگی متناسب با دامنه‌ی ورودی نیاز به تغییر ولتاژهای آستانه مقایسه‌گرها داشتیم، از تکنیک ارائه شده در [۱۲] جهت تغییر ولتاژ آستانه مقایسه‌گرها استفاده می‌کنیم تا به وسیله‌ی آن سیگنال ورودی را در دامنه‌های مختلف شناسایی و با استفاده از ویژگی‌های هندسی منحنی مشخصه، خطاها را استخراج و تصحیح کنیم. دو سیگنال کنترلی به نام‌های  $S_1$  و  $S_2$  تعریف می‌کنیم.  $S_1$  سیگنال کنترلی است که با یک شدن آن، ولتاژ آستانه مقایسه‌گر اول از  $V_{th,1} = -V_{ref}/8 + V_{os,1}$  به  $V_{th,1} = -V_{ref}/4 + V_{os,1}$  تغییر داده می‌شود. با یک شدن سیگنال کنترلی  $S_2$ ، ولتاژ آستانه مقایسه‌گر دوم از  $V_{th,2} = 3V_{ref}/8 + V_{os,2}$  به  $V_{th,2} = V_{ref}/8 + V_{os,2}$  تغییر داده می‌شود. این موضوع در شکل (۱۴) نشان داده شده است.



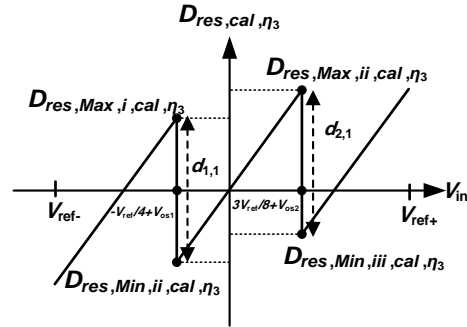
شکل (۱۴): نحوه تغییر ولتاژهای آستانه مقایسه‌گرها به کمک سیگنال‌های کنترلی

$$d_{1,1} = D_{res,Max,i,cal,\eta_3} - D_{res,Min,ii,cal,\eta_3}$$

$$d_{1,2} = D_{res,Max,ii,cal,\eta_3} - D_{res,Min,iii,cal,\eta_3}$$

$$\Delta d = d_{1,1} - d_{1,2} \quad (24)$$

مقادیر  $d_{1,1}$  و  $d_{1,2}$  در حالت ایده‌آل و در صورت عدم وجود خطا برابر یک خواهند بود و  $\Delta d$  صفر است. اما به دلیل وجود غیر ایده‌آلی‌های موجود، این مقدار صفر نخواهد بود.



شکل (۱۲): منحنی مشخصه انتقالی مبدل Backend بعد از ضریب  $\eta_3$

از طرفی در مراجع [۸ و ۲۰] ثابت شده است که ضریب معکوس مرتبه سوم با  $\Delta d$  متناسب است. بنابراین می‌توان یک الگوریتم LMS برای تنظیم  $\eta_3$  و با خطای  $\Delta d$  به صورت زیر نوشت:

$$\eta_3(n+1) = \eta_3(n) + \mu_3 \Delta d \quad (25)$$

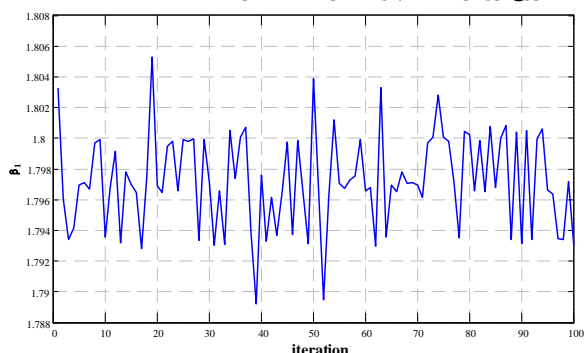
بعد از کاهش خطای  $\Delta d$  به میزان قابل قبول، در شکل (۱۰-ب) سیگنال کنترلی  $CS = 1$  می‌شود و حلقه‌ی تنظیم  $\eta_1$  وصل می‌شود. در این حالت  $\eta_3$  تنظیم شده است، بنابراین بعد از آن که  $\eta_3$  تنظیم شد به سراغ تنظیم  $\eta_1$  می‌رویم. در این حالت می‌توانیم ناپیوستگی‌های منحنی مشخصه خروجی مبدل را اندازه بگیریم. به دلیل اینکه  $\eta_3$  تنظیم شده است اندازه دو ناپیوستگی  $K_1$  و  $K_2$  (طبق شکل (۱۳)) تقریباً برابر است. در حقیقت علت اصلی تنظیم  $\eta_3$  در ابتدا برابر شدن این دو ناپیوستگی است [۷]. شکل (۱۳) این ناپیوستگی‌ها را مجدداً نشان می‌دهد. بنابراین با اندازه‌گیری یکی از این دو ناپیوستگی و به صفر رساندن آن‌ها ضریب  $\eta_1$  نیز طبق رابطه زیر تنظیم می‌شود:

$$\eta_1(n+1) = \eta_1(n) + \mu_e \quad (26)$$

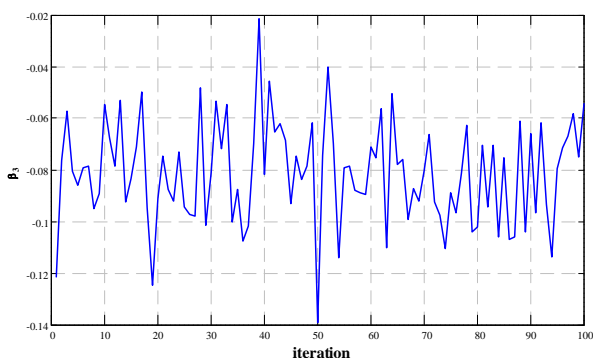
در این رابطه  $e$  اندازه یکی از دو ناپیوستگی  $K_1$  یا  $K_2$  است. در حقیقت با این روش علاوه بر بستن ناپیوستگی‌های منحنی مشخصه انتقالی خروجی مبدل، خطای بهره نیز به صورت کامل تصحیح می‌شود و شیب منحنی مشخصه انتقالی خروجی مبدل را به یک می‌رساند. این روند به صورت پس‌زمینه همواره تغییرات را دنبال می‌کند. گام به‌روزرسانی الگوریتم LMS باید به نحوی باشد که ضرایب حول مقدار مورد انتظار نوسانی نشوند و زمان همگرایی هم طولانی نگردد. گام بروز رسانی

### ۳- نتایج شبیه‌سازی سیستمی روش پیشنهادی

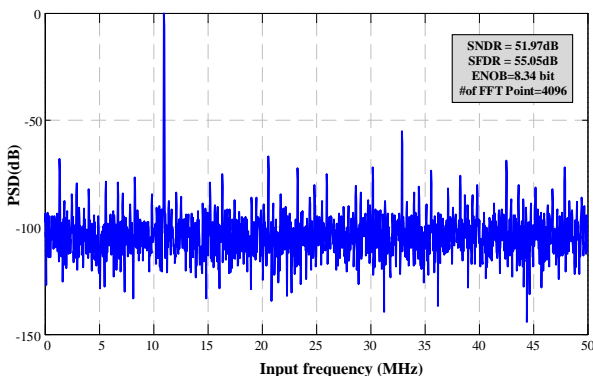
ضرایب بدست آمده در این شبیه‌سازی در ادامه آورده شده است. نتایج شبیه‌سازی برای روش تخمین اولیه پیشنهادی، در شکل‌های (۱۶) و (۱۷) رسم شده است. همانطور که مشخص است ضرایب تخمینی در نزدیکی ضرایب واقعی تخمین زده شده‌اند به طوری که میانگین این ۱۰۰ تکرار برای  $\beta_1$  مقدار  $1/797$  است که بسیار به  $1/8$  نزدیک است. همچنین این میانگین برای  $\beta_3$  مقدار  $-0/081$  است که بسیار نزدیک به  $-0/1$  است. نتایج حاصل از این شبیه‌سازی نشان می‌دهد که روش پیشنهادی ارائه شده توانایی تخمین اولیه خوبی از ضرایب MDAC را برای شروع روش تنظیم و دنبال‌کننده دارد.



شکل (۱۶): نتایج شبیه‌سازی روش تخمین اولیه برای  $\beta_1$



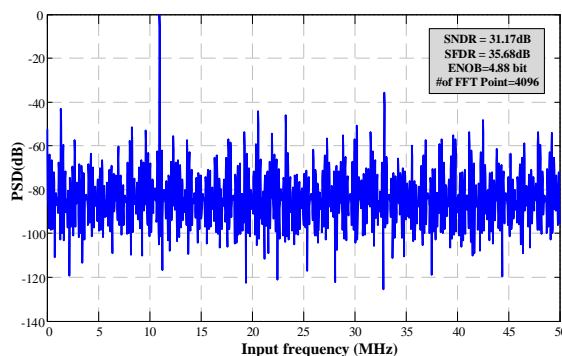
شکل (۱۷): نتایج شبیه‌سازی روش تخمین اولیه برای  $\beta_3$



شکل (۱۸): طیف خروجی مبدل Pipeline با اعمال روش تخمین اولیه پیشنهادی

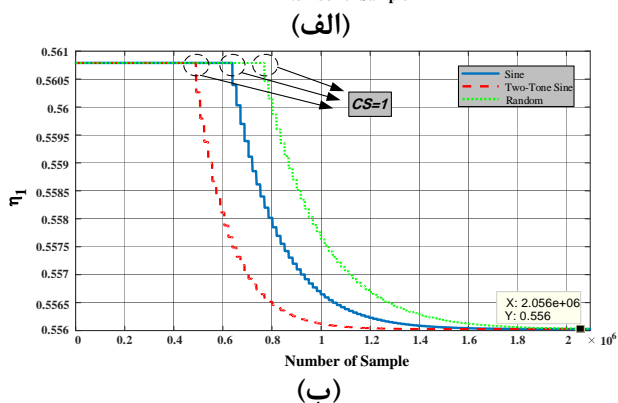
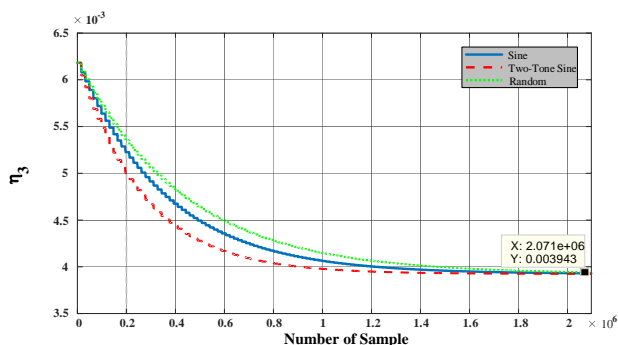
برای بررسی روش پیشنهادی، یک مبدل Pipeline با نرخ نمونه‌برداری  $100 \text{ MS/s}$  و دقت  $12$  بیت در نرم‌افزار MATLAB شبیه‌سازی شده است. در حالت شبیه‌سازی‌های سیستمی، این مبدل از  $10$  طبقه  $1/5$ -بیتی با ساختار CNFA و یک مبدل دو بیتی فلش به عنوان آخرین طبقه تشکیل شده است. در این شبیه‌سازی‌ها،  $V_{ref} = \pm 1V$  بوده و یک سیگنال سینوسی با دامنه  $0/9$  ولت و با فرکانس  $10.9619140625 \text{ MHz}$  به عنوان ورودی به مبدل داده شده است. به ذکر است برای محاسبه طیف از الگوریتم FFT استفاده شده است. همچنین ذکر این نکته ضروری است که مقدار فرکانس ورودی با توجه به تعداد نقاط FFT که برابر  $2^{12}$  می‌باشد انتخاب شده است؛ چراکه در صورت انتخاب نادرست فرکانس ورودی طیف خروجی مبدل دچار نشت می‌شود و بنابراین مقادیر صحیح مشخصات عملکردی مبدل از روی طیف قابل دستیابی نمی‌باشد. همچنین شرایط زیر برای پنج طبقه اولیه مبدل در نظر گرفته شده است. آفست مقایسه‌گرها با  $3\sigma = 36 \text{ mV}$ ، تقویت‌کننده با بهره  $36$  دسی‌بل و عدم تطبیق بین خازن‌ها برابر با  $0/1$  درصد انتخاب شده است. بدین ترتیب مقادیر  $\beta_1$  و  $\beta_3$  به ترتیب برابر با  $1/8$  و  $-0/1$  برای تحقق MDAC قرار داده شده‌اند. همچنین یک نویز سفید گوسی با میانگین صفر به سیگنال ورودی اضافه شده است تا دقت مؤثر کل مبدل را به  $11/5$  بیت محدود کند. روند کالیبراسیون از طبقه پنجم تا طبقه اول و به صورت بازگشتی صورت می‌گیرد.

شکل (۱۵) طیف خروجی مبدل شبیه‌سازی شده را بدون اعمال روش کالیبراسیون پیشنهادی نشان می‌دهد. همانطور که در طیف خروجی مشاهده می‌شود، هارمونیک‌ها و به ویژه هارمونیک سوم و تون‌های زائد و همچنین افزایش کف نویز، موجب کاهش مشخصات دینامیک مبدل شده است به گونه‌ای که SNDR برای این مبدل برابر با مقدار  $31.2 \text{ dB}$  و مقدار SFDR آن نیز  $35.7 \text{ dB}$  است.



شکل (۱۵): شبیه‌سازی سیستمی طیف خروجی مبدل Pipeline بدون کالیبراسیون

برای بررسی میزان دقت روش پیشنهادی تخمین اولیه ضرایب MDAC، یک شبیه‌سازی مونت‌کارلو بر روی آفست مقایسه‌گرها با  $100$  بار تکرار در نرم‌افزار MATLAB انجام شده است، که نتیجه‌ی



شکل (۲۰): روند همگرایی (الف) ضریب معکوس مرتبه اول MDAC و (ب) ضریب معکوس مرتبه سوم MDAC

#### ۴- پیاده‌سازی و نتایج شبیه‌سازی مداری

در این قسمت یک مبدل Pipeline با دقت ۱۲ بیت و فرکانس نمونه برداری 100 MS/s در تکنولوژی ۹۰ نانومتر CMOS با ولتاژ تغذیه ۱ ولت پیاده‌سازی شده و تکنیک کالیبراسیون پیشنهادی بر روی آن اعمال شده است. به علت آنکه روش کالیبراسیون پیشنهادی کاملاً در حوزه دیجیتال قابل پیاده‌سازی می‌باشد ساختار مبدل Pipeline در سطح مداری به صورت یک ساختار متعارف می‌باشد و اجزای آنالوگ سازنده آن برای اثبات کارایی روش پیشنهادی دارای دقت پایینی هستند.

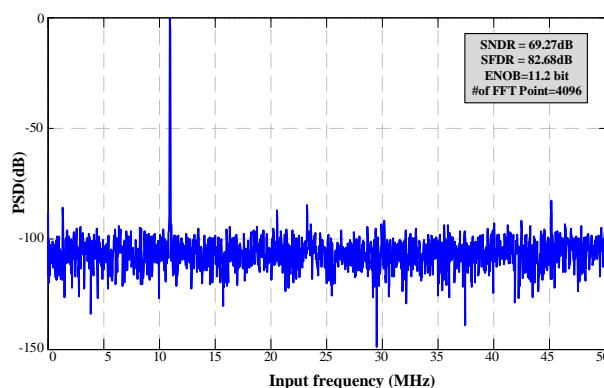
با توجه به اینکه ضریب مرتبه اول MDAC،  $\beta_1$ ، 1.8 و ضریب مرتبه سوم آن،  $\beta_3$ ، 0.1- است و با توجه به [۲۱] و رابطه زیر:

$$(\beta_1 - 0.25|\beta_3|V_{ref}^2)^N > 2^M \quad (27)$$

تعداد طبقات مورد نیاز برای دستیابی به دقت ۱۲ بیت، ۱۲ طبقه ۱/۵ بیتی به همراه یک طبقه ۲ بیتی مبدل Flash است. در این رابطه،  $N$  تعداد طبقات لازم و  $M$  دقت کل مبدل برحسب بیت است. همانطور که در این رابطه مشخص است علت استفاده از طبقات بیشتر این است که بهره هر طبقه به دلیل اثرات غیر ایده‌آل کمتر از ۲ است. بنابراین برای جبران‌سازی این مشکل و رسیدن به خطیگی ۱۲ بیت نیاز به استفاده از طبقات اضافی است. بنابراین مبدل آنالوگ به دیجیتال طراحی شده

لازم به ذکر است پس از تخمین اولیه به کمک این روش، دقت مبدل از ۴/۸۸ بیت موثر برای بدترین تخمین، تقریباً به مقدار ۸ بیت افزایش می‌یابد، که در شکل (۱۸) نشان داده شده است.

در این قسمت برای کالیبراسیون مبدل مورد نظر، در ابتدا بدترین تخمین اولیه ممکن بدست آمده از شبیه‌سازی قسمت قبل برای ضرایب، انتخاب شده است و سپس روش تنظیم و دنبال‌کننده پیشنهادی به پنج طبقه اول اعمال شده است. طیف خروجی در این حالت به صورت شکل (۱۹) حاصل شده است. همان‌گونه که مشخص است با اعمال روش کالیبراسیون پیشنهادی بر روی پنج طبقه اول، مقدار SNDR و SFDR نسبت به حالت تصحیح نشده به ترتیب حدود 38 dB و 47 dB بهبود پیدا کرده‌اند.

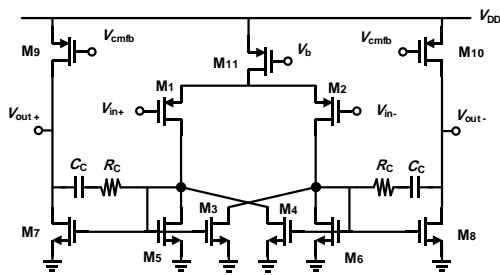


شکل (۱۹): طیف خروجی ناشی از اعمال روش کالیبراسیون تنظیم پیشنهادی

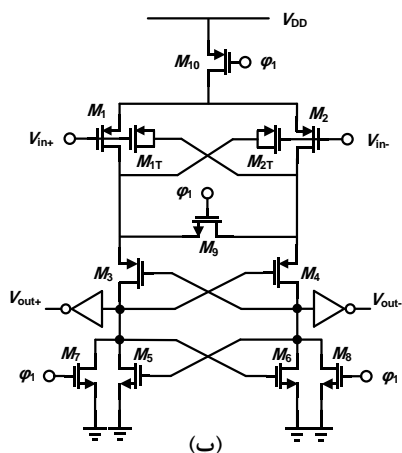
برای نشان دادن زمان همگرایی ضرایب معکوس MDAC، سه نوع ورودی به مبدل اعمال شده است و همگرایی ضرایب در شکل‌های زیر مشاهده می‌شود. این سه نوع ورودی عبارتند از: یک سیگنال سینوسی، دو سیگنال سینوسی و یک نویز گوسی به عنوان ورودی تصادفی. دامنه سیگنال گوسی به صورتی انتخاب شده است که این ورودی باعث اشباع مبدل نشود. همگرایی ضرایب معکوس برحسب تعداد نمونه‌ها برای ضرایب طبقه اول در شکل (۲۰) قابل مشاهده است. همانطور که در این شکل مشخص است ضرایب  $\eta_1$  و  $\eta_3$  به طور میانگین برای سه ورودی مطرح شده بعد از گذشت تقریباً  $1.4 \times 10^6$  تبدیل حول مقادیر ایده‌آل‌شان یعنی 0.556 و 0.0039 پایدار هستند. در شکل (۲۰) باید به این نکته توجه شود که این شکل‌ها بعد از تخمین اولیه ضرایب رسم شده‌اند.

نتایج شبیه‌سازی‌های سیستمی بیانگر توانمندی روش کالیبراسیون پیشنهادی در رفع خطاهای با دامنه‌ی بزرگ می‌باشد. بنابراین برای دستیابی به دقت مورد نظر در مبدل Pipeline می‌توان با اعمال روش کالیبراسیون پیشنهادی، اجزای آنالوگ سازنده مبدل را با دقت پایین‌تری طراحی کرد.

را در آزمون Overdrive داشته باشد و با سرعت 100 MHz نیز کارایی مطلوبی داشته باشد. از سوی دیگر نویز Kickback نیز در این ساختار باید به حداقل خود برسد. شکل (۲۱-ب) ساختار انتخابی برای مقایسه‌گر مورد استفاده را نشان می‌دهد.



(الف)



(ب)

### شکل (۲۱): ساختار مدار (الف) تقویت‌کننده و (ب) مقایسه‌گر

نتایج شبیه‌سازی تقویت‌کننده نشان می‌دهد که رفتار آن در گوشه‌های مختلف تکنولوژی برای شرایط متنوع تقریباً ثابت و مناسب است. تنها مشخصاتی که در تقویت‌کننده برای بدست آوردن دقت ۱۲ بیت در مبدل آنالوگ به دیجیتال Pipeline کافی نیستند، بهره DC بسیار پایین با مقدار ۳۶ دسی‌بل و خطی‌نگی نامناسب با THD، ۷۰- دسی‌بل می‌باشند، که موجب ایجاد خطاهای بررسی شده در بخش دوم مقاله در مبدل می‌شوند. همانطور که گفته شد، رفع اثر این خطاها را بر عهده‌ی روش کالیبراسیون پیشنهادی قرار می‌دهیم. همچنین این تقویت‌کننده توانی معادل 10 mW مصرف می‌کند.

برای بررسی سرعت و دقت مقایسه‌گر، از آزمون Overdrive استفاده شده است. مقادیر زمان‌های بازیابی و بازیافت تقریباً برابر با ۱۱۰ پیکو ثانیه می‌باشند. همچنین حداقل سطح ولتاژ قابل تشخیص توسط مقایسه‌گر در حدود ۶ میلی‌ولت اندازه‌گیری شده است.

ولتاژ آفست این لچ با استفاده از روش مونت کارلو شبیه‌سازی شده است. عدم تطبیق ترانزیستورها به‌صورت رابطه زیر مدل‌سازی شده است:

از ۱۲ طبقه ۱/۵ بیتی به همراه یک مبدل Flash دو بیتی در آخر تشکیل شده است.

همانطور که در ابتدای مقاله ذکر شد، در تکنولوژی‌های نانومتری، طراحی اجزای سازنده‌ی مبدل به‌ویژه تقویت‌کننده، برای رسیدن به دقت‌های بالا به صورت بهینه قابل دستیابی نیست. با توجه به اینکه تکنولوژی مورد استفاده برای طراحی ۹۰ نانومتر است، واضح است که دستیابی به بهره مورد نظر برای این دقت، توسط تقویت‌کننده به صورت بهینه، میسر نیست. به همین دلیل جهت دستیابی به توان مصرفی بهینه، اجزای سازنده‌ی مبدل با دقت پایین‌تری طراحی می‌شوند و رفع خطاهای ناشی از آن‌ها نیز بر عهده‌ی روش‌های کالیبراسیون قرار داده شده است. از طرفی به دلیل کاهش بهره‌ی حلقه باز تقویت‌کننده، تغییرات بهره حلقه بسته آن نیز به ازای سیگنال‌های بزرگ در ورودی، بیشتر می‌شود. بنابراین غیرخطی‌نگی تقویت‌کننده در خروجی آن افزایش می‌یابد. همین موضوع نشان می‌دهد که برای دستیابی به دقت‌های بالا، نیاز به کالیبراسیون برای تصحیح هر دو خطاهای خطی و غیرخطی است. با توجه به اینکه روش کالیبراسیون پیشنهادی، قابلیت حذف خطاهای غیرخطی را دارد، با استفاده از آن می‌توان از تقویت‌کننده‌هایی با بهره‌ی پایین استفاده کرد. به منظور کاهش هرچه بیشتر توان مصرفی در این مبدل، علاوه بر حذف مدار نمونه‌بردار از ورودی آن، از روش کاهش ابعاد در خازن‌ها و تقویت‌کننده‌های طبقات نیز استفاده شده است.

ساختار نشان داده شده در شکل (۲۱-الف) برای استفاده در مبدل مورد نظر انتخاب شده که یک تقویت‌کننده‌ی تفاضلی دو طبقه برای کاربردهای سرعت بالا و عملیات Rail-to-Rail است. این تقویت‌کننده از دو طبقه‌ی سورس-مشترک به صورت متوالی تشکیل شده است که برای پایداری و نشست مطلوب آن، از جبران‌سازی فرکانسی میلر با استفاده از خازن  $C_C$  و مقاومت  $R_C$  استفاده شده است. همچنین ترانزیستورهای ورودی این ساختار نیز از نوع pMOS انتخاب شده‌اند تا ولتاژ مد-مشترک ورودی تقویت‌کننده پایین باشد و امکان استفاده از سوئیچ‌های nMOS را در ورودی آن فراهم آورد و نیازی به تکنیک بوت‌استرپ در این سوئیچ‌ها نباشد. همچنین به‌عنوان پیشنهادی دیگر می‌توان از ساختار تقویت‌کننده پیشنهادی [۲۲] نیز برای این طرح استفاده کرد.

مقایسه‌گرهای دینامیکی در کاربردهای کاهش توان مصرفی و کاهش سطح تراشه انتخاب اول هستند، زیرا در آن‌ها تنها از مدار لچ استفاده شده و فقط در فاز لچ فعال و توان دینامیکی مصرف می‌کنند. اما چنانچه این مقایسه‌گر در زمان‌های غیرفعال خاموش شود، به دلیل اندازه‌ی کوچک ترانزیستورهای آن، ولتاژ آفست بزرگتری به ساختار تحمیل خواهد کرد. بنابراین در صورت انتخاب مقایسه‌گر دینامیکی بررسی وضعیت آفست آن بسیار مهم خواهد بود. از طرف دیگر ساختار مقایسه‌گر انتخابی باید الزامات سرعت و دقت مربوط به مبدل را نیز برطرف کند. مقایسه‌گر مورد نظر باید توانایی تشخیص LSB کل مدار

$$\sigma_{V_{th}} = \frac{A_{V_{th}}}{\sqrt{WL}}, \quad \sigma_{\beta} = \frac{A_{\beta}}{\sqrt{WL}} \quad (28)$$

در این رابطه  $A_{V_{th}}$  و  $A_{\beta}$  به ترتیب ضرایب Pelgrom برای ولتاژ آستانه  $V_{th}$  و فاکتور جریان  $\beta$  هستند. این شبیه‌سازی در نرم افزار HSPICE، ۱۰۰ بار تکرار شده است. با توجه به نتایج شبیه‌سازی بدست آمده، حداکثر ولتاژ آفست این مقایسه‌گر  $3\sigma = 36mV$  است که در محدوده‌ی حاشیه آفست باقی‌مانده برای استفاده از روش‌های پیشنهادی برای طبقه ۱/۵ بیتی قرار دارد.

همان‌گونه که گفته شد برای پیاده‌سازی زیر مبدل آنالوگ به دیجیتال موجود در هر طبقه، از مبدل Flash استفاده می‌شود. با توجه به ساختار این مبدل، کدهای خروجی این مبدل در واقع کد حرارتی حاصل از مقایسه‌گرها هستند. بنابراین برای تبدیل کد حرارتی به کد باینری به یک کدکننده نیاز است. همچنین برای ایجاد ولتاژهای زیر مبدل دیجیتال به آنالوگ در طبقات ۱/۵ بیتی، از یک تسهیم‌کننده استفاده می‌شود. پیاده‌سازی مدار تسهیم‌کننده و کدکننده مورد استفاده در طبقات ۱/۵ بیتی و کدکننده در شکل (۲۲-الف) و مبدل Flash دو بیتی طبقه آخر در شکل (۲۲-ب) رسم شده است. در این شکل  $d_i$ ها نشان‌دهنده‌ی خروجی‌های مبدل آنالوگ به دیجیتال،  $Q$ ها بیانگر مقادیر خروجی مقایسه‌گرها و  $b_i$ ها نشان‌دهنده‌ی خروجی‌های باینری مبدل آنالوگ به دیجیتال می‌باشند.

مدارهای سوئیچ شونده خازنی بیشتر قسمت‌های یک مبدل Pipeline را تشکیل می‌دهند. یکی از مهم‌ترین عوامل تخریب طیف خروجی و ایجاد هارمونیک سوم، وجود سوئیچ‌های موجود در این مدارها می‌باشند. به این دلیل که این سوئیچ‌ها خود نیز توسط مدارهای آنالوگ پیاده‌سازی می‌شوند. بنابراین در طراحی مناسب سوئیچ‌های مورد نیاز، باید دو پارامتر ثابت زمانی مطلوب با خطینگی مناسب و میزان تزریق بار سوئیچ‌ها در نظر گرفته شوند. با توجه به وابستگی مقاومت حالت روشن ترانزیستور به ولتاژ گیت-سورس آن، در صورتی که در مسیر سیگنال از آن به‌عنوان سوئیچ استفاده شود، غیرخطینگی قابل ملاحظه‌ای می‌تواند در مقاومت حالت روشن ایجاد گردد. مقاومت حالت روشن غیرخطی موجب ثابت زمانی غیرخطی و در نتیجه اعوجاج قابل ملاحظه‌ای در مدار اصلی می‌شود. بنابراین اندازه‌ی سوئیچ‌ها باید طوری انتخاب شوند که بدترین ثابت زمانی در فرکانس نمونه‌برداری مورد نظر مناسب باشد. برای کاهش غیرخطینگی ثابت زمانی می‌توان از روش بوت‌استرپ استفاده کرد و تغییرات وابسته به سیگنال را در مقاومت سوئیچ کاهش داد. شکل (۲۳) ساختار سوئیچ بوت‌استرپ مورد استفاده را نشان می‌دهد [۲۳]. با شبیه‌سازی میزان خطینگی سوئیچ بوت‌استرپ طراحی‌شده برای MDAC، میزان THD آن برابر با ۸۹ dB- بدست آمده است.

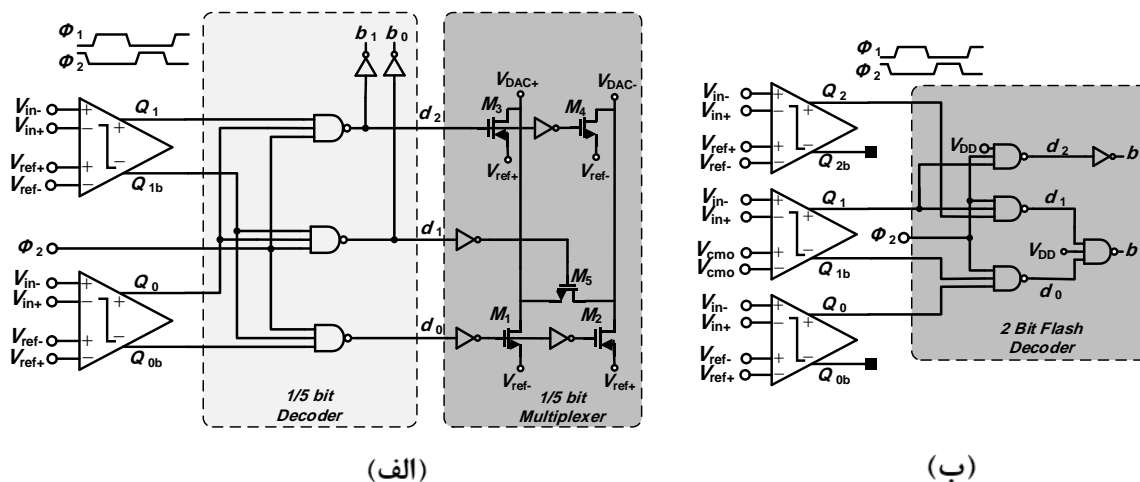
علاوه بر سوئیچ‌هایی که از تکنیک بوت‌استرپ استفاده می‌کنند، سوئیچ‌های دیگری نیز در ساختار طبقات وجود دارند که یک طرف آن‌ها به ولتاژ ثابتی بزرگتر یا کوچکتر از  $V_{DD}/2$  وصل شده است که

این سوئیچ‌ها به‌راحتی با سوئیچ‌های pMOS، nMOS یا CMOS قابل پیاده‌سازی می‌باشند. در این سوئیچ‌ها نیز باید اندازه ترانزیستورها طوری انتخاب شود که سوئیچ دارای خازن پارازیتی کوچک، میزان تزریق بار کم و درعین حال خطینگی لازم باشد. مبدل طراحی شده در فرکانس نمونه‌برداری 100 MS/s برای فرکانس ورودی 9.9853515625 MHz مورد شبیه‌سازی قرار گرفته است. مقدار فرکانس ورودی با توجه به تعداد نقاط FFT که برابر ۲<sup>۱۰</sup> می‌باشد، انتخاب شده است. بعد از شبیه‌سازی مداری مبدل، طیف خروجی آن قبل از اعمال روش کالیبراسیون پیشنهادی در شکل (۲۴) نشان داده شده است. همان‌گونه که مشاهده می‌شود عدم تطبیق خازن‌های MDAC و همچنین بهره محدود تقویت‌کننده در کنار غیرخطینگی آن باعث کاهش میزان SFDR و SNDR مبدل به ترتیب به مقادیر 37.47 dB و 39.34 dB شده است که تقریباً معادل ۵/۹۳ بیت موثر است. با توجه به این شکل، غیرخطینگی مرتبه سوم تقویت‌کننده تاثیر چشم‌گیری بر روی طیف خروجی مبدل گذاشته است به‌گونه‌ای که محدوده‌ی خالی از اغتشاش برای مبدل بطور محسوسی کاهش یافته است.

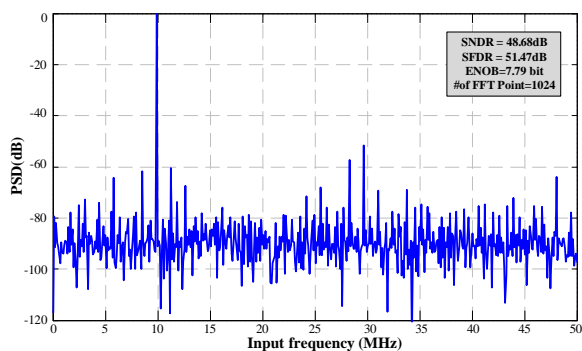
برای کالیبراسیون مبدل مورد اشاره در قسمت قبل، روش پیشنهادی مانند آنچه در حالت سیستمی گفته شد بر روی مبدل اعمال شده است. لازم به ذکر است که شبیه‌سازی انجام شده در این بخش توسط نرم‌افزارهای Cadence و HSPICE صورت گرفته است و روش کالیبراسیون در نرم‌افزار MATLAB پیاده‌سازی شده است. به این ترتیب طیف خروجی مبدل پس از اعمال روش تخمین اولیه پیشنهادی به پنج طبقه اول آن به صورت شکل (۲۵) است. همان‌گونه که مشاهده می‌شود با استفاده از روش پیشنهادی تخمین اولیه، میزان SFDR و SNDR نسبت به حالت بدون کالیبراسیون به ترتیب به میزان 11.21 dB و 12.13 dB بهبود یافته‌اند.

پس از اعمال تخمین اولیه به پنج طبقه اول، روش کالیبراسیون تنظیم و دنبال‌کننده‌ی پیشنهادی نیز به پنج طبقه اول مبدل اعمال شده و طیف خروجی مبدل به صورت شکل (۲۶) حاصل شده است. همان‌گونه که مشاهده می‌شود با استفاده از روش پیشنهادی میزان SFDR و SNDR نسبت به حالت تخمین اولیه به ترتیب به میزان 19.85 dB و 28.89 dB بهبود یافته‌اند.

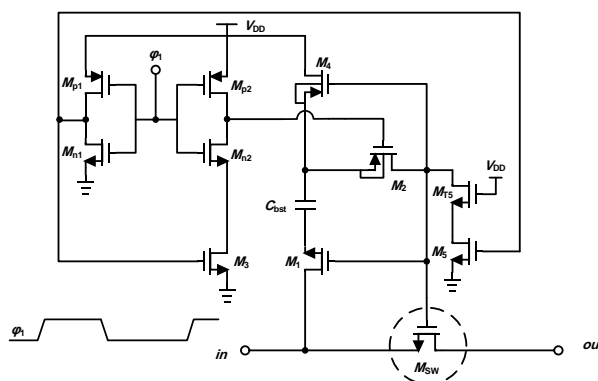
برای پیاده‌سازی روش تخمین اولیه پیشنهادی به همراه روش تنظیم و دنبال‌کننده، نیاز به دو الگوریتم LMS می‌باشد که با تعدادی جمع‌کننده و ضرب‌کننده دیجیتال به همراه چند واحد تاخیر پیاده‌سازی می‌شود. همچنین برای پیاده‌سازی ضرایب معکوس و محاسبات موجود در روش‌ها، نیاز به جمع‌کننده، ضرب‌کننده و تقسیم‌کننده می‌باشد. از آنجایی که حداکثر دقت طبقه‌ی مورد تصحیح ۱۱ بیت می‌باشد، پیچیدگی هر قسمت از سخت‌افزارهای دیجیتالی مطرح شده از نظر تعداد گیت برای دقت ۱۱ بیت در نظر شده است.



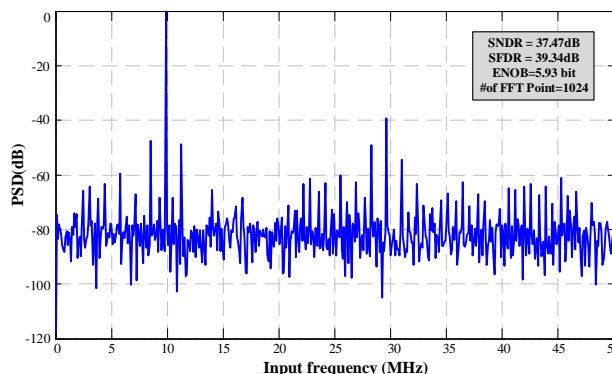
شکل (۲۲): الف) ساختار کدکننده و تسهیم‌کننده در زیر مبدل آنالوگ به دیجیتال طبقه ۱/۵ بیتی و ب) مبدل Flash دو بیتی طبقه آخر



شکل (۲۵): طیف خروجی مبدل پس از اعمال روش تخمین اولیه پیشنهادی



شکل (۲۳): مدار سوئیچ بوت‌استرپ [۲۳]



شکل (۲۴): طیف خروجی مبدل قبل از کالیبراسیون

با توجه به [۲۴] و فرض مصرف توان هرگیت دیجیتال به میزان تقریبی  $7 \text{ nW/gate-MHz}$  در تکنولوژی ۹۰ نانومتر CMOS و ولتاژ تغذیه ۱ ولت، توان مصرفی تقریبی در روش تخمین اولیه تقریباً برابر با ۴۷ میکرووات و در روش تنظیم و دنبال‌کننده تقریباً برابر با ۸۵ میکرووات در فرکانس 1 MHz خواهد بود. لذا مجموع تقریبی توان مصرفی بخش دیجیتال کالیبراسیون پیشنهادی شامل روش تخمین اولیه و تنظیم و دنبال‌کننده برای فرکانس 100 MHz برابر با  $13/2$  میلی‌وات خواهد بود. از طرفی، کل توان مصرفی قسمت آنالوگ مبدل طراحی شده در ولتاژ تغذیه یک ولت برابر با  $40/3$  میلی‌وات است. بنابراین کل توان مصرفی آن حدود  $53/5$  میلی‌وات است.

از معیار شایستگی (FoM) زیر برای مقایسه مبدل‌های مختلف استفاده شده است [۲]:

تقویت‌کننده تا مرتبه سوم تصحیح می‌شوند. در این روش از تکنیک تقسیم کانال استفاده نشده و لذا ساختار متداول مبدل دستخوش تغییر نشده و به پیچیدگی آن اضافه نمی‌شود. همچنین از هیچ مدار آنالوگ اضافی و یا سیگنال ورودی مانند سیگنال آزمون و یا سیگنال شبه تصادفی در مبدل مذکور استفاده نشده است. به علاوه روش تخمین اولیه پیشنهاد شده، قابل پیاده‌سازی بر روی بسیاری از ساختارهای مبدل‌ها می‌باشد که علاوه بر افزایش نسبی دقت مبدل، کاملاً پس‌زمینه‌ای است و می‌تواند به همراه روش‌های مختلف مورد استفاده قرار گیرد.

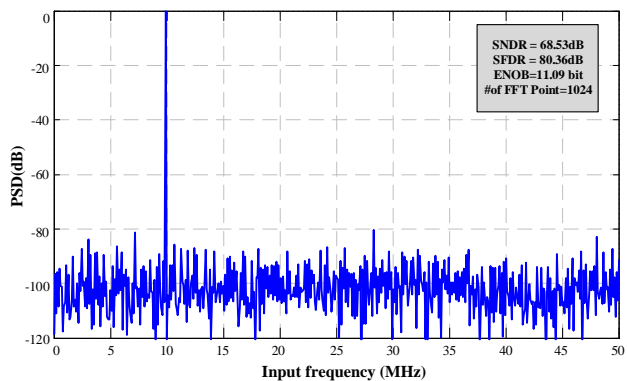
واژه‌ها و اصلاحات:

پس‌زمینه	Background
پیش‌زمینه	Foreground
مبتنی بر یکسان‌سازی	Equalization Based
مبتنی بر همبستگی	Correlation Based
تقسیم کانال	Split Channel
همزمانی	Concurrent
فیلتر پیش‌بینی درون‌یابی	Interpolation Filter
نویز شبه تصادفی	Pseudo-Random Noise
بیت اضافی	Redundancy Bit
نہفتگی	Latency
CNFA	Capacitor Non-Flip-Around
CFA	Capacitor Flip-Around
LMS	Least Mean Square
FFT	Fast Fourier Transform
MDAC	Multiplying Digital-to-Analog Converter

$$FoM = \frac{P}{2^{ENOB} \times f_s} \quad (29)$$

که در آن،  $f_s$  نرخ نمونه‌برداری نایکوئیست،  $P$  توان مصرفی مبدل و  $ENOB$  تعداد بیت‌های موثر مبدل هستند.

مقایسه روش ارائه شده با سایر روش‌های کالیبراسیون نیز در جدول (۱) خلاصه شده است. در این جدول میزان SNDR و SFDR بدون کالیبراسیون و بعد از کالیبراسیون در کنار میزان بهبود آن‌ها در کنار مشخصات مبدل‌ها، نوع کالیبراسیون و سرعت همگرایی آن‌ها مورد مقایسه قرار گرفته است.



شکل (۲۶): طیف خروجی مبدل پس از اعمال روش تنظیم و دنبال‌کننده پیشنهادی

## ۵- نتیجه‌گیری

در این مقاله، روش کالیبراسیون جدیدی ارائه شده است که با ترکیب روش‌های مبتنی بر یکسان‌سازی، تغییر ولتاژ آستانه‌ای مقایسه‌گر و هیستوگرام به همراه ویژگی‌های هندسی منحنی مشخصه انتقالی مبدل Backend و خروجی مبدل، خطاهای خطی و غیرخطی ناشی از عدم تطبیق خازن‌ها و غیر ایده‌آلی‌های موجود در



جدول (۱): مقایسه روش ارائه شده با سایر روش‌های کالیبراسیون

Parameter	This work	[2]	[5]	[11]	[12]	[19]
Resolution (Bit)	12	12	12	12	12	12
$f_s$ (MHz)	100	100	100	500	100	250
SNDR Before Calibration (dB)	37.47	40.4	30.4	51	34.1	31.8
SNDR After Calibration (dB)	68.53	68	72.5	69.2	68.2	66.7
SNDR Improvement (dB)	31.06	27.6	42.1	18.2	34.1	26.9
SFDR Before Calibration (dB)	39.34	42.2	33.4	62.5	35	48.3
SFDR After Calibration (dB)	80.36	83	88	81.7	75.8	75.2
SFDR Improvement (dB)	41.02	40.8	54.6	19.2	75.8	34.9
Calibration Category	Background	Background	Foreground and Background	Background	Background	Background
Convergence Iterations (Samples)	$1.4 \times 10^6$	$6 \times 2^{13}$	$3 \times 10^3$	$6.6 \times 10^4$	$10^6$	-
Analog Power (mW)	40.3	48	-	-	-	85
Digital Power (mW)	13.2	-	-	-	-	5
Circuit Implementation	YES	YES	NO	NO	NO	YES
Calibration Method	Equalization-Based + Comparator Threshold + Histogram-Based	Equalization-Based + Split-Channel	Equalization-Based + Split-Channel	Histogram-Based + Comparator Threshold	Histogram-Based	Correlation-Based
FoM (pJ/Conv.Step)	0.24	0.23	-	-	-	0.2

## مراجع

- [۱] شمس‌علیرضا، "طراحی مدولاتور متعامد دلتا سیگمای انعطاف پذیر پیوسته زمان برای گیرنده‌های Low-IF چند استاندارد"، مجله مهندسی برق و الکترونیک ایران، جلد ۱۶، شماره ۴، ۵۹-۶۸، ایران، زمستان ۱۳۹۸.
- [2] B. Zeinali, T. Moosazadeh, M. Yavari, and A. Rodriguez-Vazquez, "Equalization-based digital background calibration technique for pipelined ADCs," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 22, no. 2, pp. 322-333, Feb. 2014.
- [3] U.-K. Moon and B.-S. Song, "Background digital calibration techniques for pipelined ADCs," IEEE Trans. Circuits Syst. II, Analog and Digital Signal Processing, vol. 44, no. 2, pp. 102-109, Feb. 1997.
- [4] B. D. Sahoo and B. Razavi, "A 12-bit 200-MHz CMOS ADC," IEEE J. Solid-State Circuits, vol. 44, no. 9, pp. 2366-2380, Sept. 2009.
- [5] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A predetermined LMS digital background calibration technique for pipelined ADCs," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 62, no. 9, pp. 841-845, Sept. 2015.
- [6] A. Verma and B. Razavi, "A 10-bit 500-MS/s 55-mW cmos adc," IEEE J. Solid-State Circuits, vol. 44, no. 11, pp. 3039-3050, Nov. 2009.
- [7] S.-H. W. Chiang, H. Sun, and B. Razavi, "A 10-bit 800-MHz 19-mW CMOS ADC," IEEE J. Solid-State Circuits, vol. 49, no. 9, pp. 935-949, Apr. 2014.
- [8] L. Shi, W. Zhao, J. Wu, and C. Chen, "Digital background calibration techniques for pipelined ADC based on comparator dithering," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 59, no. 4, pp. 239-243, Apr. 2012.
- [9] N. Sun, "Exploiting process variation and noise in comparators to calibrate interstage gain nonlinearity in pipelined ADCs," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 59, no. 4, pp. 685-695, Apr. 2012.
- [10] L. Brooks and H.-S. Lee, "Background calibration of pipelined ADCs via decision boundary gap estimation," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 55, no. 10, pp. 2969-2979, Nov. 2008.
- [11] A. Chegeni, K. Hadidi, and A. Khoei, "A Histogram-Based Background Interstage Error Estimation and Implementation Method in Pipelined ADCs," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 65, no. 11, pp. 1519-1523, Sept. 2018.
- [12] P. Gholami and M. Yavari, "Digital background calibration with histogram of decision points in pipelined ADCs," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 65, no. 1, pp. 16-20, Jan. 2018.
- [13] T. Moosazadeh and M. Yavari, "A calibration technique for pipelined ADCs using self-measurement and histogram-based test methods," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 62, no. 9, pp. 826-830, Sept. 2015.
- [14] A. Panigada and I. Galton, "A 130 mW 100 MS/s pipelined ADC with 69 dB SNDR enabled by digital harmonic distortion correction," IEEE J. Solid-State Circuits, vol. 44, no. 12, pp. 3314-3328, Dec. 2009.
- [15] B. Cheongyuen, Digitally Calibrated Analog-to-Digital

- Converters in Deep Sub-micron CMOS, Ph.D. Thesis, Berkeley University, 2008.
- [16] H. Mafi, M. Yargholi, and M. Yavari, "Statistics-Based Digital Background Calibration of Residue Amplifier Nonlinearity in Pipelined ADCs," IEEE Trans. on Circuits and Systems-I: Regular Papers, vol. 65, no. 12, pp. 4097-4109, Dec. 2018.
- [17] H. Mafi, M. Yavari, and S. Sadigh Behzadi, "Digital Background Calibration of Residue Amplifier Non-idealities in Pipelined ADCs," Circuits, Systems & Signal Processing (Springer), vol. 35, no. 10, pp. 3675-3699, Oct. 2016.
- [18] M. A. Montazerolghaem, T. Moosazadeh, and M. Yavari, "A Single Channel Split ADC Structure for Digital Background Calibration in Pipelined ADCs," IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 25, no. 4, pp. 1563-1567, Apr. 2017.
- [19] X. Peng, J. Guo, Q. Bao, Z. Li, H. Zhuang, and H. Tang, "A Low-Power Low-Cost On-Chip Digital Background Calibration for Pipelined ADCs," IEEE Tran. Very Large Scale Integr. (VLSI) Sys., vol. 27, no. 11, pp. 2568-2574, Nov. 2019.
- [20] B. Murmann and B. E. Boser, Digitally assisted pipeline ADCs theory and implementation, Springer Science & Business Media, 2007.
- [21] A. Ravindran, A. Savia, and J. Leonard, "Digital error correction and calibration of gain non-linearities in a pipelined ADC," IEEE Int. Symp. Circuits and Syst., vol. 1, pp. 1-1, May 2004.
- [۲۲] یعقوبی کریموی نازنین زهرا، گل‌مکانی عباس، یعقوبی کریموی رضا، "یک طراحی جدید برای بهبود Slew rate تقویت‌کننده‌های عملیاتی تفاضلی دو طبقه تک سر کم توان"، مجله مهندسی برق و الکترونیک ایران، جلد ۱۴، شماره ۲، ۹۷-۱۰۵، ایران، تابستان ۱۳۹۶.
- [23] M. Yavari, Low-Voltage High-Performance Sigma-Delta Modulators for Broadband Applications, Ph.D. Thesis, University of Tehran, July 2006.
- [24] Cobham PLC Company, "ASICs Digital and Mixed-Signal Brochure," January 2018, Retrieved from <https://www.cobhamaes.com/pagesproduct/datasheets/ASICProductBrochure.pdf>