

# طراحی و پیاده‌سازی ساختار متقارن و نامتقارن جدید برای اینورتر چندسطحی آبشاری با تعداد ادوات کلیدزنی کمتر

علی سیفی<sup>۱</sup> مجید حسین پور<sup>۲</sup>

۱- دانش آموخته کارشناسی ارشد- دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

[ali\\_seifi@student.uma.ac.ir](mailto:ali_seifi@student.uma.ac.ir)

۲- استادیار - دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

[Hoseinpour.majid@uma.ac.ir](mailto:Hoseinpour.majid@uma.ac.ir)

**چکیده:** مبدل‌های چندسطحی نسل جدیدی از مبدل‌ها برای تبدیل DC-AC در سطح ولتاژ و توان متوسط و بالا می‌باشند. در این مقاله یک مبدل چندسطحی آبشاری تک‌فاز جدید ارائه شده است. برای این منظور ابتدا یک سلول پایه ارائه شده و سپس با اتصال سری این سلول‌ها در حالت منابع متقارن و نیز منابع نامتقارن ساختار جدید اینورتر چندسطحی ارائه شده است. سلول جدید ارائه شده صرفاً توانایی تولید سطوح ولتاژ مثبت را دارا می‌باشد و از این رو برای تولید سطوح ولتاژ صفر و منفی، ساختار پیشنهادی مبتنی بر مبدل پل H می‌باشد. مقایسه جامعی بین مبدل چندسطحی پیشنهادی با ساختارهای کلاسیک و ساختارهای ارائه شده اخیر از نظر تعداد ادوات کلیدزنی، تعداد درایور، مقدار ولتاژ مسدودکنندگی کل سویچ‌ها و نیز میزان تلفات و راندمان انجام شده است. صحت عملکرد اینورتر پیشنهادی در حالت منابع متقارن برای ولتاژ خروجی ۲۱ سطحی و در حالت منابع نامتقارن برای ولتاژ خروجی ۳۷ سطحی در محیط Matlab/Simulink شبیه‌سازی شده و سپس توسط نمونه آزمایشگاهی مورد ارزیابی قرار گرفته است.

**واژه‌های کلیدی:** اینورتر چندسطحی، توپولوژی متقارن و نامتقارن، تعداد سویچ کمتر، تلفات مبدل

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.18.2.175

تاریخ ارسال مقاله: ۱۳۹۸/۸/۸

تاریخ پذیرش مشروط مقاله: ۱۳۹۹/۱/۲۵

تاریخ پذیرش مقاله: ۱۳۹۹/۲/۸

نام نویسنده‌ی مسئول: دکتر مجید حسین پور

نشانی نویسنده‌ی مسئول: ایران - اردبیل - خیابان دانشگاه - دانشگاه محقق اردبیلی - دانشکده‌ی فنی مهندسی

## ۱- مقدمه

مبدل‌های الکترونیک قدرت به علت پیشرفت روزافزون ادوات نیمه‌هادی قدرت، قیمت مناسب و حجم کم روز به روز در حال پیشرفت می‌باشند. ظهور ادوات الکترونیک قدرت کنترل شونده با گیت باعث شده است که استفاده از الکترونیک قدرت و مبدل‌های قدرت در موارد متفاوتی همچون صنعت، هوافضا، تجارت، ارتباطات و شبکه‌های قدرت فراگیر شود [۱]. به مبدل‌هایی که جریان مستقیم را به جریان متناوب با دامنه و فرکانس دلخواه تبدیل می‌کنند، اینورتر اطلاق می‌شود. از کاربردهای متنوع اینورترها می‌توان به کاربردهای صنعتی متصل به شبکه به خصوص سیستم‌های توزیع، جبران‌سازهای توان راکتیو، DVRها، فیلترهای اکتیو، سیستم‌های انرژی تجدیدپذیر فتوولتائیک و بادی، منابع تغذیه بدون وقفه، درایورهای موتورهای آسنکرون با دور متغیر، ادوات FACT، خودروهای الکتریکی، شارژرهای سریع خودروهای الکتریکی و غیره اشاره کرد [۲].

مبدل چندسطحی یک سیستم الکترونیک قدرت است که یک ولتاژ خروجی چندسطحی مطلوب را از چندین ولتاژ DC به عنوان ورودی ترکیب و تولید می‌کند [۳]. در مقایسه با مبدل‌های دو سطحی، مبدل‌های چندسطحی دارای مزایایی از جمله ولتاژ و جریان خروجی با کیفیت بهتر، کیفیت بالاتر توان خروجی، THD پایین‌تر، دامنه بالای مولفه اصلی، راندمان بالاتر، کاهش تلفات سوئیچینگ،  $dv/dt$  پایین‌تر، استرس پایین در سوئیچ‌های قدرت و کاهش تداخل الکترومغناطیسی می‌باشند [۴]. در ضمن اینورترهای چندسطحی قادر به کار در سطوح ولتاژ و توان بالاتر هستند [۵-۷].

اینورترهای چندسطحی متداول به سه دسته تقسیم می‌شوند: (۱) دیود با نقطه خنثی مهار شده (NPC)، (۲) خازن شناور (FC) و (۳) اینورترهای چندسطحی آبشاری پل H (CHB). این ساختارها در کنار مزایای خود چالش‌ها و معایبی نظیر تعادل ولتاژ خازن‌ها، تعداد زیاد خازن‌های شناور، استفاده از سنسورهای زیاد و کنترل پیچیده آن‌ها و همچنین تعادل ولتاژ خازن‌های لینک DC و غیره می‌باشند. عیب اصلی این ساختارها تعداد ادوات الکترونیک قدرت زیاد به خصوص در سطوح بالای خروجی است که می‌توان به وضوح حس نمود. این معایب باعث افزایش تلفات کلیدزنی، حجم و هزینه می‌شود.

کیفیت شکل موج ولتاژ خروجی مبدل‌های چندسطحی با افزایش تعداد سطوح افزایش می‌یابد و می‌توان فیلترهای خروجی را حذف کرد. در اینورترهای کلاسیک با افزایش تعداد سطوح خروجی، تعداد ادوات کلیدزنی آنها به شدت افزایش می‌یابد که این امر پیچیدگی سیستم و هزینه را افزایش می‌دهد و می‌تواند تا حدودی قابلیت اطمینان و کارایی سیستم را کاهش دهد و بازده را به شدت پایین می‌آورد. بنابراین برای تولید شکل موجی با کیفیت بهتر سعی می‌شود تا سویچ‌ها و مدارهای راه‌انداز گیت که عمده هزینه را تشکیل می‌دهند، به حداقل تعداد ممکن برسد [۸-۱۰]. کاهش تعداد سویچ‌ها

می‌تواند منجر به افزایش راندمان سیستم شود که پارامتر مهمی در انتخاب مبدل در کاربردهای صنعتی می‌باشد.

رویکردهای طراحی ساختارهای جدید را می‌توان به سه دسته تقسیم کرد: تغییرات توپولوژیک [۱۱-۱۲]، استفاده از منابع نامتقارن [۱۳-۱۴] و ترکیب تغییرات توپولوژیکی و تنظیمات نامتقارن منابع ورودی [۱۵-۱۶]. دسته دوم و سوم در مقایسه با دسته اول تعداد سطوح خروجی بیشتری تولید می‌کنند ولی در آن‌ها استرس ولتاژ کلیدها بیشتر بوده و تلفات کلیدها برابر نبوده و توزیع توان برابری ندارند.

در این مقاله یک ساختار بهبود یافته از اینورترهای چندسطحی منبع ولتاژ مبتنی بر پل H با هدف کاهش ادوات الکترونیک قدرت ارائه می‌شود که در مقایسه با ساختارهای کلاسیک و تحقیقات اخیر تعداد کلیدهای قدرت کمتری را دارا می‌باشد. این اختلاف کلید در سطوح بالاتر با وضوح بیشتری مشاهده شده و برتری ساختار پیشنهادی ملموس‌تر می‌شود. در این ساختار از یک سلول پایه بهبود یافته استفاده می‌شود که در مقایسه با سلول پایه موجود قادر است دو سطح ولتاژ را با یک کلید کمتر نسبت به آن تولید کند. این رویکرد در تعداد کلیدهای قدرت مورد نیاز در مقایسه با توپولوژی‌های کلاسیک و تحقیقات مشابه کاهش قابل توجهی را در تعداد کلیدهای قدرت آشکار می‌سازد. ساختار پیشنهادی برای منابع متقارن دو شباهت با ساختار CHB متقارن دارد: (۱) به ولتاژ ورودی DC جداگانه نیاز دارد و (۲) سطوح خروجی ولتاژ با ترکیب منابع DC ورودی ساخته می‌شوند. ساختار پیشنهادی می‌تواند به عنوان یک مبدل برای سیستم‌های درایو ولتاژ و توان متوسط و نیز سیستم‌های فتوولتائیک محسوب شود که در آن تعداد زیادی از منابع DC جداگانه در دسترس هستند. چالش اصلی در ساختار پیشنهادی نحوه تولید منابع DC مجزای متعدد می‌باشد که در کاربرد سیستم‌های فتوولتائیک این منابع DC متعدد در دسترس می‌باشند.

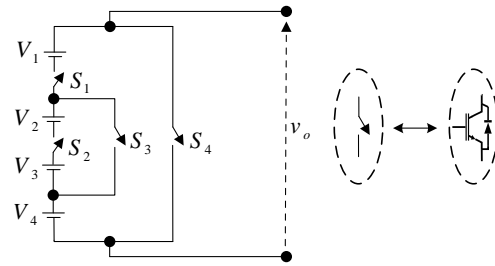
ساختار این مقاله در ادامه به شرح زیر است: در بخش دوم ساختار کلی توپولوژی پیشنهادی ارائه می‌شود. محاسبات مربوط به تلفات و مقایسه تلفات ساختار پیشنهادی با برخی تحقیقات مشابه در بخش سوم ارائه شده است. در بخش چهارم مقایسه ساختار پیشنهادی با تحقیقات مشابه ارائه شده است و نتایج شبیه‌سازی‌ها و پیاده‌سازی آزمایشگاهی در بخش پنجم ارائه شده است. نهایتاً نتیجه‌گیری و جمع‌بندی مقاله در بخش ششم به صورت مختصر آورده شده است.

## ۲- توپولوژی اینورتر چندسطحی پیشنهادی

در این بخش سلول پایه موجود و سلول پایه پیشنهادی معرفی شده است و اصول عملکرد ساختار تعمیم یافته پیشنهادی برای دو حالت متقارن و نامتقارن همراه با روابط ریاضیاتی توضیح داده شده است.

## ۲-۱- سلول پیشنهادی

در این مقاله، مبدل چندسطحی پیشنهادی از گسترش یک سلول پایه استفاده می‌کند. این سلول شامل چهار منبع ولتاژ DC، چهار کلید الکترونیک قدرت است که قادر است سه سطح ولتاژ یعنی صفر،  $+2V_{DC}$  و  $+4V_{DC}$  را تولید کند. کلیدهای الکترونیک قدرت را می‌توان با استفاده از ترانزیستور (مانند MOSFET یا IGBT) با یک دیود موازی مخالف پیاده‌سازی نمود. شکل ۱ سلول پیشنهادی را نشان می‌دهد.



شکل (۱): سلول پایه پیشنهادی

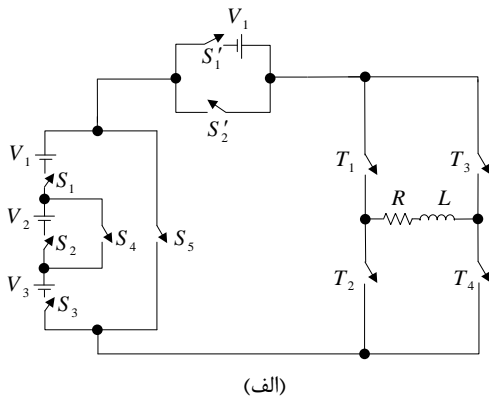
جدول ۱ نشان دهنده ولتاژ خروجی سلول پیشنهادی در حالت‌های ممکن است. نکته مهم درباره این سلول آن است که برای منابع متقارن فقط سطوح ولتاژ مثبت شامل  $+2V_{DC}$  و  $+4V_{DC}$  را تولید می‌کند.

جدول (۱): حالت‌های مختلف تولید ولتاژ سلول پایه پیشنهادی

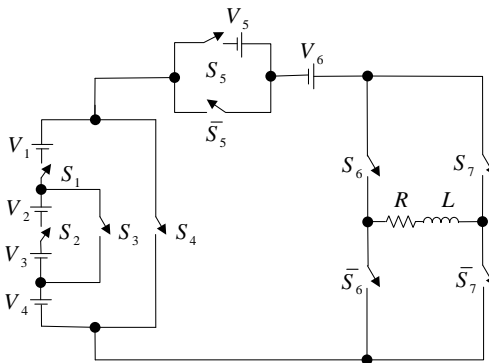
حالت	$S_1$	$S_2$	$S_3$	$S_4$	ولتاژ خروجی ( $v_o$ )
۱	۰	۰	۰	۱	۰
۲	۱	۰	۱	۰	$2V_{DC}$
۳	۱	۱	۰	۰	$4V_{DC}$

ساختار پایه ارائه شده از سلول پایه و یک پل H تشکیل می‌شود. سلول پایه سطوح ولتاژ مثبت را تولید می‌کند. وظیفه پل H تغییر پلاریته ولتاژ و همچنین تولید سطح ولتاژ صفر می‌باشد. شکل ۲-الف ساختار ارائه شده در [۱۷] را نشان می‌دهد. این ساختار برای یک اینورتر نه‌سطحی ۱۱ کلید دارد. شکل ۲-ب ساختار پیشنهادی را نشان می‌دهد که نسبت به ساختار ارائه شده در [۱۷] با افزودن یک منبع DC و نیز کاهش یک سویچ، دو سطح به سطوح ولتاژ خروجی اضافه می‌کند.

نحوه تولید سطح ولتاژ صفر و نیز سطوح ولتاژ مثبت و همچنین مسیر عبور جریان در این سطوح ولتاژ برای ساختار پیشنهادی در شکل ۳ نمایش داده شده است. شایان ذکر است برای تولید سطوح ولتاژ منفی، تغییر کلیدزنی سویچ‌های پل H کفایت می‌کند. مطابق شکل ۳ مشخص است که ساختار پیشنهادی به درستی تمامی سطوح ولتاژ را با قابلیت عبور جریان مثبت و منفی دارا می‌باشد که این امر به مفهوم قابلیت انتقال دوطرفه توان می‌باشد.



(الف)



(ب)

شکل (۲): الف- ساختار پایه ارائه شده در [۱۷] و ب- ساختار پایه پیشنهادی

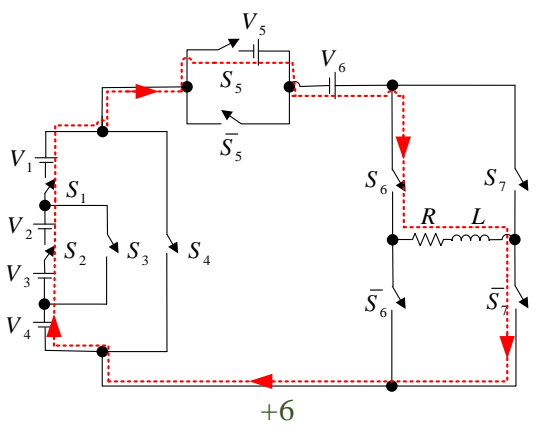
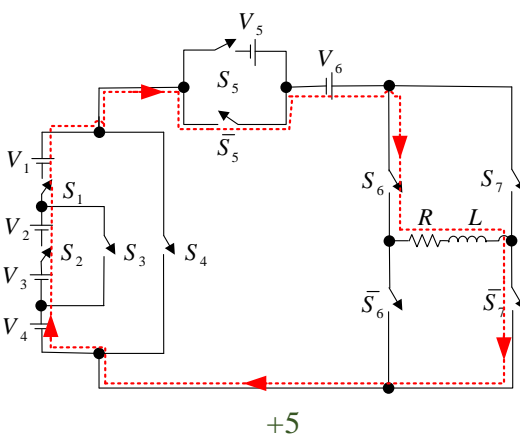
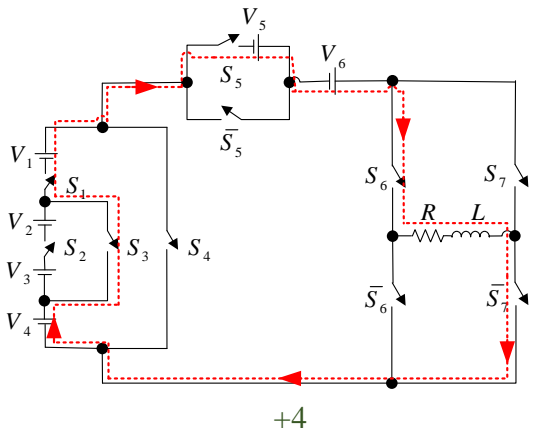
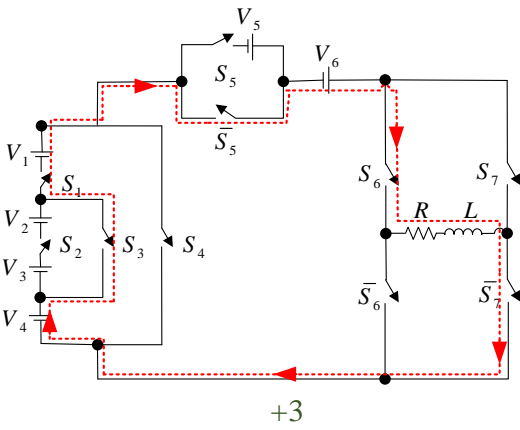
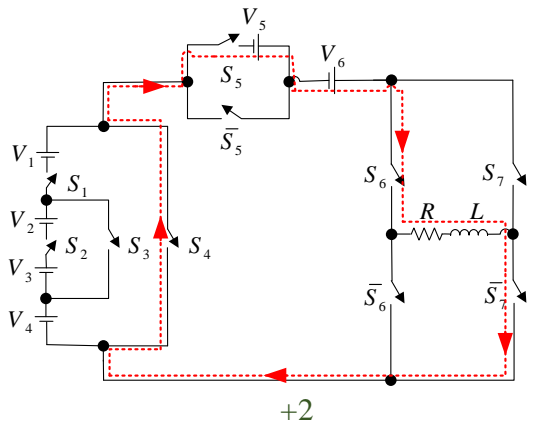
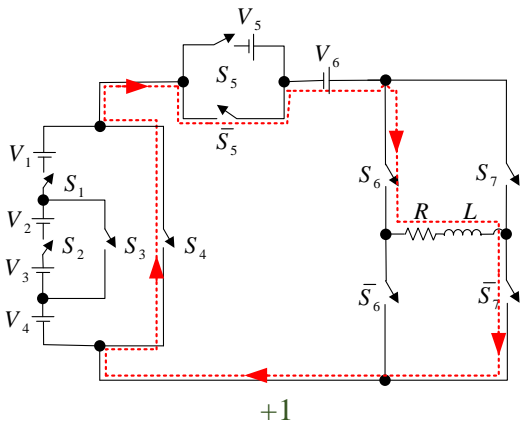
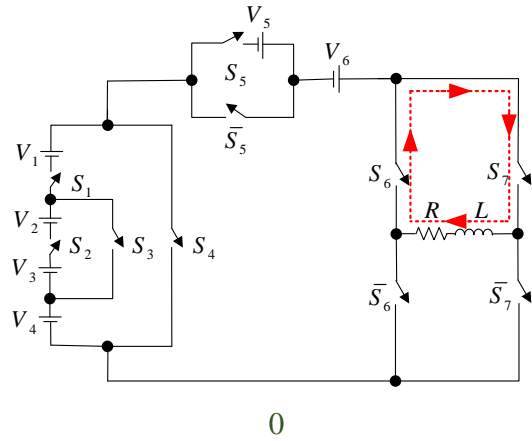
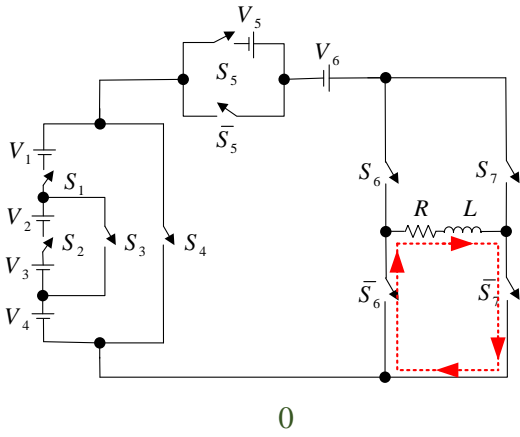
## ۲-۲- ساختار تعمیم یافته

ساختار تعمیم یافته اینورتر چندسطحی پیشنهادی در شکل ۴ نشان داده شده است. از آنجا که ولتاژ تولیدی سلول‌های پیشنهادی صرفاً شامل مقادیر مثبت می‌باشد، ساختار پیشنهادی مبتنی بر پل H است که وظیفه آن تغییر پلاریته ولتاژ خروجی و نیز تولید سطح ولتاژ صفر می‌باشد.

با توجه به شکل ۴، ولتاژ اعمالی به دو سر پل H که با  $v_{o,dc}$  نمایش داده شده از مجموع ولتاژ تک تک سلول‌های پایه  $(v_{o,n})$ ، ولتاژ  $v'_o$  و  $V_6$  مطابق رابطه (۱) حاصل می‌شود.

$$v_o = v_{o,1} + v_{o,2} + \dots + v_{o,n} + v'_o + V_6 \quad n \geq 1 \quad (1)$$

در رابطه فوق n بیانگر تعداد سلول‌های پایه استفاده شده در ساختار اینورتر چندسطحی پیشنهادی می‌باشد.  $v_{o,dc}$  بیانگر یک مقدار DC مثبت می‌باشد که توسط پل H می‌توان این ولتاژ یا معکوس آن را به بار اعمال نمود. شایان ذکر است سطح ولتاژ صفر نیز توسط سویچ‌های پل H قابل تولید است. ساختار پیشنهادی می‌تواند برای منابع متقارن و یا منابع متقارن پیاده‌سازی شود که در ادامه برای هر کدام از حالت‌ها توضیحات لازم ارائه شده است.



شکل (۳): نحوه تولید سطوح ولتاژ صفر و مثبت در ساختار پایه پیشنهادی

سوییچ‌ها، بایستی مقدار ولتاژ مسدود شده توسط هر یک از کلیدها (MBV) مورد توجه قرار گیرند. با توجه به شکل ۴ مقادیر ولتاژ مسدود شده توسط هر کدام از کلیدها به ترتیب زیر است:

$$V_{S_5} = V_{\bar{S}_5} = V_5 \quad (۷)$$

$$V_{S_{2,n}} = V_{S_{3,n}} = V_{2,n} + V_{3,n}, \quad n \geq 1 \quad (۸)$$

$$V_{S_{1,n}} = V_{1,n} + V_{4,n}, \quad n \geq 1 \quad (۹)$$

$$V_{S_{4,n}} = V_{1,n} + V_{2,n} + V_{3,n} + V_{4,n}, \quad n \geq 1 \quad (۱۰)$$

$$V_{S_6} = V_{\bar{S}_6} = V_{S_7} = V_{\bar{S}_7} = V_{o,1} + V_{o,2} + \dots + V_{o,n} + V_5 + V_6 \quad (۱۱)$$

### ۲-۲-۲- منابع نامتقارن

استراتژی‌های متنوعی برای حالت منابع DC نامتقارن قابل تعریف می‌باشد. در این مقاله برای حالت نامتقارن استراتژی انتخاب مقادیر منابع DC به صورت  $V_{1,1} = V_{2,1} = V_{3,1} = V_{4,1} = V_5 = V_6 = V_{DC}$  و حالت پیک ولتاژ خروجی توسط رابطه (۱۲) و تعداد سطوح قابل تولید برای ساختار پیشنهادی توسط رابطه (۱۳) قابل بیان است:

$$V_{O,Max}^{Asym} = (12N + 6)V_{DC}, \quad N \geq 1 \quad (۱۲)$$

$$N_{level}^{Asym} = 24N + 13, \quad N \geq 1 \quad (۱۳)$$

که در روابط فوق  $N$  تعداد سلول‌های پایه‌ای است که ولتاژ منابع DC آنها برابر  $3V_{DC}$  می‌باشد. تعداد سوییچ‌های موردنیاز ( $N_{Switch}$ )، تعداد درایورها ( $N_{Driver}$ ) و ولتاژ مسدودکنندگی کل ( $TBV$ ) برای ساختار پیشنهادی در حالت منابع ولتاژ نامتقارن بر اساس (۱۴)، (۱۵) و (۱۶) قابل بیان است:

$$N_{switch}^{Asym} = 4N + 10 \quad (۱۴)$$

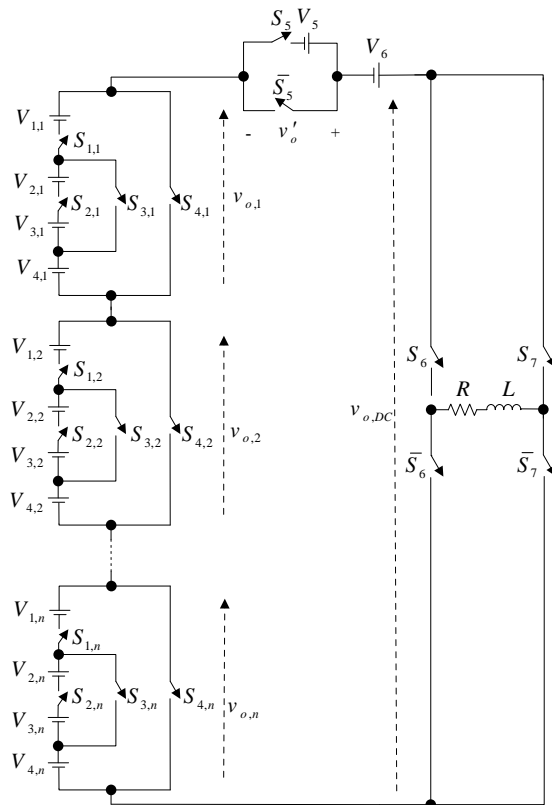
$$N_{Driver}^{Asym} = 4N + 10 \quad (۱۵)$$

$$TBV^{Asym} = (78N + 36)V_{DC} \quad (۱۶)$$

که در روابط فوق  $N$  بیانگر تعداد سلول‌های پایه‌ای است که اندازه منابع ولتاژ DC آن برابر  $3V_{DC}$  است. در حالت منابع ولتاژ نامتقارن با وجود این که سطوح ولتاژ بیشتری نسبت به حالت متقارن تولید می‌شود ولی در مقابل تنش (استرس) ولتاژ و تلفات کلیدها بسیار بیشتر بوده و در ضمن تولید ولتاژهای DC با مقادیر متفاوت نیز پیچیده‌تر می‌باشد.

### ۳- محاسبات مربوط به تلفات

تلفات یک مبدل الکترونیک قدرت معادل با مجموع توان تلفاتی تمامی ادوات نیمه‌هادی قدرت است. تلفات ناشی از یک تجهیز نیمه‌هادی می‌تواند به سه دسته تقسیم شود: (۱) هنگامی که تجهیز جریان را مسدود می‌کند (حالت OFF) که در این شرایط از آنجاییکه جریان



شکل (۴): ساختار تعمیم یافته پیشنهادی

### ۲-۲-۱- منابع متقارن

برای حالت متقارن مقادیر منابع ولتاژ DC مطابق  $V_{1,n} = V_{2,n} = V_{3,n} = V_{4,n} = V_5 = V_6 = V_{DC}$   $n \geq 1$  در این حالت پیک ولتاژ خروجی توسط رابطه (۲) و تعداد سطوح قابل تولید (سنتر) برای ساختار پیشنهادی با منابع ولتاژ متقارن توسط رابطه (۳) قابل بیان است که در این روابط  $n$  بیانگر تعداد سلول‌های پایه پیشنهادی می‌باشد.

$$V_{O,Max}^{Sym} = (3n + 2)V_{DC} \quad (۲)$$

$$N_{level}^{Sym} = 6n + 5 \quad (۳)$$

تعداد سوییچ‌های مورد نیاز ( $N_{Switch}$ )، تعداد درایورها ( $N_{Driver}$ ) و ولتاژ مسدودکنندگی کل ( $TBV$ ) برای ساختار پیشنهادی در حالت متقارن بر اساس (۴)، (۵) و (۶) قابل بیان است.

$$N_{switch}^{Sym} = 4n + 6 \quad (۴)$$

$$N_{Driver}^{Sym} = 4n + 6 \quad (۵)$$

$$TBV^{Sym} = (26n + 10)V_{DC} \quad (۶)$$

هزینه یک مبدل توسط سه پارامتر فوق قابل تعیین است و هرچه این پارامترها در یک مبدل مقادیر کمتری داشته باشند، هزینه کلی مبدل پایین‌تر خواهد بود. در ضمن، ولتاژ مسدود شده در کنار جریان نامی عبوری از سوییچ و فرکانس کلیدزنی آن پارامترهای اصلی در انتخاب کلیدها می‌باشند. بنابراین برای محاسبه شاخص ولتاژ مسدودکنندگی

$$\begin{aligned}
 E_{on,j} &= \int_0^{t_{on}} v(t)i(t)dt \\
 &= \int_0^{t_{on}} \left[ \left( V_{o,j} \frac{t}{t_{on}} \right) \left( -\frac{I}{t_{on}}(t-t_{on}) \right) \right] dt \\
 &= \frac{1}{6} V_{o,j} \cdot I \cdot t_{on}
 \end{aligned} \quad (20)$$

که  $E_{on,j}$  نشان دهنده تلفات انرژی روشن شدن و  $t_{on}$  زمان لازم برای روشن شدن کلید زام است. جریان کلید بعد از روشن شدن با  $I$  مشخص شده و  $V_{o,j}$  نشان‌دهنده ولتاژی است که کلید زام به هنگام خاموش بودن بایستی مسدود کند.

به طور مشابه تلفات انرژی کلید زام در هنگام خاموش شدن را می‌توان با (۲۱) محاسبه کرد.

$$\begin{aligned}
 E_{off,j} &= \int_0^{t_{off}} v(t)i(t)dt = \\
 &= \int_0^{t_{off}} \left[ \left( V_{o,j} \frac{t}{t_{off}} \right) \left( -\frac{I'}{t_{off}}(t-t_{on}) \right) \right] dt \\
 &= \frac{1}{6} V_{o,j} I t_{off}
 \end{aligned} \quad (21)$$

که  $t_{off}$  زمان لازم برای خاموش شدن کلید زام بوده و  $I'$  جریان قبل از خاموش شدن کلید می‌باشد.

تلفات کلیدزنی تابع تعداد تغییر وضعیت‌های کلیدها و همچنین تکنیک کلیدزنی می‌باشد. در بازه زمانی ۱ ثانیه، سوئیچ زام تعداد  $f_j$  بار تغییر وضعیت می‌دهد، که  $f_j$  فرکانس سوئیچینگ است. از این رو، فرض بر این است که مجموع تلفات سوئیچینگ قدرت را می‌توان به صورت زیر محاسبه کرد.

$$\rho_s = \sum_{j=1}^M \left[ \frac{1}{6} V_{o,j} I (t_{on} + t_{off}) f_j \right] \quad (22)$$

تلفات کل اینورتر را می‌توان با استفاده از (۱۹) و (۲۲) محاسبه کرد.

$$\rho_{losses} = \rho_{c,avg} + \rho_s \quad (23)$$

بازده مبدل را می‌توان با استفاده از (۲۴) و (۲۵) محاسبه کرد.

$$P_{out} = V \times I \times \cos \theta \quad (24)$$

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out} + \rho_{losses}} \quad (25)$$

شبیه‌سازی تلفات بر اساس داده‌های سازنده انجام می‌شود. برای مدل‌سازی از کلید IGBT IKFW60N60DH3E (600V 50A) استفاده شده است. جریان عبوری از کلیدها و ولتاژ مسدودکنندگی هر کلید در شبیه‌سازی تلفات در نظر گرفته می‌شوند. شبیه‌سازی مربوط به تلفات ساختار پیشنهادی انجام شده است و نتایج مربوط به تلفات توان هر یک از سوئیچ‌ها به صورت مجزا در شکل ۵ ارائه شده است.

نشستی در حالت خاموش بودن عملاً ناچیز است [۱۸]. تلفات ناچیز بوده و می‌توان از آن صرف‌نظر کرد؛ (۲) هنگامی که تجهیز هدایت می‌کند (حالت ON)؛ و (۳) هنگامی که تجهیز در حالت کلیدزنی می‌باشد (حالت از ON به OFF یا برعکس تغییر می‌کند). بنابراین تلفات مربوط به اینورتر پیشنهادی تنها تلفات هدایت و سوئیچینگ در نظر گرفته می‌شود که درباره هر کدام در ادامه بحث شده است.

### ۳-الف) تلفات هدایتی

ترانزیستورهای قدرت مورد استفاده در توپولوژی پیشنهادی توانایی هدایت دوطرفه و مسدود کردن یک‌طرفه دارند. تلفات هدایتی ترانزیستور و دیود معمولی عبارتند از [۱۹]:

$$\rho_{c,Transistor}(t) = (V_T + R_T i^\beta(t)) i(t) \quad (17)$$

$$\rho_{c,Diode}(t) = (V_D + R_D i(t)) i(t) \quad (18)$$

که  $\rho_{c,D}(t)$  و  $\rho_{c,T}(t)$  به ترتیب مربوط به تلفات هدایتی ترانزیستور و دیود می‌باشند.  $V_D$  و  $V_T$  افت ولتاژ روی ترانزیستور و دیود در حالت روشن هستند، در حالی که  $R_D$  و  $R_T$  مقاومت ترانزیستور و دیود در حالت روشن هستند و  $\beta$  ثابتی است که تابع ویژگی‌های ترانزیستور است.

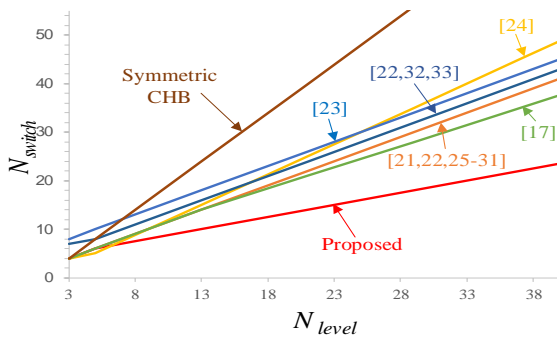
همانطور که در بخش ۲ اشاره شد، هدایت کلیدها تابع جریان لحظه‌ای بار  $i_L(t)$  است. علاوه بر این بسته به سطح ولتاژ خروجی و پلاریته جریان بار، ترانزیستور یا دیود موازی کلید می‌تواند هدایت کند. در هر لحظه از زمان تعداد دیودها و ترانزیستورهای هدایت‌کننده به ترتیب برابر با  $N_D(t)$  و  $N_T(t)$  می‌باشند. بنابراین میانگین تلفات هدایتی می‌تواند با استفاده از (۱۷) و (۱۸) توسط (۱۹) قابل بیان است:

$$\begin{aligned}
 \rho_{c,avg} &= \frac{1}{\pi} \int_0^\pi \left[ (N_T(t)V_T + N_D(t)V_D) i_L(t) + \right. \\
 &\quad \left. (N_T(t)R_T i_L^{\beta+1}(t)) + (N_D(t)i_L^2(t)) \right] d(\omega t)
 \end{aligned} \quad (19)$$

### ب) تلفات کلیدزنی (سوئیچینگ)

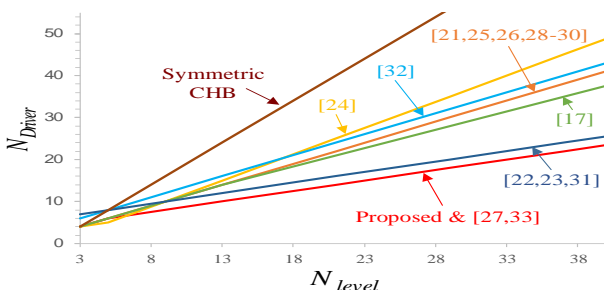
برای محاسبه تلفات کل کلیدزنی، یک کلید قدرت را در نظر گرفته و تلفات کلیدزنی آن محاسبه می‌شود. سپس برای محاسبه تلفات کلیدزنی کل اینورتر، تلفات تک تک کلیدها با هم جمع خواهد شد. برای محاسبه تلفات کلیدزنی یک کلید، یک تقریب خطی ولتاژ و جریان در طول دوره سوئیچینگ (انتقال از حالت روشن به حالت خاموش و بالعکس) مورد استفاده قرار می‌گیرد [۲۰]. تلفات انرژی در هنگام روشن شدن می‌تواند با (۲۰) محاسبه شود.

کلیدهای ساختار پیشنهادی و دیگر مبدل‌های متقارن چندسطحی به ازای سطوح ولتاژ مختلف در شکل ۶ ارائه شده است. هر چه شیب منحنی در شکل ۶ کمتر باشد، بیانگر این امر است که با افزایش تعداد سطوح ولتاژ خروجی، سویچ کمتر و حجم کمتر برای ساختار مذکور مورد نیاز است. در ساختار CHB به ازای افزایش یک H-bridge (افزایش دو سطح به سطح خروجی) چهار سویچ به ساختار اضافه می‌شود. به عبارت دیگر شیب نمودار سویچ نسبت به سطح در ساختار CHB متقارن برابر ۲ می‌باشد. تقریباً در تمام ساختارهای ارائه شده شیب این نمودار برابر با یک می‌باشد. به بیان دیگر به ازای افزایش دو سطح، دو کلید به ساختار اضافه می‌شود. شیب این نمودار برای ساختار پیشنهادی برابر با ۰/۵ می‌باشد و به ازای افزایش ۸ سطح در ولتاژ خروجی صرفاً نیاز به افزایش چهار سویچ در ساختار پیشنهادی می‌باشد. واضح است که ساختار پیشنهادی بهبود قابل توجهی در کاهش تعداد سوئیچ‌ها به خصوص در سطوح بالا را نشان می‌دهد. بدیهی است که تعداد درایور راه‌انداز و سایر اجزای پشتیبان به طور تقریبی با تعداد سویچ متناسب می‌باشند و به همین نسبت این ادوات نیز در ساختار پیشنهادی کاهش خواهند یافت.



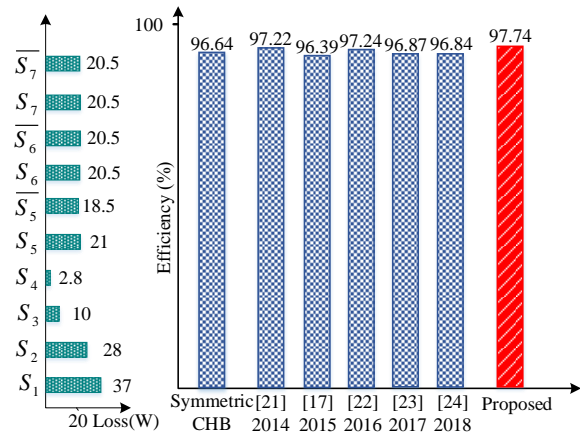
شکل (۶): مقایسه تعداد سویچ‌های ساختارهای مختلف به ازای افزایش سطح ولتاژ خروجی

شکل ۷ مقایسه تعداد درایور مورد نیاز در ساختار پیشنهادی و ساختارهای ارائه شده اخیر را نشان می‌دهد. مطابق این شکل، ساختار پیشنهادی به همراه ساختارهای [۲۷] و [۳۳] به ازای سطوح ولتاژ یکسان به کمترین تعداد درایور نیاز دارند.



شکل (۷): مقایسه تعداد درایور راه‌انداز ساختارهای مختلف به ازای افزایش سطح ولتاژ خروجی

شکل ۵ نشان‌دهنده مقادیر بارده برای ساختار پیشنهادی و ساختارهای مقایسه شده در شرایط یکسان می‌باشد. این شبیه‌سازی‌ها برای اینورتر پیشنهادی و ساختارهای مقایسه شونده برای اینورتر ۱۳ سطحی (ساختار پایه) با منابع متقارن با تکنیک مدولاسیون SPWM شیف فاز با فرکانس کلیدزنی ۴۵۰ Hz در ۸۰٪ مقدار نامی کلید (یعنی در ولتاژ ۴۸۰ ولت و جریان ۴۰ آمپر) در توان خروجی ۸۶۶۱ وات برای بار مقاومتی انجام شده است. همانطور که در شکل ۵ دیده می‌شود مقدار بارده ساختار پیشنهادی بیشتر از ساختارهای ارائه شده است.



شکل (۵): نتایج شبیه‌سازی تلفات و مقایسه آن‌ها

#### ۴- مقایسه با سایر ساختارها

در این بخش ساختار پیشنهادی با تحقیقات مشابه ارائه شده اخیر در حالت منابع ولتاژ متقارن و نامتقارن به ازای سطوح ولتاژ تولیدی یکسان مقایسه می‌شود. با توجه به این‌که در حالت منابع ولتاژ نامتقارن استراتژی‌های متعددی وجود دارد مقایسه‌ها برای حالت نامتقارن به ازای یکی از استراتژی‌ها انجام شده است. مهم‌ترین پارامترهای مقایسه‌ای که در اینورترهای چندسطحی مورد بحث قرار می‌گیرد عبارت است از: تعداد سویچ، تعداد درایور و ولتاژ مسدود کنندگی کل (TBV). در (۲۶) نحوه محاسبه ولتاژ مسدودکنندگی کل بر حسب ولتاژ مسدود کنندگی ماکزیمم (MBV) تک تک سویچ‌ها ارائه شده است.

$$TBV = \sum_{Switch=1}^M MBV_{Switch} \quad (26)$$

هزینه اینورترهای چندسطحی به طور مستقیم با پارامترهای مقایسه‌ای در ارتباط است. به عبارت دیگر هر چه تعداد سویچ‌ها، درایورهای راه‌انداز و مقدار TBV بیشتر باشد هزینه تمام شده اینورتر زیاد می‌شود. محققین همواره در تلاش‌اند تا ساختاری ارائه بدهند که هزینه تمام شده آن کمتر باشد تا در صنعت قابل پیاده‌سازی باشد. حجم اینورتر نیز با تعداد ادوات در ارتباط است هر چه تعداد ادوات کم باشد، حجم اینورتر کم می‌شود تا کارایی آن افزایش یابد.

ساختار پیشنهادی در مقایسه با ساختار ارائه‌شده اخیر، دارای تعداد سوئیچ کمتر برای سطوح ولتاژ خروجی یکسان می‌باشد. مقایسه تعداد

صورت پیوسته، صرفاً به منظور سهولت مقایسه بین منحنی‌های مختلف ساختارهای مورد مقایسه در این شکل‌ها می‌باشد.

## ۵- نتایج شبیه‌سازی و پیاده‌سازی

در این بخش نتایج شبیه‌سازی و پیاده‌سازی اینورتر چندسطحی پیشنهادی ارائه شده است. روش‌های مختلفی برای کلیدزنی اینورترهای چندسطحی وجود دارد که به دو دسته کلی روش کلیدزنی فرکانس پایین مانند روش پلکانی و فرکانس بالا مانند روش PWM و SVM و غیره تقسیم می‌شوند. توپولوژی پیشنهادی می‌تواند با هر یک از این روش‌ها سازگاری مناسب داشته باشد. برای بررسی عملکرد ساختار پیشنهادی، دو سلول پایه مطابق شکل ۸ برای آن در نظر گرفته شده است. ساختار پیشنهادی برای ولتاژ خروجی ۲۱ سطحی متقارن و ۳۷ سطحی نامتقارن با روش کلیدزنی فرکانس پایه با ابزار MATLAB/Simulink شبیه‌سازی شده است.

جدول ۲ برای بررسی دقیق‌تر ساختار پیشنهادی و ساختارهای ارائه شده مشابه برای خروجی ولتاژ ۲۱ سطحی متقارن و ۳۷ سطحی نامتقارن ارائه شده است. در جدول ۲ علاوه بر تعداد سویچ و تعداد درایور، ولتاژ مسدودکنندگی کل نیز مورد مقایسه قرار گرفته است. ساختار پیشنهادی از لحاظ ولتاژ مسدودکنندگی کل صرفاً نسبت به ساختار CHB دارای TBV بیشتری می‌باشد. شایان ذکر است تعداد سویچ‌ها و درایورهای ساختار CHB بسیار زیاد بوده و قابل مقایسه با سایر ساختارها نمی‌باشد. از این رو به غیر از ساختار CHB متقارن و نامتقارن، ساختار پیشنهادی نسبت به سایر ساختارهای ارائه شده اخیر دارای TBV کمتر و یا برابر بوده و مطابق شکل‌های ۶ و ۷ به ازای تعداد سطوح ولتاژ برابر، کمترین تعداد سویچ و درایور را دارا می‌باشد. از جدول ۲ می‌توان دریافت که تعداد پارامترهای ساختار پیشنهادی برای خروجی ۲۱ سطحی متقارن و ۳۷ سطحی نامتقارن کوچک‌تر از ساختارهای تحقیقات مشابه است. بایستی اضافه نمود که تعداد کلید و درایور و تعداد سطوح ماهیت گسسته دارند و رسم این نمودارها به

جدول (۲): پارامترهای مقایسه‌ای اینورترهای چندسطحی در ۲۱ سطحی متقارن و ۳۷ سطحی نامتقارن

		$N_{Level}$	$N_{Switch}$	$N_{Source}$	$TBV(*V_{DC})$	$N_{Driver}$
CHB	Symmetric	21	40	10	40	40
	Asymmetric	37	24	6	72	24
[17] 2015	Symmetric	21	21	10	66	21
	Asymmetric	33	21	10	106	21
[22] 2016	Symmetric	21	24	10	92	16
	Asymmetric	37	24	10	128	16
[23] 2017	Symmetric	21	26	10	94	16
	Asymmetric	37	26	10	130	16
[25] 2015	Symmetric	21	22	10	64	22
[27] 2017	Symmetric	21	22	10	130	14
[31] 2012	Symmetric	21	22	10	90	16
[32] 2011	Symmetric	21	24	10	60	24
	Asymmetric	37	16	4	108	16
[33] 2012	Symmetric	21	24	10	60	14
[34] 2019	Symmetric	21	22	10	112	14
	Asymmetric	37	22	10	208	14
Proposed	Symmetric	21	14	10	62	14
	Asymmetric	37	14	10	114	14

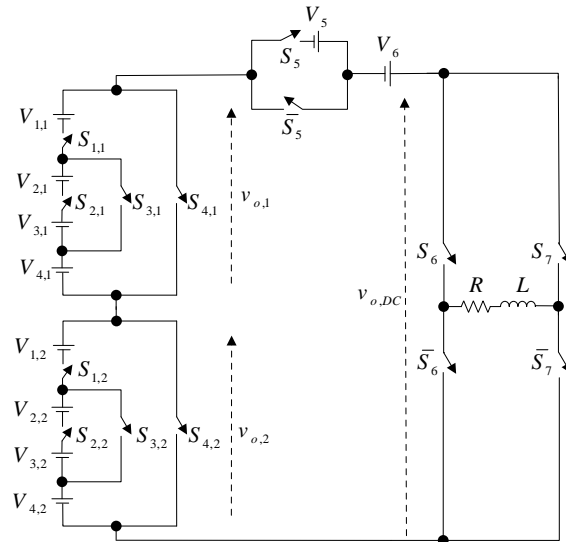
به منظور تایید و اعتبارسنجی نتایج شبیه‌سازی، یک نمونه آزمایشگاهی از ساختار ۲۱ سطحی متقارن و ۳۷ سطحی نامتقارن پیشنهادی با مدولاسیون نزدیک‌ترین سطح پیاده‌سازی شده است. جدول ۳ اطلاعات مربوط به پیاده‌سازی آزمایشگاهی مطابق شکل ۹ را برای ساختار پیشنهادی نشان می‌دهد.



خواهد بود. جدول ۴ حالت‌های تولید سطوح مختلف ولتاژ را نشان می‌دهد.

جدول (۴): حالت‌های تولید سطوح مختلف ولتاژ

Level	Switch States (1=on & 0=off)										
	S <sub>1,1</sub>	S <sub>2,1</sub>	S <sub>3,1</sub>	S <sub>4,1</sub>	S <sub>1,2</sub>	S <sub>2,2</sub>	S <sub>3,2</sub>	S <sub>4,2</sub>	S <sub>5</sub>	S <sub>6</sub>	S <sub>7</sub>
10	1	1	0	0	1	1	0	0	1	1	0
9	1	1	0	0	1	1	0	0	0	1	0
8	1	1	0	0	1	0	1	0	1	1	0
7	1	1	0	0	1	0	1	0	0	1	0
6	1	1	0	0	0	0	0	1	1	1	0
5	1	1	0	0	0	0	0	1	0	1	0
4	1	0	1	0	0	0	0	1	1	1	0
3	1	0	1	0	0	0	0	1	0	1	0
2	0	0	0	1	0	0	0	1	1	1	0
1	0	0	0	1	0	0	0	1	0	1	0
0	0	0	0	0	0	0	0	0	0	1	1
-1	0	0	0	1	0	0	0	1	0	0	1
-2	0	0	0	1	0	0	0	1	1	0	1
-3	1	0	1	0	0	0	0	1	0	0	1
-4	1	0	1	0	0	0	0	1	1	0	1
-5	1	1	0	0	0	0	0	1	0	0	1
-6	1	1	0	0	0	0	0	1	1	0	1
-7	1	1	0	0	1	0	1	0	0	0	1
-8	1	1	0	0	1	0	1	0	1	0	1
-9	1	1	0	0	1	1	0	0	0	0	1
-10	1	1	0	0	1	1	0	0	1	0	1

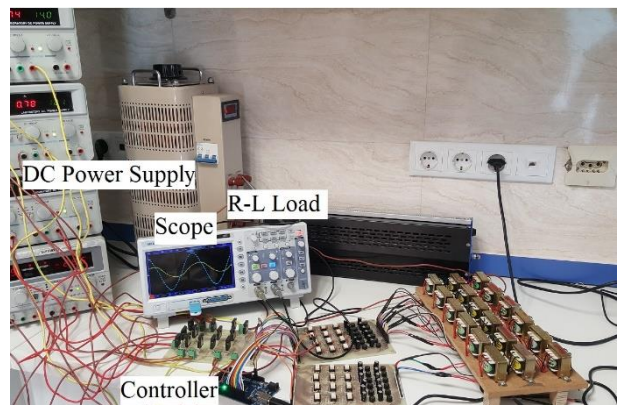


شکل (۸): ساختار ۲۱ سطحی متقارن و ۳۷ سطحی نامتقارن جهت شبیه‌سازی و نمونه آزمایشگاهی

جدول (۳): مشخصات نمونه آزمایشگاهی

پارامترها	مقادیر
DC Sources	4-12V
Output Voltage (Peak)	70-72V
Output Current (Peak)	2.9A
R <sub>Load</sub>	18Ω
L <sub>Load</sub>	54mH
MOSFETs	IRFP 450
GATE Driver	TLP 250
Diodes	1N5408
Controller	Arduino Mega 2560

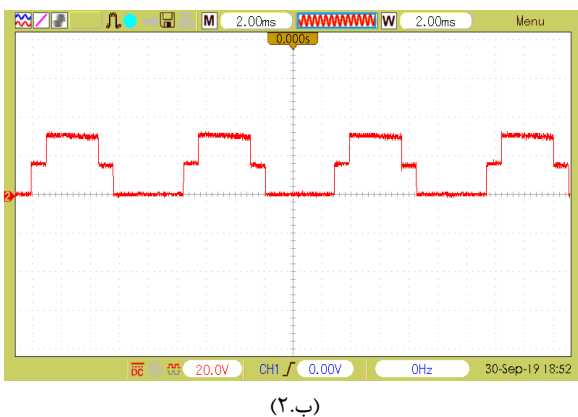
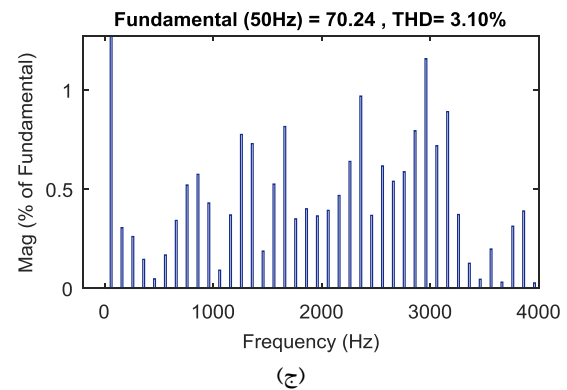
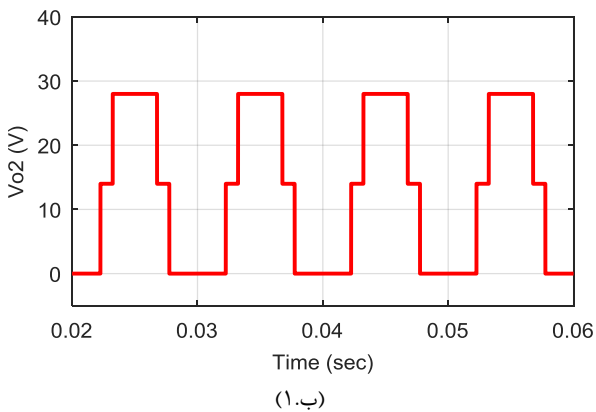
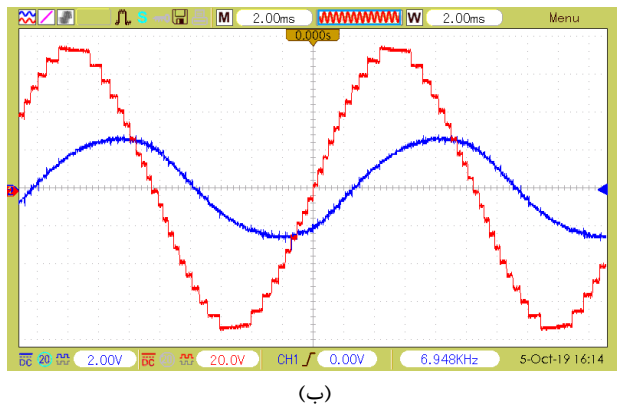
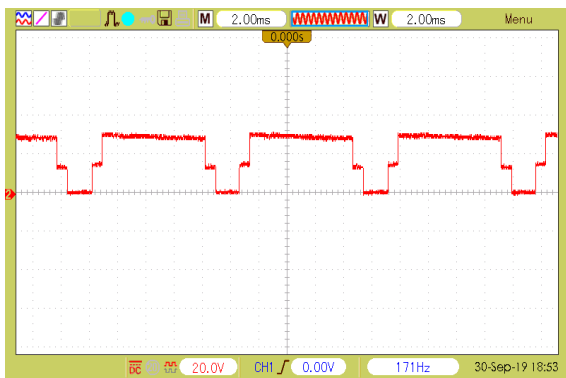
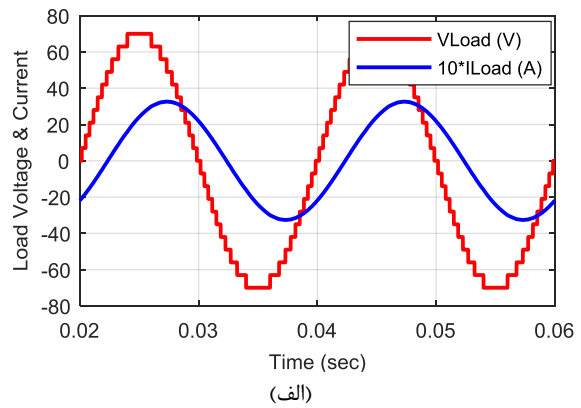
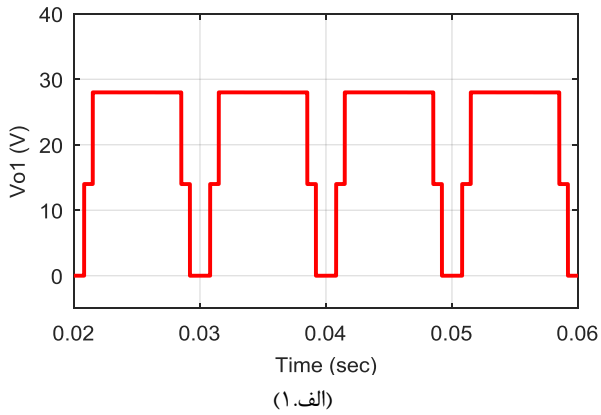
شکل ۱۰ نشان‌دهنده ولتاژ خروجی و نیز جریان خروجی با کلیدزنی فرکانس پایه مبتنی بر روش کلیدزنی پلکانی برای بار اهمی سلفی می‌باشد. این شکل نشان می‌دهد که شکل موج ولتاژ ۲۱ سطحی دارای گام‌های برابر ۷ ولت بوده و میزان اختلاف فاز جریان نسبت ولتاژ برابر با ۴۳ درجه می‌باشد. در شکل ۱۰-الف نتایج شبیه‌سازی و در شکل ۱۰-ب نتایج پیاده‌سازی برای ولتاژ و جریان بار خروجی ارایه شده است. تطابق نتایج شبیه‌سازی و پیاده‌سازی در شکل ۱۰ به وضوح قابل رویت است. در شکل ۱۰-ج توزیع هارمونیک کل ولتاژ ارایه شده است که مقدار THD ولتاژ ۲۱ سطحی تولیدی برابر با ۳/۱٪ حاصل شده است. شایان ذکر است مقدار ولتاژ تولیدی و مقدار THD ولتاژ بدون لحاظ هیچ فیلتری در خروجی اینورتر حاصل شده است و عملاً با THD تولیدی، نیازی به استفاده از فیلتر در خروجی اینورتر وجود نخواهد داشت.



شکل (۹): شمای کلی از مدار عملی ساختار پیشنهادی

### الف) منابع متقارن

در حالت متقارن تمامی منابع ورودی یکسان و منابع سلول پایه اول مطابق  $V_{1,1} = V_{2,1} = V_{3,1} = V_{4,1} = V_{1,2} = 7V$  و همچنین منابع سلول پایه دوم مطابق  $V_{2,2} = V_{3,2} = V_{4,2} = V_5 = V_6 = 7V$  در نظر گرفته شده است. تحت چنین شرایطی پیک ولتاژ خروجی برابر با ۷۰V

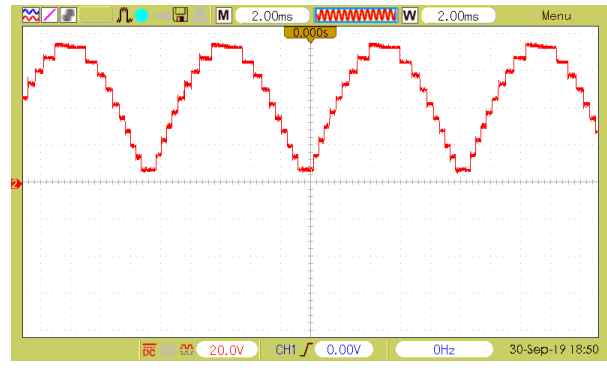
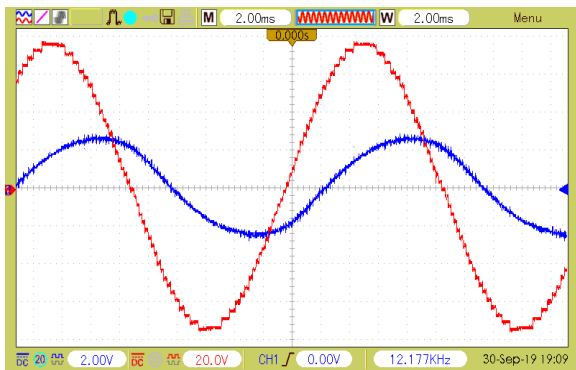
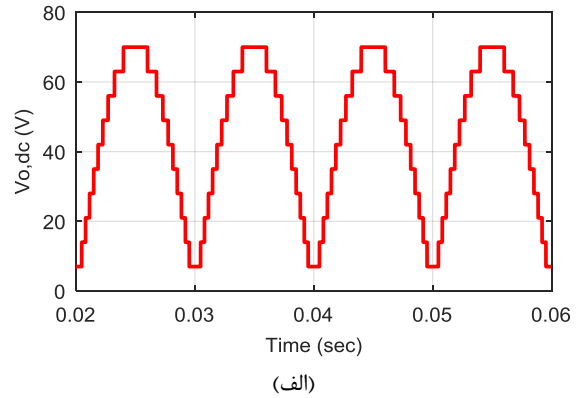
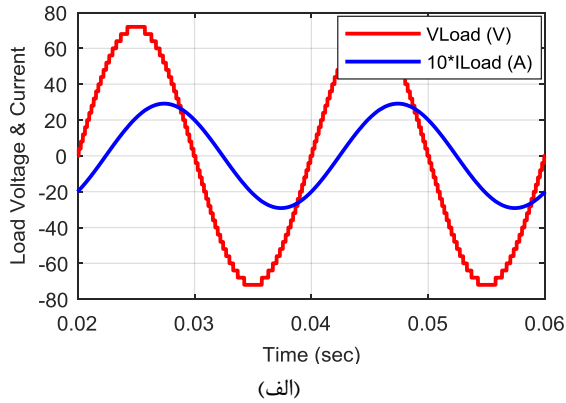


شکل (۱۱): ولتاژ تولیدی در سلول‌های شماره ۱ و ۲ در حالت منابع DC متقارن، الف- نتایج شبیه‌سازی و پیاده‌سازی سلول اول، ب- نتایج شبیه‌سازی و پیاده‌سازی سلول دوم

شکل (۱۰): ولتاژ خروجی ۲ سطحی و جریان خروجی برای بار اهمی سلفی با کلیدزنی نزدیک‌ترین سطح: الف) شبیه‌سازی، ب) پیاده‌سازی، ج) THD ولتاژ خروجی

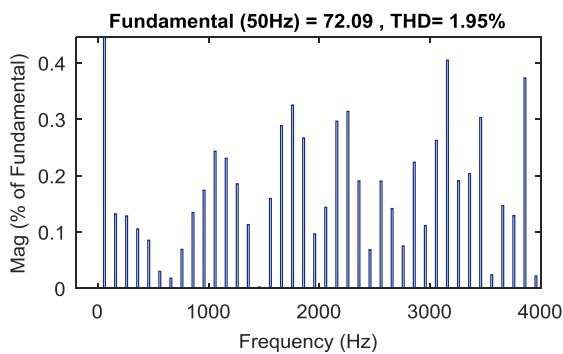
در شکل ۱۱ شکل موج ولتاژ تولیدی توسط سلول‌های شماره ۱ و ۲ پیشنهادی برای منابع متقارن نشان داده است. همانگونه که در این شکل قابل رویت است، هر کدام از سلول‌های پیشنهادی در حالت منابع متقارن سطوح ولتاژ ۲ و ۴ را تولید می‌نمایند. تطابق نتایج شبیه‌سازی و پیاده‌سازی برای ولتاژ تولیدی زیرساختارها در شکل ۱۲ آشکار می‌باشد.

در شکل ۱۲ ولتاژ دو سر پل H حاصل از شبیه‌سازی و نیز پیاده‌سازی نشان داده شده است. همانگونه که اشاره شد، ولتاژ اعمال شده به پل H صرفاً سطوح مثبت را دارا می‌باشد و سطوح ولتاژ منفی و نیز سطح ولتاژ صفر توسط کلیدزنی سویچ‌های پل H تولید می‌شود. تطابق نتایج شبیه‌سازی و پیاده‌سازی نیز در این شکل مشهود است.



(الف)

(ب)



(ج)

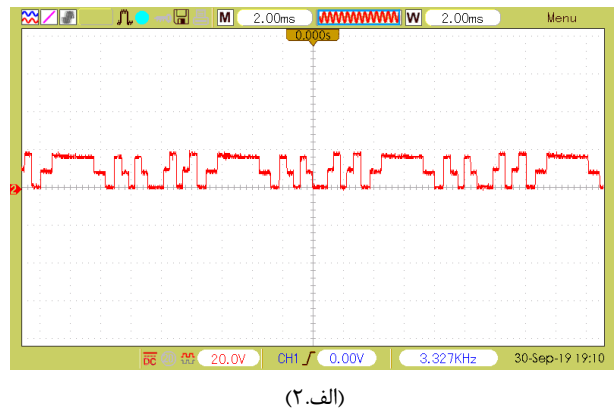
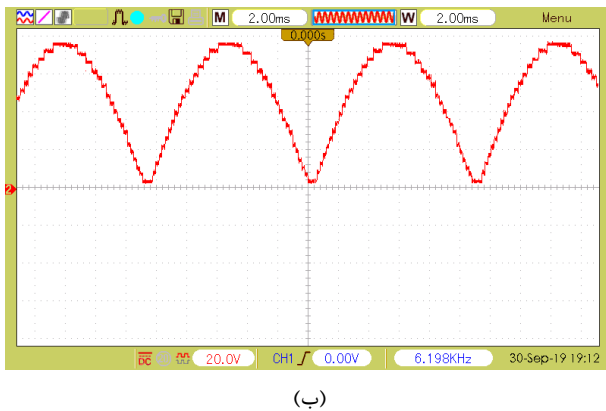
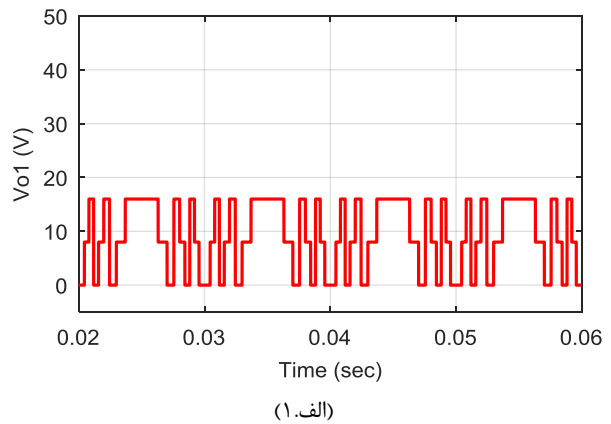
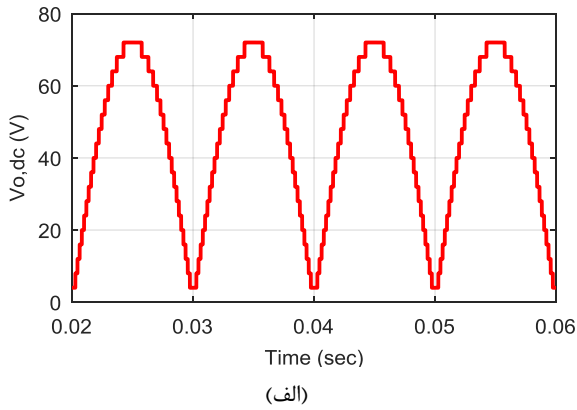
شکل (۱۲): ولتاژ اعمال شده به دو سر پل H برای منابع DC متقارن

### (ب) منابع نامتقارن

برای حالت منابع نامتقارن الگوریتم‌های مختلفی قابل تعریف است که مطابق آن‌ها، اندازه منابع ولتاژ سلول‌های بعدی ضریب مشخصی از اندازه منابع ولتاژ سلول می‌تواند باشد. در این بخش ولتاژ منابع DC سلول دوم سه برابر ولتاژ منابع DC سلول اول در نظر گرفته می‌شود. در این شرایط ۱۶ سطح دیگر به سطوح ولتاژ خروجی اضافه خواهد شد. به عبارت دیگر منابع ولتاژ DC ورودی سلول اول برابر با ۴ ولت ( $V_{1,1} = V_{2,1} = V_{3,1} = V_{4,1} = V_5 = V_6 = 4V$ ) و منابع ولتاژ DC سلول دوم برابر با ۱۲ ولت ( $V_{1,2} = V_{2,2} = V_{3,2} = V_{4,2} = 12V$ ) در نظر گرفته شده است. با مقادیر مذکور پیک ولتاژ خروجی برابر با ۷۲V حاصل خواهد شد. شکل ۱۳ نشان‌دهنده ولتاژ و نیز جریان بار خروجی با کلیدزنی فرکانس پایه مبتنی بر روش مدولاسیون نزدیک‌ترین سطح برای بار اهمی سلفی می‌باشد. در شکل ۱۳-الف نتایج شبیه‌سازی و در شکل ۱۳-ب نتایج پیاده‌سازی برای ولتاژ و جریان بار خروجی ارائه شده است. این شکل نشان می‌دهد که شکل موج ولتاژ ۳۷ سطحی دارای گام‌های برابر ۴ ولت بوده و ساختار پیشنهادی در حالت منابع نامتقارن نیز به درستی کار می‌کند. در ضمن تطابق نتایج شبیه‌سازی و پیاده‌سازی در این شکل قابل رویت است. در شکل ۱۳-ج توزیع هارمونیک کل برای ولتاژ خروجی ارائه شده است که مقدار THD ولتاژ برابر با ۱/۹۵٪ حاصل شده است.

شکل (۱۳): ولتاژ خروجی ۳۷ سطحی و جریان بار اهمی سلفی: (الف) شبیه‌سازی، (ب) پیاده‌سازی، (ج) THD ولتاژ

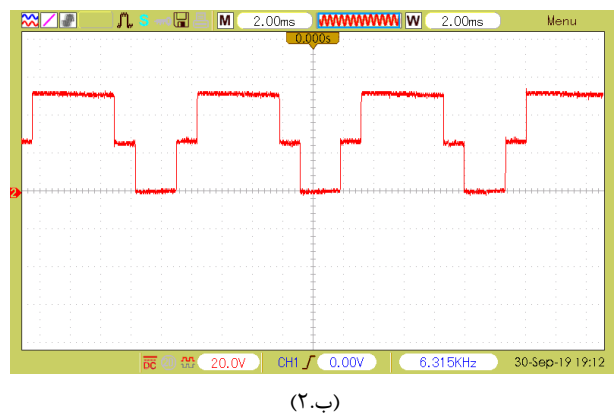
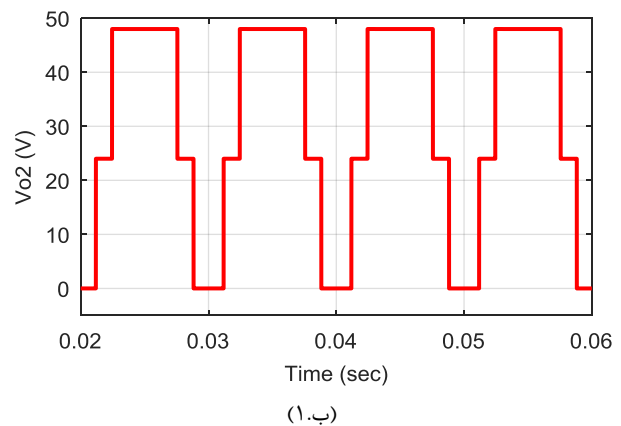
شکل موج ولتاژ تولیدی توسط سلول‌های شماره ۱ و ۲ پیشنهادی برای منابع نامتقارن در شکل ۱۴ نشان داده است. به ازای منابع DC نامتقارن در نظر گرفته شده، سلول پیشنهادی شماره ۱ سطوح ولتاژ ۲ و ۴ و سلول پیشنهادی شماره ۲ سطوح ولتاژ ۶ و ۱۲ را تولید می‌نماید. تطابق نتایج شبیه‌سازی و پیاده‌سازی برای ولتاژ تولیدی سلول در شکل ۱۴ آشکار می‌باشد. ولتاژ دو سر پل H در شکل ۱۵ نشان داده شده است. در حالت نامتقارن نیز ولتاژ اعمال شده به پل H صرفاً سطوح مثبت را دارا می‌باشد و سطوح ولتاژ منفی و نیز سطح ولتاژ صفر توسط کلیدزنی سویچ‌های پل H تولید می‌شود. تطابق نتایج شبیه‌سازی و پیاده‌سازی در این شکل نیز قابل رویت است.



شکل (۱۵): ولتاژ اعمال شده به دو سر پل H برای منابع DC نامتقارن،  
 الف- نتایج شبیه‌سازی، ب- نتایج پیاده‌سازی  
 یکی از مزایای اصلی اینورترهای چندسطحی تولید ولتاژ با اعوجاج هارمونیک کم می‌باشد. طبیعتاً با افزایش تعداد سطوح ولتاژ خروجی، شکل موج ولتاژ خروجی شباهت بیشتری به شکل موج سینوسی پیدا می‌کند و THD ولتاژ کاهش می‌یابد. در جدول ۵ اندازه THD ولتاژ خروجی ساختار پیشنهادی برای سطوح مختلف ولتاژ ارائه شده است. ذکر این نکته ضروری است که اندازه THD ولتاژ به روش کلیدزنی وابسته می‌باشد. در روش کلیدزنی نردبانی اندازه THD نسبت به روش PWM کمتر حاصل می‌شود. البته در مقابل این مزیت برای روش کلیدزنی نردبانی، می‌توان اظهار داشت که در این روش اندازه هارمونیک‌های مرتبه پایین بزرگ‌تر از هارمونیک‌های مشابه در روش PWM خواهد بود.

جدول (۵): مقادیر THD ولتاژ خروجی ساختار پیشنهادی به ازای افزایش تعداد سطوح

اندازه THD ولتاژ خروجی	تعداد سطوح ولتاژ خروجی
٪ ۵/۸۸	۱۳
٪ ۳/۱	۲۱
٪ ۲/۶۱	۲۹
٪ ۲/۱۵	۳۷
٪ ۱/۲۳	۶۱



شکل (۱۴): ولتاژ تولیدی در سلول‌های پیشنهادی شماره ۱ و ۲ در حالت منابع DC نامتقارن، الف- نتایج شبیه‌سازی، ب- نتایج پیاده‌سازی

نتایج شبیه‌سازی و پیاده‌سازی نشان می‌دهد که ساختار پیشنهادی با وجود تعداد سویچ‌های قدرت کم نسبت به سایر ساختارهای ارائه شده اخیر به درستی ولتاژ AC مورد نظر را در دو سر بار تولید می‌کند و از همین رو می‌تواند جایگزین مناسبی برای آن‌ها باشد.

## ۶- نتیجه‌گیری

در این مقاله ساختاری جدید برای اینورتر چندسطحی برای منابع متقارن و نیز منابع نامتقارن پیشنهاد شده است. ساختار پیشنهادی با تعداد ادوات الکترونیک قدرت کم توانایی تولید سطوح ولتاژ بالا را دارا می‌باشد. ساختار پیشنهادی از حیث تعداد سویچ، تعداد درایور گیت، تلفات و راندمان و نیز ولتاژ مسدودکنندگی کل در مقایسه با ساختارهای کلاسیک و نیز ساختارهای ارائه شده اخیر در دو حالت منابع متقارن و نیز منابع نامتقارن شرایط بهتری را دارا می‌باشد. مبدل چندسطحی پیشنهادی با ولتاژ خروجی ۲۱ سطحی در حالت منابع متقارن و با ولتاژ خروجی ۳۷ سطحی برای منابع نامتقارن در محیط Matlab/Simulink با روش کلیدزنی فرکانس پایه مبتنی بر مدولاسیون نزدیک‌ترین سطح شبیه‌سازی شده و پیاده‌سازی شده است. نتایج شبیه‌سازی و پیاده‌سازی بر هم منطبق بوده و عملکرد مناسب ساختار پیشنهادی را نشان می‌دهند.

## مراجع

- [1] N. Mohan, T. M. Undeland, and W. P. Robbins, Power Electronics, Converters, Applications, and Design, John Wiley & Sons, 1992.
- [2] E. Babaei, C. Buccella, and M. Saeedifard, "Recent advances in multilevel inverters and their applications—part I" IEEE Transactions on Industrial Electronics, Vol. 63, No. 11, pp. 7145-7147, 2016.
- [3] E. Babaei, "A cascade multilevel converter topology with reduced number of switches," IEEE Trans. Power Electron., vol. 23, no. 6, pp. 2657–2664, 2008.
- [4] G. J. Su, "Multilevel DC-link inverter," IEEE Transactions on Industry Applications., vol. 41, no. 3, pp. 848-854, 2005.

[۵] سرای‌لو علی، برکاتی سید مسعود. اینورتر چندسطحی آبشاری شبه منبع امیدانسی با استفاده از ترانسفورماتور فرکانس بالا. مجله مهندسی برق و الکترونیک ایران. ۱۳۹۸؛ ۱۶ (۱): ۱۱۹-۱۳۱.

[۶] مهربخش دوگاهه سجاد، باغرامیان آلفرد، محتوی پور سیدسعید. یک ساختار جدید برای بهبود بازدهی اینورترهای متصل‌شده به شبکه فتولتائیک بدون ترانسفورماتور. مجله مهندسی برق و الکترونیک ایران. ۱۳۹۷؛ ۱۵ (۳): ۱۰۵-۱۱۲.

[7] M. F. Kangarlu, E. Babaei, and S. Laali, 'Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources', IET Power Electron, vol. 5, no. 5, pp. 571–581, 2012.

[8] S. Behara, N. Sandeep and U. R. Yaragatti, "Design and Implementation of Transformer-Based Multilevel Inverter Topology With Reduced Components, " IEEE Transactions on Industry Applications., Vol. 54, no. 5, pp. 4632 – 4639, 2018.

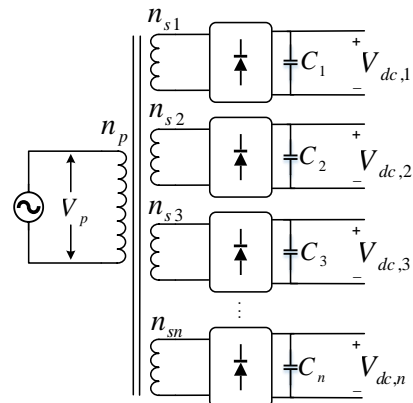
[۹] فشکی فراهانی حسن، حسینی علی‌آبادی محمود، جوادی شهرام، پرکار سیامک. یک ساختار جدید برای اینورترهای منبع ولتاژ سه فاز

به منظور ارائه مقایسه بهتر با ساختارهای ارائه شده اخیر در زمینه THD ولتاژ خروجی، جدول ۶ ارائه شده است. نتایج ارائه شده در این جدول بیانگر مقادیر مناسب و قابل قبول برای ساختار پیشنهادی می‌باشد.

جدول (۶): مقایسه مقادیر THD ولتاژ خروجی ساختار پیشنهادی با ساختارهای ارائه شده اخیر

THD	روش کلیدزنی	تعداد سطح	ساختار چندسطحی
٪ ۱۷/۴۲	PWM	۷	[۲۳] (۲۰۱۷)
٪ ۹/۹۳	PWM	۹	[۲۵] (۲۰۱۵)
٪ ۱۰/۰۲	PWM	۱۱	[۲۳] (۲۰۱۷)
٪ ۸/۶۸	PWM	۱۱	[۲۵] (۲۰۱۵)
٪ ۶/۶۸	SHE	۱۳	[۲۸] (۲۰۲۰)
٪ ۵/۸۸	NLM	۱۳	پیشنهادی
٪ ۷/۱	PWM	۱۷	[۳۰] (۲۰۲۰)
٪ ۵/۴۱	NLM	۱۷	[۲۴] (۲۰۱۸)
٪ ۳/۱	NLM	۲۱	پیشنهادی
٪ ۳/۸۹	NLM	۲۵	[۲۲] (۲۰۱۶)
٪ ۳/۳۷	NLM	۲۵	[۲۹] (۲۰۱۷)
٪ ۲/۶۱	NLM	۲۹	پیشنهادی
٪ ۲/۱۵	NLM	۳۷	پیشنهادی
٪ ۱/۶۲	NLM	۴۹	[۲۹] (۲۰۱۷)
٪ ۱/۲۶	NLM	۴۹	[۲۲] (۲۰۱۶)
٪ ۱/۲۳	NLM	۶۱	پیشنهادی

یکی از چالش‌های ساختار پیشنهادی نحوه تولید منابع DC متعدد می‌باشد. در صورتی که منبع AC در دسترس باشد، می‌توان منابع DC متعدد را مطابق با شکل ۱۶ با استفاده از ترانسفورماتور و یکسوساز تولید نمود [۳۵].



شکل (۱۶): تامین منابع DC متعدد با استفاده از ترانسفورماتور و یکسوساز

- of Circuit Devices,” IEEE Transaction on Industrial Electronics, vol. 62, no. 11, 2015.
- [26] M.R. Banaei, M.R. Jannati Oskuee and H. Khounjahan, “Reconfiguration of semi-cascaded multilevel inverter to improve systems performance parameters,” IET Power Electron., vol. 7, no. 5, pp. 1106-1112, May 2014.
- [27] H. Samsami, A. Taheri, and R. Sammanbakhsh, “New bidirectional multilevel inverter topology with staircase cascading for symmetric and asymmetric structures,” IET Power Electron, Vol. 10 Iss. 11, pp. 1315-1323, 2017.
- [28] S. M. Ali, R. S. Alishah, and V. Krishnasay, “A New Generalized Multilevel Converter Topology with Reduced Voltage on Switches, Power losses and Components,” IEEE Journal of Emerging and Selected Topics in Power Electronics, Early Access.
- [29] M. Saeedian, J. Adabi and S. M. Hosseini, “Cascaded multilevel inverter based on symmetric-asymmetric DC sources with reduced number of components,” IET Power Electron, Vol. 10, Iss. 12, pp. 1468-1478, 2017.
- [30] J. S. M. Ali, R. S. Alishah, N. Sandeep, S. H. Hosseini, E. Babaei, V. Krishnasay, “A New Generalized Multilevel Converter Topology Based on Cascaded Connection of Basic Units,” IEEE Journal of Emerging and Selected Topics in Power Electronics, Early Access.
- [31] M. F. Kangarlu, E. Babaei and S. Laali “Symmetric multilevel inverter with reduced components based on non-insulated dc voltage sources,” IET Power Electron, Vol. 5, no. 5, pp. 571–581, 2012.
- [32] J. Ebrahimi, E. Babaei and G. B. Gharehpetian, “A New Topology of Cascaded Multilevel Converters With Reduced Number of Components for High-Voltage Applications,” IEEE Transaction on Power Electronics, Vol. 26, no. 11, NOVEMBER 2011.
- [33] J. Ebrahimi, E. Babaei, and G. B. Gharehpetian, “A new multilevel converter topology with reduced number of power electronic components,” IEEE Trans. Ind. Electron, vol. 59, no. 2, pp. 655–667, Feb 2012.
- [34] M. D. Siddique, S. Mekhilef, N.M. Shah and M. A. Memon, “Optimal Design of a New Cascaded Multilevel Inverter Topology With Reduced Switch Count,” IEEE Access, 2019.
- [35] Hosseinpour, A. Seifi, A. Dejamkhooy, F. Sedaghati, “Switch Count Reduced Structure for Symmetric Bi-directional Multilevel Inverter Based on Switch-Diode-Source Cells,” IET Power Electronics, 2020.
- چند سطحی بر مبنای یک منبع تغذیه DC با تعداد کم سوئیچ و دیود  
مجله مهندسی برق و الکترونیک ایران. ۱۳۹۵؛ ۱۳ (۴): ۱۰۷-۱۱۸.
- [10] N. Sandeep and U. R. Yaragatti, “A Switched-Capacitor-Based Multilevel Inverter Topology With Reduced Components,” IEEE Trans. Power Electron., vol. 33, no. 7, July 2018.
- [11] S.H. Latifi Majareh, F. Sedaghati, M. Hosseinpour, and S.R. Mousavi-Aghdam, “Design, analysis and implementation of a generalised topology for multilevel inverters with reduced circuit devices,” IET Power Electron., vol. 12, no. 14, pp. 3724-3731, 2019.
- [12] Y. Hinago and H. Koizumi, “A switched-capacitor inverter using series/ parallel conversion with inductive load,” IEEE Trans. Ind. Electron., vol. 59, no. 2, pp. 878–887, Feb. 2012.
- [13] E. Najafi and A. H. M. Yatim, “Design and implementation of a new multilevel inverter topology,” IEEE Trans. Ind. Electron., vol. 59, no. 11, pp. 4148–4154, Nov. 2012.
- [14] J. Pereda and J. Dixon, “High-frequency link: A solution for using only one DC source in asymmetric cascaded multilevel inverters,” IEEE Trans. Ind. Electron., vol. 58, no. 9, pp. 3884–3892, Sep. 2011.
- [15] Y. Ounejjar, K. Al-Haddad, and L. A. Dessaint, “A novel six-band hysteresis control for the packed U cells seven-level converter: Experimental validation,” IEEE Trans. Ind. Electron., vol. 59, no. 10, pp. 3808–3816, Oct. 2012.
- [16] K. K. Gupta and S. Jain, “Topology for multilevel inverters to attain maximum number of levels from given DC sources,” IET Power Electron., vol. 5, no. 4, pp. 435–446, Apr. 2012.
- [17] E. Babaei, S. Laali and Z. Bayat, “A Single-Phase Cascaded Multilevel Inverter Based on a New Basic Unit with Reduced Number of Power Switches,” IEEE Transactions on industrial electronics, Vol. 62, no. 2, pp. 922-929, 2015.
- [18] J. Ebrahimi, E. Babaei, and G. B. Gharehpetian, “A new multilevel converter topology with reduced number of power electronic components,” IEEE Trans. Ind. Electron., vol. 59, no. 2, pp. 655–667, Feb. 2012.
- [19] S. Rohner, S. Bernet, M. Hiller, and R. Sommer, “Modulation, losses, semiconductor requirements of modular multilevel converters,” IEEE Trans. Industrial Electronics, vol. 57, no. 8, pp. 2633–2642, Aug. 2010.
- [20] M. Ned, T. M. Undeland, and W. P. Robbins, Power Electronics: Converters, Applications and Design., 2nd ed. Hoboken, NJ, USA: Wiley, 2001.
- [21] K. K. Gupta and S. Jain “A Novel Multilevel Inverter Based on Switched DC Sources,” IEEE Transaction on Industrial Electronics, Vol. 61, No. 7, July 2014.
- [22] R. S. Alishah, S. H. Hosseini, E. Babaei and M. Sabahi, “A New General Multilevel Converter Topology Based on Cascaded Connection of Sub-Multilevel Units with Reduced Switching Components, DC Sources and Blocked Voltage by Switches,” IEEE Trans. Industrial Electronics, vol. 63, no. 11, pp. 7157–7164, 2016.
- [23] M. Jayabalan, B. Jeevarathinam and T. Sandirasegarane, “Reduced switch count pulse width modulated multilevel inverter,” IET Power Electronics 10(1), 10-17, 2017.
- [24] C. Dhanamjayulu, and S. Meikandasivam, “Implementation and Comparison of Symmetric and Asymmetric Multilevel Inverters for Dynamic Loads,” IEEE Access, vol. 6, 2018.
- [25] M. R. J. Oskuee, M. Karimi, S. N. Ravadanegh and G. B. Gharehpetian, “An Innovative Scheme of Symmetric Multilevel Voltage Source Inverter with Lower Number