بررسی و شبیه‌سازی تأثیر میزان غلظت ناخالصی زیرلایه بر زمان تأخیر کلیدزنی در ترانزیستورهای اثر میدان UTBB 22nm سیلیکون روی عایق دولایه

زهرا حسینی[۱] آرش دقیقی[۲]

۱-دانش آموخته کارشناسی ارشد- دانشکده فنی و مهندسی، دانشگاه شهرکرد، شهرکرد، ایران

zahra.hoseini736@gmail.com

۲-دانشیار- دانشکده فنی و مهندسی، دانشگاه شهرکرد، شهرکرد، ایران

daghighi-a@eng.sku.ac.ir

چکیده:

در این مقاله ابتدا ساختار ترانزیستورهای UTBB تمام تخلیه سیلیکون روی عایق دولایه را بررسی می‌کنیم. اهمیت محاسبه زمان تأخیر برای ترانزیستورهای UTBBتمام تخلیه سیلیکون روی عایق در آنجا دیده می‌شود که علی‌رغم فواید بایاس مستقیم زیرلایه همیشه نمی‌توان به زیرلایه بایاس مستقیم اعمال کرد و برای داشتن مصالحه بین سرعت و نشتی لازم است ابتدا زیرلایه در حالت بدون بایاس باشد تا میزان نشتی ثابت بماند سپس بایاس مستقیم را برای داشتن حداکثر سرعت ترانزیستور اعمال کرد. سرعت کلیدزنی این عمل باید بسیار زیاد باشد. زمان تأخیر ترانزیستور در کلیدزنی ولتاژ زیرلایه متأثر از میزان ناخالصی زیرلایه است و هر چه میزان ناخالصی زیر لایه افزایش یابد زمان تأخیر کمتر خواهد بود. به‌نحوی‌که برای غلظت زیر لایه برابر10^{15}زمان تأخیر ۱ میکروثانیه است و برای غلظت زیرلایه برابر 10^{18} این زمان به ۰،۰۳ نانوثانیه کاهش می‌یابد. درنتیجه غلظت زیرلایه بر زمان روشن شدن ترانزیستور اثر دارد و باید به‌عنوان یک فاکتور مهم در طراحی مدار لحاظ گردد، چراکه وقتی ترانزیستور به حالت پایدار برسد، زمان تأخیر می‌تواند باعث ایجاد نویز و جیتر در سیگنال خروجی مدارات دیجیتال شود.

کلمات کلیدی: تمام تخلیه، سیلیکون روی عایق، بدنه و لایه اکسید بسیار نازک، ترانزیستور اثر میدان

نوع مقاله: پژوهشی

تاریخارسالمقاله: ۱۳۹۸/۳/۶

تاریخ پذیرش مشروط مقاله: ۱۳۹۹/۰۳/۲۳

تاریخ پذیرش مقاله: ۱۳۹۹/۴/۳۰

نامنویسنده‌یمسئول: دکتر آرش دقیقی

نشانی نویسنده‌ی مسئول: ایران – شهرکرد – دانشگاه شهرکرد – دانشکده فنی

۱- مقدمه

ویژگی کلیدی ساختار سیلیکون روی عایق، لایه اکسید سیلیکون است که در زیر لایه بالایی قرارگرفته است. این لایه، لایه‌ی اکسید مدفون‌شده (BOX)[i] نام دارد که با اکسیداسیون لایه سیلیکون و یا نفوذ دادن اتم‌های اکسیژن به داخل لایه سیلیکون به وجود می‌آید[۱]. ترانزیستورهای سیلیکون روی عایق تمام تخلیه، ترانزیستورها-یCMOS مسطحی هستند که روی یک لایه خیلی نازک از سیلیکون نشسته بر اکسید مدفون ساخته‌شده‌اند؛ بنابراین آن‌ها را افزاره‌های با بدنه بسیار نازک می‌گویند. وضعیت الکتریکی کانالی که بین سورس و درین شکل می‌گیرد، به لایه بسیار نازک سیلیکون زیر گیت محدود می‌شود[۲].

هنگامی‌که ضخامت فیلم سیلیکونی کمتر از ۱۰ نانومتر باشد ساختاری با بدنه بسیار نازک داریم، ترانزیستورهایی با بستر سیلیکون روی عایق که با لایه‌نازک فیلم سیلیکونی ساخته می‌شوند به دلیل کنترل بسیار خوب آثار کانال کوتاه موردتوجه هستند، به‌منظور حذف بسیار بیشتر آثار کانال کوتاه، ضخامت لایه سیلیکونی باید یک‌چهارم تا یک‌سوم طول یک ترانزیستور باشد، به‌عنوان‌مثال برای طول ۲۰ نانومتر، ضخامت فیلم سیلیکونی نباید بیشتر از ۵ یا ۶ نانومتر باشد. برای کنترل هرچه بیشتر کانال توسط زیرلایه، ضخامت اکسید مدفون‌شده در ترانزیستورهای با بدنه بسیار نازک به حدود ۲۰ تا ۳۰ نانومتر محدود می‌گردد که منجر به بهبود کارآیی و افزایش سرعت سوئیچ زنی ترانزیستور[ii] می‌گردد[۳].

در ماسفت‌های معمولی زمانی که طول کانال کاهش یابد، به علتافزایش خازن‌های سورس/درین، گیت کنترل کمتری بر روی کانالدارد، ازاین‌رو اثرات کانال کوتاه موجب کاهش اعتبار برخی مشخصه‌های افزاره، نظیر ولتاژ آستانه می‌شود؛ با کاهش طول کانال به دنبال اثرات کانال کوتاه مشکلات دیگری نیز واقع می‌شوند نظیرکاهش شیب زیر آستانه، کاهش نرخ I_{on}/I_{off}، کاهش قابلیت تحریک حامل‌ها در کانال، کاهش طول عمر و کارایی ترانزیستور، کاهش سدپتانسیل ناشی از القای درین و اثر حاملهای داغ در ولتاژهای درین بالا[۴]. ازآنجاکه از ترانزیستورهای ماسفت به‌منظور ساختکلیدهای آنالوگ نیز استفاده می‌شود، لذا بسته به کاربرد کلید، برخی از مشخصه‌های مذکور نظیر خازن‌های پارازیتی، مقاومت حالت روشن،مقاومت حالت خاموش و غیره می‌تواند مهم باشد [۵]، ازاین‌رو بهبوداین پارامترها اهمیت می‌یابد.

بایاس زیرلایه در ترانزیستورهای UTBB تمام تخلیه سیلیکون روی عایقیک ویژگی کلیدی از توانایی این فنّاوری برای داشتن عملکرد بالا و توان مصرفی پایین به‌منظور بهینه‌سازی انرژی است. بایاس زیرلایه شامل اعمال ولتاژ در زیر BOX ترانزیستور به‌منظور تغییر ولتاژ آستانه برای رسیدن به بازده موردنظر یا کاهش توان مصرفی نشتی است. در سطح ترانزیستور، تغذیه ولتاژ بایاس پشتی برای زیرلایه ترانزیستور، با استفاده از اتصال زیرلایه فراهم می‌شود[۶]. یکی از فواید اصلی ترانزیستورهای با بدنه و لایه اکسید بسیار نازک تمام تخلیه سیلیکون روی عایق این است که بهره‌وری بایاس بدنه با مقیاس کاهش نمی‌یابد:درواقع می‌تواند به‌وسیله مدولاسیون فیلم سیلیکونی و ضخامت اکسید مدفون ثابت باشدیا افزایش پیدا کند. برای ماسفت نوع N بایاس مستقیم بدنه یعنی ولتاژ زیرلایهبالاتر از ولتاژ زمین و بایاس معکوس مخالف این حالت خواهد بود.در مقابل برای ماسفت نوع P بایاس مستقیم یعنی ولتاژ زیرلایه پایین‌تر از حداکثر ولتاژ تغذیه است.علاوه بر این شایان‌ذکر است که رنج بایاس بدنه در فنّاوری بالک محدود به300mV-در بایاس معکوس بدنه به دلیل GIDL[iii]می‌شود.درحالی‌که در بایاس مستقیم بدنهبه علتنشتی پیوند سورس و درین، به300mV+ محدود می‌شود. فنّاوری با بدنه و لایه اکسید بسیار نازک تمام تخلیه سیلیکون روی عایق می‌تواند رنج بایاس بدنه را به ۳- تا ۳+ ولت به ترتیب برای بایاس معکوس و مستقیم بدنه گسترش دهد.لایه اکسید مدفون ایزولاسیون دی‌الکتریک کاملی برای سورس و درین فراهم می‌کندکه این به رنج ولتاژ بهینه‌ای که برای بایاس بدنهبکار می‌رود وابسته است. محدوده ولتاژ بایاس بدنه به کاربرد وابسته است و طوری انتخاب می‌شود که بیشترین فرکانس را داشته باشیم، درحالی‌که توان را مطابق بودجه هدف در نظر بگیریم.

بنابراین فرکانس کاری پردازنده به‌نوعی وابسته به‌سرعت سوئیچ کردن ولتاژ زیرلایه بین حداکثر و حداقل مقدار مجاز می‌شود زیرا اگر قبل از اینکه ترانزیستور به پایداری برسد، وارد مدار گردد،می‌تواند باعث ایجاد جیتر در مسیر سیگنال گردد. در این مقاله، نشان داده می‌شود که سرعت سوئیچ کردن به غلظت ناخالصی زیر لایه وابسته است و با تغییر غلظت ناخالصی زیرلایه، تأثیر آن را در سرعت سوئیچزنی ترانزیستور نشان می‌دهیم.

۲- تکنیک ولتاژ تغذیه دینامیکی و مقیاس‌پذیری فرکانس کلاک دینامیکی (DVFS)[iv]:

افزایش سطح تلفات توان در پردازنده‌های ساخته‌شده با تکنولوژی‌های پیشرفته ساخت CMOS موجب شده است تا حداقل کردن توان، نیازمندی کالگوی طراحی کلیدی باشد یک روش برای کاهش توان مصرفی استفاده از DVFS است. تکنیک DVFS برای کاهش هم‌زمان توان دینامیکی و نشتی تراشه‌های با چندین قابلیت پردازش به کار می‌رود. هر پردازنده می‌تواند با یک ولتاژ بالا یا پایین شروع به کار کند یا از هر دو جدا شود.

کلیدزنی بین منابع توان برای کاهش توان مصرفی بدون هیچ تأثیر مهمی بر عملکرد، به‌صورت دینامیکی مهیا می‌شود[۷]. کاهش ولتاژ منبع بر اساس رابطه زیر منجر به کاهش مربعی توان دینامیکی می‌شود:

$$P_{dyn} = aCV_{dd}{}^2 f \quad (۱)$$

که a ضریب امکان کلیدزنی، C معادل خازن بار، V_{dd} ولتاژ منبع و f فرکانس کلاک هست. بدون تغییر ولتاژ منبع، توان می‌تواند کاهش یابد؛ اما با کاهش فرکانس مصرف انرژی ثابت می‌ماند. از طرفی وقتی ولتاژ منبع کاهش می‌یابد باعث کاهش توان می‌شود چراکه که انرژی دینامیکی مصرفی یک گیت تابع مستقیم از ولتاژ منبع است.

$$E = CV_{dd}{}^2 \quad (۲)$$

در شرایط عادی توان نشتی با کاهش ولتاژ منبع کاهش می‌یابد. این موضوع هم برای نشتی زیر آستانه و هم برای نشتی گیت صدق می‌کند:

$$P_{sub-leakage} \propto (1-e^{V_{dd}}) \quad (۳)$$

$$P_{gate-leakage} \propto (V_{dd}{}^2 / e^{V_{dd}}) \quad (۴)$$

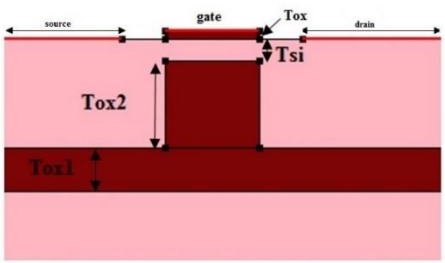
کاهش ولتاژ منبع باعث افزایش تأخیر گیت t_dمی‌شود[8]

$$t_d = CV_{dd} / (V_{dd} - V_t)^{\alpha} \quad (۵)$$

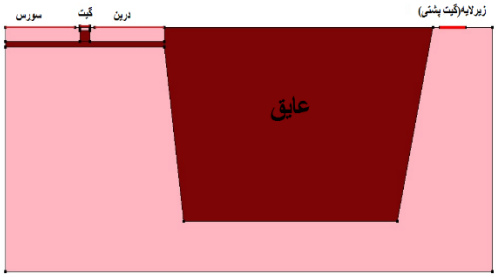
که V_t ولتاژ آستانه هست و آلفا ضریب سرعت اشباع هست و در مقیاس نانو تقریباً ۱ در نظر گرفته می‌شود. برای اطمینان از عملکرد سنکرون سیستم فرکانس باید به‌صورت نرمال با ولتاژ مقیاس شود.

۳- ساختار ترانزیستور سیلیکون روی عایق دولایه:

در این ساختار عایق مدفون از دولایه تشکیل‌شده است که لایه اول عایق از جنس SiO2 و لایه دوم آن از جنس الماس است. لایه‌ی عایق اول به‌طور کامل بر روی زیرلایه قرار می‌گیرد درحالی‌که لایه‌ی عایق دوم به‌طور جزئی لایه اول را می‌پوشاند [۱۰]و[۱۱]. در این نوع ترانزیستور دو درجه آزادی برای بهینه‌سازی رفتار الکترواستاتیک ترانزیستور در اختیارداریم زیرا با تغییر ضخامت و طول لایه عایق دوم می‌توان بر رفتار الکتروستاتیک جریان کانال دسترسی بیشتری داشت. بخش بدنه (کانال)، عایق‌های اول و دوم و محدوده سورس، درین و گیت در شکل۱ نشان داده‌شده است. ابعاد این افزاره در جدول ۱ آورده شده است. ساختار کامل افزاره UTBB تمام تخلیه سیلیکون روی عایق در شکل ۲ نشان داده‌شده است.



شکل(۱): قسمت بدنه و عایق‌های ترانزیستور



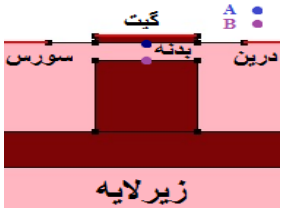
شکل(۲): ساختار افزاره UTBB تمام تخلیه سیلیکون روی عایق

جدول(۱): تعیین ابعاد افزاره

نام	نماد روی شکل	اندازه برحسب نانومتر	نوع ماده بکار رفته
ضخامت بدنه ترانزیستور	Tsi	۵	سیلیکون
ضخامت لایه اول عایق	Tox1	۱۰	الماس
ضخامت لایه دوم عایق	Tox2	۲۰	سیلیکون دی‌اکسید
ضخامت عایق گیت	Tox	۲	سیلیکون دی‌اکسید

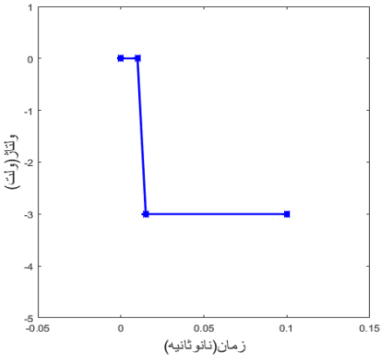
۴-توصیف مسئله:

اهمیت محاسبه زمان تأخیر برای ترانزیستورهای با بدنه و لایه اکسید بسیار نازک تمام تخلیه سیلیکون روی عایق در آنجا دیده می‌شود که برای داشتن مصالحه بین سرعت و نشتی همیشه نمی‌توان به زیرلایه بایاس مستقیم اعمال کرد، برای ترانزیستورهای نوع N بایاس مستقیم بدنه یعنی ولتاژ اعمالی به بخش زیر لایه مثبت باشد و برای ترانزیستورهای نوع P به معنای ولتاژهای بایاس منفی هست. ساختار ما یک ترانزیستور نوع N است و بنابراین لازم است ابتدا ولتاژ صفر ولت به زیرلایه اعمال شود تا میزان نشتی ثابت بماند سپس ولتاژ مثبت ۳ ولت را برای داشتن حداکثر سرعت اعمال کرد و سرعت کلیدزنی این عمل باید بسیار زیاد باشد در ترانزیستور نوع N، کانالیا همان بدنه از نوع Pهست یعنی در آن تجمع حفره داریم. ولتاژ آستانه، ولتاژی است که در آن تعداد الکترون‌های ناحیه کانال حداقل برابر تعداد حفره‌ها شود تا جریان برقرار گردد. آنچهبه‌عنوان جریان کانال از آن یاد می‌شوددرواقع برآیند حرکت الکترون‌ها در تمام ناحیه بدنه است؛ ما برای اندازه‌گیری دقیق‌تر تعداد الکترون‌ها را در نقاط A,B که در شکل۳ مشخص‌شده‌اند اندازه می‌گیریم، این نقاط ازنظر طولی در وسط بدنه هستند و ازنظر عرضی در مرز بین بدنه و لایه عایق قرارگرفته‌اند. نقطه A محل تشکیل کانال جلویی و نقطه B محل تشکیل کانال پشتی است.

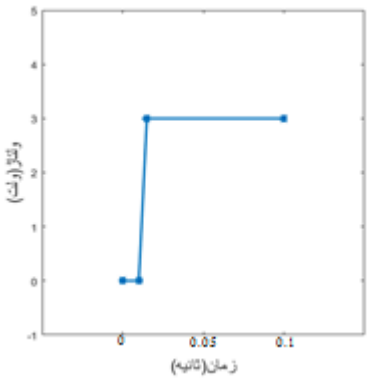


شکل (۳): تعیین دو نقطه کاربردی در بدنه برای اندازه‌گیری تعداد الکترون‌ها

برای محاسبه‌ی اینکه چقدر زمان طول می‌کشد تا تعداد الکترون‌ها به مقدار موردنظر برسد ولتاژ هر پایانه را به‌صورت یک پالس به آن اعمال می‌کنیم و روند تغییر تعداد الکترون‌ها را بررسی می‌کنیم. شکل۴ و ۵ نمودار تغییر پالس اعمالی به زیرلایه را نشان می‌دهند. در شکل ۴ زمان ۰,۱ نانوثانیه برای اینکه تعداد الکترون‌ها در تمام غلظت‌ها به حد موردنظر برسند کافی هست. شکل۵ نمودار کلیدزنی بین ۰ تا ۳ ولت برای غلظت 10^{18} را نشان می‌دهد، برای سایر غلظت‌ها همین نمودار با زمان بیشتری استفاده‌شده است تا الکترون‌ها فرصت کافی داشته باشند به غلظت حالت پایدار خود برسند.



شکل(۴): پالس اعمالی به زیر لایه ترانزیستور وقتی ولتاژ آن روی ۰ و ۳- کلیدزنی می‌کند



شکل(۵): پالس اعمالی به زیر لایه ترانزیستور وقتی ولتاژ آن روی ۰ و ۳ کلیدزنی می‌کند (پالس نمونه)

۵- نتایج شبیه‌سازی:

هر عمل کلیدزنی بین دو ولتاژ مختلف دارای یک‌میزانی تأخیر هست که بخشی از آن مربوط به مدارات الکترونیک و دیجیتال تولیدکننده این ولتاژها که شامل مدارهای پمپ شارژ، مبدل دیجیتال به آنالوگ، بافر سه حالته و شبکه‌های gnd و vdd هست[۶] و قسمتی از این تأخیر مربوط به زمان تأخیر داخلی ترانزیستور است. عمدتاً برای محاسبه زمان تأخیر، تنها زمان تأخیر مربوط به مدارات آنالوگ و دیجیتال ذکرشده را در نظر می‌گیرند درصورتی‌که ما در این مقاله نشان می‌دهیم که زمان تأخیر خود ترانزیستور می‌تواند قابل‌ملاحظه با زمان‌های تأخیر دیگر عناصر باشد و اگر میزان غلظت زیر لایه به‌درستی انتخاب گردد می‌توان این زمان تأخیر را به بهینه مقدار رساند.

برای در نظر گرفتن اثرات غیر ایده آل مانند ترکیب مدل‌های فیزیکی پیشرفته روش‌های عددی برای شبیه‌سازی ادوات نیمه‌هادی استفاده می‌شودDESSIS یک شبیه‌ساز چندبعدی الکترو-حرارتی برای تجزیه‌وتحلیل افزاره‌های سیلیکون روی عایق است[12]. در این ابزار می‌توان برای در نظر گرفتن اثرات مکانیک کوانتومی و چاه پتانسیل از معادله شرودینگر استفاده کرد؛ اما در ساختار پیشنهادی این مقاله به علت داشتن دولایه عایق و UTBB بودن ترانزیستور و به‌طورکلی پیچیده بودن افزاره امکان حل آن توسط معادله شرودینگر ممکن نیست و حل افزاره را با استفاده از معادله پوآسن انجام می‌دهیم. حل افزاره‌ها با معادله‌ی شرودینگر به علت دقت زیاد آن تنها برای افزاره‌های با ساختار ساده امکان‌پذیر است و برای افزاره‌ی ما با چنین ساختاری بسیار زمان‌بر و تقریباً غیرممکن است؛ و نتایج حل معادله پوآسن با تقریب قابل‌قبول است.

معادله پوآسن رابطه پتانسیل الکترواستاتیک ϕ برای به دست آوردن توزیع بار ρ است. ازآنجاکه گذردهی را مقیاس‌پذیرمی‌دانیم و مقدار آن برای مواد همگن ثابت است، معادله پوآسنبه‌صورت زیر به دستمی‌آید:

$$\vec{\nabla}.\vec{\nabla}\phi = -\frac{\rho}{\varepsilon} \qquad (۶)$$

رابطه‌ی چگالی بارفضایی ρ به‌صورت زیر است:

$$\rho = q(p - n + C) \qquad (۷)$$

که qبار اولیه، p,n به ترتیب میزان غلظت حفره‌ها و الکترون‌ها و C غلظت بارهای اضافی است که معمولاً ثابت است. این بارهای اضافی می‌تواند ناشی از ناخالصی‌های دهنده (N_D) یا ناخالصی‌های گیرنده (N_A) باشد که از نوع حفره‌ها (ρ_p) یا الکترون‌های (ρ_n) به دام افتاده هستند.

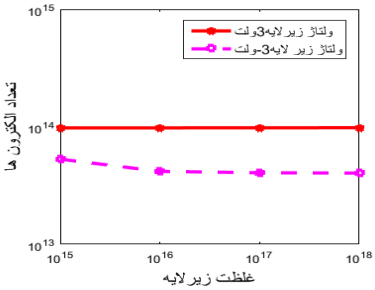
$$C = N_D - N_A + \rho_p - \rho_n \qquad (۸)$$

این گنجایش از حاملهای به دام افتاده برای شبیه‌سازیتأثیر کاهش عملکرد افزاره مهم است.

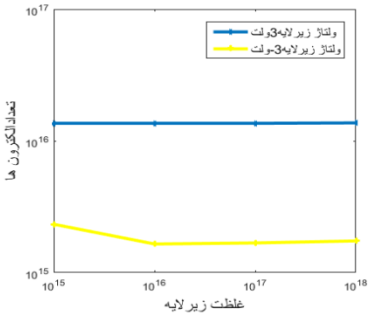
معادلات ۶و۷ منجر به معادله‌پیوآسنیمی‌شود که معمولاً برای شبیه‌سازی ادوات نیمه‌هادی استفاده می‌شود.

$$\vec{\nabla}.\vec{\nabla}\phi = -\frac{q}{\varepsilon}(p - n + N_D - N_A + \rho_p - \rho_n) \quad (۹)$$

برای محاسبه زمان تأخیر با استفاده از تحلیل گذرا نیاز داریم ابتدا تحلیل حالت پایدار را انجام دهیم تا دید مناسبی نسبت به تعداد الکترون‌های موردنیاز برای حالت نهایی هر ولتاژ در اختیار داشته باشیم. برای تحلیل حالت پایدار از حل معادله پوآسن برای افزاره استفاده می‌کنیم، همچنین معادله پوآسن را برای الکترون و حفره‌ها به‌صورت جداگانه حل می‌کنیم. نتایج شبیه‌سازی در شکل‌های۶ و۷ آورده شده است.

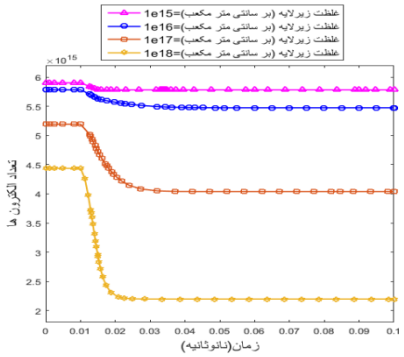


شکل(۶): نمودار تعداد الکترون‌ها برحسب غلظت زیرلایه برای دو ولتاژ اعمالی ۳ و۳- به زیرلایه در نقطه Aبدنه (کانال جلویی)

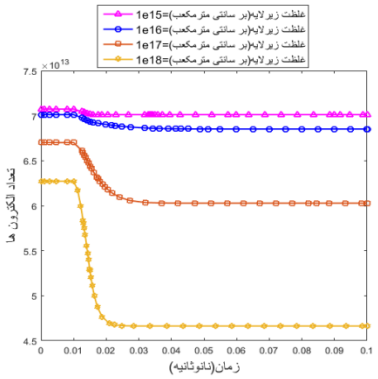


شکل(۷): نمودار تعداد الکترون‌ها برحسب غلظت زیرلایه برای دو ولتاژ اعمالی ۳ و۳- به زیرلایه در نقطه Bبدنه (کانال پشتی)

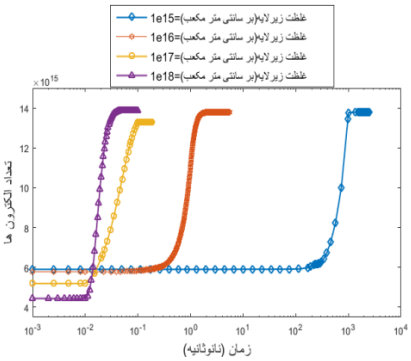
با توجه به شکل‌های ۸ و۹ هنگامی‌که ولتاژ زیر لایه از صفر به ۳- می‌رود، تفاوتی که در زمان تأخیر (زمان موردنیاز الکترون‌ها برای رسیدن از ۱۰ درصد به ۹۰ درصد مقدار نهایی خود) برای غلظت‌های مختلف دیده می‌شود، در رنج صدم نانوثانیه است، بیشترین تفاوت در زمان تأخیرافزاره‌های با مقدارهای مختلف ناخالصی بستر هنگامی اتفاق می‌افتد که قرار است ولتاژ زیرلایه آن‌ها از صفر به سه ولت برود. با توجه به شکل‌های ۱۰ و۱۱ مشاهده می‌کنیم وقتی غلظت زیرلایه cm^{-3} $۱۰^{۱۵}$ است زمان تأخیر بیشترین حالت را داردو هر چه غلظت افزایش یابد این زمان تأخیر کاهش می‌یابد تا جایی که برای غلظت زیرلایه برابر cm^{-3} $۱۰^{۱۸}$ این زمان تأخیر بسیار کوتاه می‌شود.



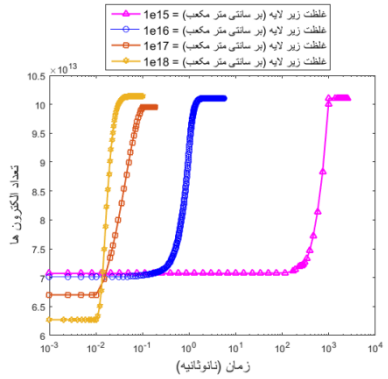
شکل (۸): تحلیل حالت گذرا افزاره برای محاسبه زمان تأخیر برای غلظت‌های متفاوت زیرلایه در نقطه Bبدنه (کانال پشتی)



شکل(۹): تحلیل حالت گذرا افزاره برای محاسبه زمان تأخیر برای غلظت‌های متفاوت زیرلایه در نقطه Aبدنه (کانال جلویی)



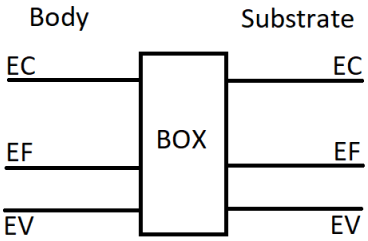
شکل(۱۰): نمودار زمان تأخیر کلیدزنی ترانزیستور برای غلظت‌های متفاوت زیرلایه در نقطه Bبدنه (کانال پشتی)



شکل(۱۱): تحلیل حالت گذرا افزاره برای محاسبه زمان تأخیر برای غلظت‌های متفاوت زیرلایه در نقطه Aبدنه (کانال جلویی)

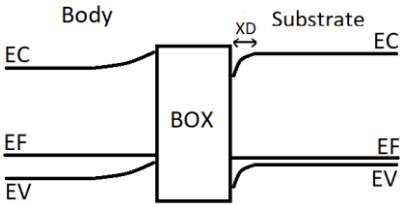
۵-۱- رابطه‌هچگالی الکترون‌ها با سطح فرمی E_f:

همان‌طور که در قسمت نتایج شبیه‌سازی می‌بینید، با تغییر میزان آلایش زیرلایه از $1e15cm^{-3}$ به $1e18cm^{-3}$، تعداد الکترون‌ها در قسمت کانال پشتی کاهش می‌یابد. دلیل این کاهش به‌صورت نمودار دیاگرام باندها [9]در شکل‌های ۱۲ و ۱۳ نشان داده‌شده است.



شکل (۱۲): دیاگرام باند در قسمت بدنه و زیرلایه در حالت تعادل برای آلایش زیرلایه و بدنه به میزان $1e15cm^{-3}$

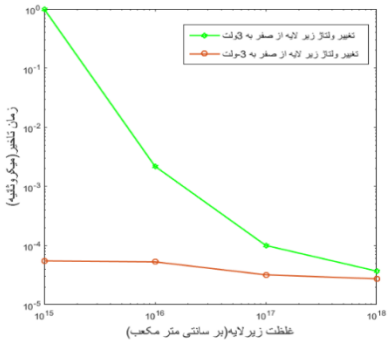
همان‌طور که از شکل ۱۲ مشخص است، وقتی میزان آلایش زیرلایه و بدنه یکسان باشد در حالت تعادل، خم‌شدگی باندهای انرژی نزدیک به لایه اکسید مدفون موجود نیست؛ اما در شکل ۱۳، وضعیت باندهای انرژی وقتی‌که میزان آلایش زیرلایه به $1e18cm^{-3}$ افزایش پیداکرده است دیده می‌شود.



شکل (۱۳): نمودار دیاگرام باند انرژی قسمت بدنه و زیرلایه در حالت تعادل برای آلایش زیرلایه $1e18cm^{-3}$ و بدنه به میزان $1e15cm^{-3}$

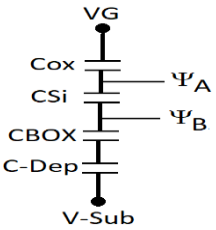
همان‌طور که در شکل ۱۳ مشخص است، آلایش متفاوت زیرلایه با بدنه، باعث ایجاد ناحیه تخلیه در هر دو قسمت ترانزیستور می‌گردد. در قسمت کانال پشتی در بدنه ترانزیستور، به دلیل در نظر گرفتن وضعیت تعادل برای ترانزیستور، سطح انرژی فرمی به باند انرژی ظرفیت نزدیک می‌گردد. به این دلیل، تعداد الکترون‌ها در کانال پشتی کاهش می‌یابد. پس با افزایش میزان آلایش زیرلایه، تعداد الکترون‌ها در کانال پشتی کاهش می‌یابد. این موضوع در شکل‌های ۸، ۹، ۱۰ و ۱۱ مشهود است.

برای مقایسه همه‌ی حالات نموداری مطابق شکل ۱۴ در نظر می‌گیریم. در این نمودار میانگین تأخیر زمانی برای کانال جلویی و پشتی محاسبه‌شده است. این نمودار طول زمان تأخیر برای غلظت‌های متفاوت زیرلایه در دو پالس گیت پشتی را نشان می‌دهد. همان‌طور که از نمودار استنباط می‌شودهنگامی‌که یک ولتاژ خاص به گیت پشتی اعمال می‌شود زمان تأخیرمتأثر از میزان ناخالصی زیرلایه می‌شود و هر چهمیزان ناخالصی زیر لایهافزایش یابد زمان تأخیر کمتر خواهد بود. برای ولتاژهای مثبت این تأخیر بسیار چشم‌گیر است به‌نحوی‌که برای غلظت زیر لایه برابر 10^{15}زمان تأخیر ۱ میکروثانیه و برای غلظت زیرلایه برابر10^{18}این زمان به ۰،۰۳ نانوثانیه کاهش می‌یابد.



شکل(۱۴): نمودار تأخیر زمانی برحسب میزان غلظت زیر لایه در ولتاژهای مختلف

همان‌طور که در شکل ۱۴ دیده می‌شود، با افزایش میزان آلایش زیرلایه، زمان تأخیر روشن شدن ترانزیستور کاهش می‌یابد. دلیل کاهش یافتن تأخیر سوئیچ زنی، افزایش خازن تخلیه در زیرلایه و زیر اکسید مدفون است. شکل ۱۵ نمودار خازن‌های دیده‌شده عمودی از گیت تا اتصال زیر لایه را نشان می‌دهد. با محاسبه‌ی ساختار وتعیین شرایط مرزی می‌توان پتانسیلسطحی را در کانال جلو و پشت به دست آورد؛ اختلاف بین تراز غیر ذاتی در ناحیه‌ی کانال و تراز ذاتی است[۱۳]. در این شکل، ψ_B پتانسیل سطحی گیت پشتی در نقطه B است. رابطه این پارامتر با توجه به شکل ۱۵ به‌صورت زیر است:



شکل (۱۵):خازن‌های مسیر گیت تا اتصال زیرلایه ترانزیستور

$$\psi_B = V_{Sub} + C_1 \times (V_G - V_{Sub})/(C_1 + C_2) \quad (۱۰)$$

که در آن:

$$C_1 = C_{ox}.C_{Si}/(C_{ox}+C_{Si}) \quad (۱۱)$$

$$C_2 = C_{BOX}.C_{-Dep}/(C_{BOX}+C_{-Dep}) \quad (۱۲)$$

است. با تحلیل روابط بالا دیده می‌شود که با کاهش خازن C_{-Dep} به دلیل کاهش آلایش زیرلایه، اثر تغییرات V_{Sub} بر روی ψ_B در رابطه (۱۰) کاهش می‌یابد. کاهش اثر ولتاژ زیرلایه بر روی پتانسیل سطحی، به‌منزله کاهش اثر آن بر روی تعداد الکترون‌ها در گیت پشتی است.

درنتیجه اثر سوئیچینگ ولتاژ زیرلایه در آلایش‌های کمتر زیرلایه، کمتر است و سرعت سوئیچ زنی کاهش می‌یابد.

نتیجه‌گیری:

زمان تأخیر روشن شدن ترانزیستور متأثر از میزان ناخالصی زیرلایه است و هر چهمیزان ناخالصی زیر لایهافزایش یابد زمان تأخیر کمتر خواهد بود. به‌نحوی‌که برای غلظت زیر لایه برابر10^{15}زمان تأخیر ۱ میکروثانیه است و برای غلظت زیرلایه برابر 10^{18} این زمان به ۰،۰۳ نانوثانیه کاهش می‌یابد. درنتیجه غلظت زیرلایه بر زمان روشن شدن ترانزیستور اثر دارد و باید به‌عنوان یک فاکتور در طراحی مدار لحاظ گردد، چراکه وقتی ترانزیستور به حالت پایدار برسد، زمان تأخیر می‌تواند باعث ایجاد نویز و جیتر در سیگنال خروجی مدارات دیجیتال شود.

مراجع:

[1] T. Sakurai, A. Matsuzawa, and T. Douseki, "Fully-depleted SOI CMOS circuits and technology," Springer, 2006.

[2] N. Planes ,O. Weber, V. Barral, S. Haendler, D. Noblet, D. Croain, et al., "28nm FDSOI technology platform for high-speed low-voltage digital applications," VLSI Technology (VLSIT), 2012 Symposium on, pp. 133-134, 2012.

[3]W.Chang, Ch.Shih, J.Wu, Sh.Lin, L. Cin, W.Yeh, "Back-biasing to Performance and Reliability Evaluation of UTBB FDSOI, Bulk FinFETs, and SOI FinFETs, " IEEE Transactions on Nanotechnology, vol.17,no.1,pp.36-40,Jan,2018.

[۴]قبادی، افضلی کوشا،"بررسی و مدل‌سازی اثر ناپایداری در دمای بالا وبایاس منفی(NBTI) و تزریقحامل‌های انرژی (HCI) در افزاره‌هایچند گیتی نانومتری"، مجله انجمن مهندسین برق و الکترونیک ایران،شماره دوم، صفحه ۱-۱۴ ، پائیز ۹۴.

[۵]حسن‌زاده، دانائی،"یک راهکار جدید برای کاهش جریان نشتی درکلیدهای CMOS"، مجله انجمن مهندسین برق و الکترونیک ایران،شماره چهارم صفحه۳۳-۴۰، زمستان۹۵.

[6] D. Jacquet, F. Hasbani, P. Flatresse, R. Wilson, F. Arnaud, G. Cesana, et al., "A 3 GHz dual core processor ARM cortex TM-A9 in 28 nm UTBB FD-SOI CMOS with ultra-wide voltage range and energy efficiency optimization," IEEE Journal of Solid-State Circuits, vol. 49, pp. 812-826,2014.

[7] H. Cheng, M. Baas, "Dynamic voltage and frequency scaling circuits with two supply voltages" IEEE International Symposium on Circuits and Systems,2008.

[8] S. Ben, G and B. Sanjay Kumar," Solid State Electronic Devices, NEW Delhi, pp. 270-273, 2009.

[9]International Technology Roadmap for Semiconductors (ITRS), http://public.itrs.net/

[10]A. Daghighi, " Double insulating silicon-on-diamond device," USPTO patent, US9077588 B2.

[11] A.Daghighi, "A novel structure to improve DIBL in fully-depleted silicon-on-diamond substrate."Elsevier Diamond & Related Materials, vol. 40, pp. 51-55, 2013.

[12] DESSIS Manual, ISE Integrated System Engineering, Version 10.0.

[۱۳]سپهری, دقیقی، "به دست آوردن رابطه‌ی ولتاژ آستانه در ماسفت‌های سیلیکون روی الماس با طول کانال ۲۲ نانومتر و یک لایه عایق اضافی"،مجله مهندسین برق و الکترونیک ایران، شماره دوم، صفحه ۵۷-۶۴، تابستان ۹۸.

زیرنویس‌ها:

[1]Buried oxide (BOX)
[2]Ultra-Thin Body and BOX (UTBB)
[3]Gate induced drain leakage
[4] Dynamic voltage & frequency scaling