طراحی مدار دیجیتال فوق کم توان برای دریافت و کدگشایی سیگنال فعالسازی گره های بیسیم در فناوری اینترنت اشیا

یوسف مافی[۱] سید علی حسینی[۲]

۱- دانش آموخته کارشناسی ارشد- دانشکده مهندسی برق و کامپیوتر- دانشگاه تهران- تهران- ایران
yousef.mafi@ut.ac.ir

۲- استادیار- دانشکده فنی و مهندسی- دانشگاه بین المللی امام خمینی (ره) - قزوین- ایران
sahosseini@eng.ikiu.ac.ir

چکیده: در این مقاله ساختاری جدید از آدرس دیکودرها (Address Decoder) بر مبنای فلیپ فلاپ (Flip Flop) برای بخش بیدارکننده سخت‌افزارهای بیسیم که با جذب انرژی محیط روشن نگاه داشته می شوند، ساختار پیشنهادشده برای آدرس دیکودر دیجیتال فوق کم‌توان در مقایسه با ساختار آدرس دیکودر دیجیتال متداول بسیار کم‌توان بوده و در سیستم‌هایی با طول آدرس بلندتر و نرخ داده بالاتر به همان میزان توان مصرفی پایین خواهد داشت. به‌منظور کاهش توان مصرفی، در ساختار پیشنهادی از مدار دیجیتال با ساختار ترتیبی و مدارهای مقایسه‌گر و فعال‌گر و طراحی حالت خواب برای فلیپ فلاپ‌ها استفاده شده است و میزان تأخیر فعال شدن فلیپ فلاپ‌ها جهت محاسبه تأخیر در پاسخ‌دهی مدار بر اساس میزان توان ایستا ناشی از روشن بودن ماسفت‌ها بررسی می‌شود. شبیه‌سازی ساختارهای پیشنهادی بر اساس فناوری ۳۲ nm CMOS با ابزار شبیه‌سازی Hspice نشان می دهد که در ساختارهایی با طول آدرس ۶۴ بیت و نرخ داده ورودی ۱۰۰ کیلوبیت بر ثانیه در مقایسه با ساختار متداول بیش از ۹۰٪ کاهش توان مصرفی خواهیم داشت. همچنین مقایسه نتایج باکارهای مشابه و اضافه کردن بخش گیرنده‌ی مخابراتی از کارهای مشابه کاهش ۵۰٪ از توان مصرفی سیستم بیدارکننده را گزارش می‌دهد.

واژه‌های کلیدی: آدرس دیکودر دیجیتال، اینترنت اشیاء، توان پویا ، سیستم بیدارکننده ، نرم افزار Hspice

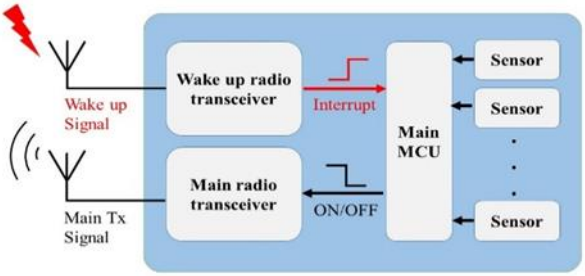
نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.20.1.33

تاریخ ارسال مقاله: ۱۴۰۰/۰۲/۰۳
تاریخ پذیرش مشروط مقاله: ۱۴۰۱/۰۱/۲۲
تاریخ پذیرش مقاله: ۱۴۰۱/۰۱/۳۱
نام نویسنده‌ی مسئول : دکتر سید علی حسینی
نشانی نویسنده‌ی مسئول: ایران – قزوین – بلوار دانشگاه امام خمینی(ره) – دانشگاه بین المللی امام خمینی(ره) – دانشکده فنی و مهندسی – گروه برق

۱- مقدمه

در دو دهه اخیر اینترنت اشیاء[۱] از موضوعات محبوب و مهم برای محققان بوده است[۱] بدین ترتیب پیشرفت‌های گسترده در زمینه‌ی ارتباطات بیسیم، گجت‌های پوشیدنی، ربات‌ها و پهبادهای کنترل از دور و ... چالش سختی درزمینه‌ی تأمین انرژی با طول عمر بالا به وجود آورده است[۲, ۳]. در حال حاضر با ارائه‌ی اینترنت نسل پنجم 5G و سرعت ارتباط بالای آن، توسعه شبکه‌های بیسیم [۴] روبه افزایش است درنتیجه تأمین انرژی این ریز شبکه‌ها محققان و پژوهشگران در زمینه‌ی تأمین انرژی و بهینه‌سازی مصرف را به چالش می‌کشد. جذب انرژی محیط[۲] به‌عنوان یک راهکار با پتانسیل بالا است که گره‌های بیسیم را برای کار پیوسته به اندازه کافی شارژ نگه می‌دارد [۵]. برخی از کارها که از امواج بیسیم در هوا برای اهداف مختلفی مانند امواج دیجیتال تلویزیون استفاده می‌کنند [۶]، می‌توانند توانی برابر ۱ میکرو وات را تأمین کنند که انرژی کافی را برای عملکرد خود پایدار سخت‌افزارهای بیسیم مهیا می‌کند؛ بنابراین سخت‌افزارها و حسگرهای بیسیم فوق کم‌توان که مصرف توان گره‌های بیسیم آن‌ها بهینه‌شده، برای تحقیقات ضروری است [۷]. با توجه به شکل (۱) سیستم بیدارکننده[۳] حسگرهای بیسیم شبکه[۴] را در حالت خواب نگه می‌دارد تا از مصرف توان بالا جلوگیری کند [۸]. به حسگرهای بیسیم شبکه یک آدرس اختصاص داده‌شده است و زمانی که آدرس درست دریافت شود، سخت‌افزار توسط یک وقفه بیدار می‌شود. سیستم بیدار کننده از چندین قسمت شامل مدار دمودلاسیون[۵]، تقویت‌کننده بیس باند کم نویز[۶] و واحد آدرس دیکودر[۷] تشکیل می‌شود.



شکل (۱): شماتیک سیستم بیسیم تحت شبکه

تاکنون طرح‌های مختلفی برای سیستم بیدارکننده ارائه‌شده، در [۹] سیستم بیدارکننده شبکه کم‌توان چندمنظوره با برد ارتباطی ۱۰/۳ متر بکار گرفته‌شده و از AMS AS3992 UHF RFID به‌عنوان سیستم بیدارکننده استفاده می‌کند. کار [۱۰] یک ساختار برای سیستم بیدارکننده با سیگنال‌ها پالسی[۸] پیشنهاد داده که از دیکودر آر اف[۹] و یک آدرس دیکودر با توان مصرفی کمتر از ۲۰ میکرو وات بر اساس فناوری IBM CMOS ۱۳۰ nm استفاده کرده است. این طراحی توسط بسیاری از محققان در انواع مختلفی از فناوری‌ها برای ارتقاء قسمت‌های بخصوص آن بکار رفته است. آقای نیکوفرد [۱۱] با موفقیت یک سیگنال آر اف را با استفاده از یک مدار ماسفتی CMOS ۹۵ nm با حساسیت ۶۵ dBm و توان مصرفی ۱۱ نانو وات در فرکانس کاری ۵۰ مگاهرتز دمودلیت کرده است و توان ایستا مصرفی توسط تغییر بایاس جریان تقویت‌کننده‌ی آر اف[۱۰] بهینه می‌شود. با استفاده از یک شبکه تطبیق عناصر توده‌ای خارج از تراشه، مودی و همکاران [۱۲] یک سیستم بیدارکننده با توان مصرفی ۸/۳ نانو وات گزارش کرد.

درحالی‌که در مورد مدار دمودلاتور فرکانس رادیویی کم‌توان به‌صورت گسترده تحقیق‌شده، آدرس دیکودر فوق کم‌توان قسمت نادیده گرفته شده در حسگرهای بیسیم شبکه است. ریزپردازنده‌های کم‌توان و مدارهای دیجیتال تشخیص‌دهنده‌ای که جهت مقایسه آدرس دمودلات شده‌ای که توسط گره بیسیم بکار گرفته‌شده‌اند، در حالت فعال توانی بالاتر از ۱ میکرو وات مصرف می‌کنند. در مرجع [۱۳] با استفاده از ریزپردازنده PIC12F683 در ولتاژ کار ۳ ولت، یک گیرنده با توان مصرفی ۸۲۰ میکرو وات طراحی کرده است. محققهای دیگر از یک تراشه مقایسه‌گر مخابراتی همانند سری AS393 که در حوزه‌ی دمودلاتور OOK ساخته‌شده، برای دیکود کردن آدرس‌ها استفاده می کنند. این آدرس دیکودر دارای توان مصرفی ۳/۹ میکرو وات در طول دریافت آدرس بیدارکننده است. هامبک و همکاران [۱۴] در کنار یک ASIC، یک واحد ارتباطی بر پایه تعویض خازنی با جریان مصرفی ۰/۴ میکرو آمپر با نرخ نمونه‌برداری ۲۰۰ کیلو نمونه بر ثانیه طراحی کرده است. همچنین چندین مدار به‌عنوان شیفت رجیستر برای مقایسه‌گر استفاده می‌شود که معمولاً توان بیشتری مصرف می‌کنند اما دارای طراحی آسان هستند که بر روی این نکته در این مقاله متمرکز است. عمار و همکاران در [۱۵] از یک دیکودر بر پایه فلیپ فلاپ برای تولید سیگنال وقفه بیدارکننده استفاده کرده که در ولتاژ ۰/۹ ولت و نرخ داده ۱۰۰ کیلوبیت بر ثانیه با تأخیر ۰/۰۸ میلی‌ثانیه در یک آدرس دیکودر با طول آدرس ۱۶ بیت، توان ۱۳/۴ میکرو وات مصرف می‌نماید. شیفت رجیستر بیت‌های سیگنال دریافتی را به‌صورت پیوسته در خود نگه‌داشته و با استفاده از گیت‌های Xnor و And، آن ها را با آدرس ذخیره‌شده در رجیسترهای حافظه مقایسه می‌کند. این روش به‌صورت مشابه در [۱۶] و [۱۰] مورداستفاده قرارگرفته است.

در این مقاله یک ساختار جدید بر پایه‌ی فلیپ فلاپ‌ها برای قسمت آدرس دیکودر دیجیتال پیشنهاد شده است که در مقایسه با کارهای مشابه به صورت قابل توجهی توان مصرفی را کاهش داده است. به طوری که، به ازای یک آدرس دیکودر ۶۴ بیتی با نرخ داده ورودی ۱ مگابیت بر ثانیه به اندازه ۹۶٪ کاهش توان مصرفی مشاهده شد. علاوه بر این، تلاش شده است که ساختار جدید قابلیت حالت خواب و پیاده‌سازی در فرکانس‌های کاری و نرخ داده ورودی مختلف را شامل شود.

در این مقاله ابتدا در بخش ۲ نوع ساختار بکار رفته در طراحی متداول بررسی‌شده و سپس در بخش ۳ ساختار پیشنهادی و روش‌های کم‌توان کردن قسمت‌های مختلف آن معرفی می‌شود و نتایج شبیه‌سازی ساختار پیشنهادی و ساختارهای دیگر توسط ابزار شبیه‌سازی Hspice

به توصیه داوران با فناوری Cmos ۳۲ nm و ولتاژ کاری ۱ ولت مورد مقایسه قرار می‌گیرند. در بخش ۴ به بررسی و بهبود پارامترهای مهم حالت خواب مانند تأخیر فعال‌سازی و توان ایستا فلیپ فلاپ‌ها در ساختار پیشنهادی می‌پردازیم. در بخش ۵ موضوع بررسی توان در میزان صحت داده‌های ورودی و تأثیر آن بر روی توان ساختار پیشنهادی ارائه‌شده است.

۲- آدرس دیکودر دیجیتال بر پایه فلیپ فلاپ

شکل (۲) ساختار متداول آدرس دیکودر دیجیتال بر پایه فلیپ فلاپ را نشان می‌دهد که با مقایسه کردن داده‌های ورودی گرفته‌شده با n بیت آدرس ذخیره‌شده سیگنال وقفه بیدارکننده را تولید می‌کند. این نوع از ساختار در موارد بسیاری از سخت‌افزارها به‌خصوص در سیستم بیدارکننده حسگرهای بیسیم تحت شبکه مورداستفاده قرارگرفته است [۱۵]. ساختار متداول به دلیل بالا بودن فعالیت گره‌های آن، زمانی که داده تصادفی ورودی دریافت می‌شود توان پویا بالایی را مصرف می‌کند که نزدیک به کل توان مصرفی ساختار خواهد بود. بخش‌های ساختار متداول با فعالیت بالا عبارت‌اند از:

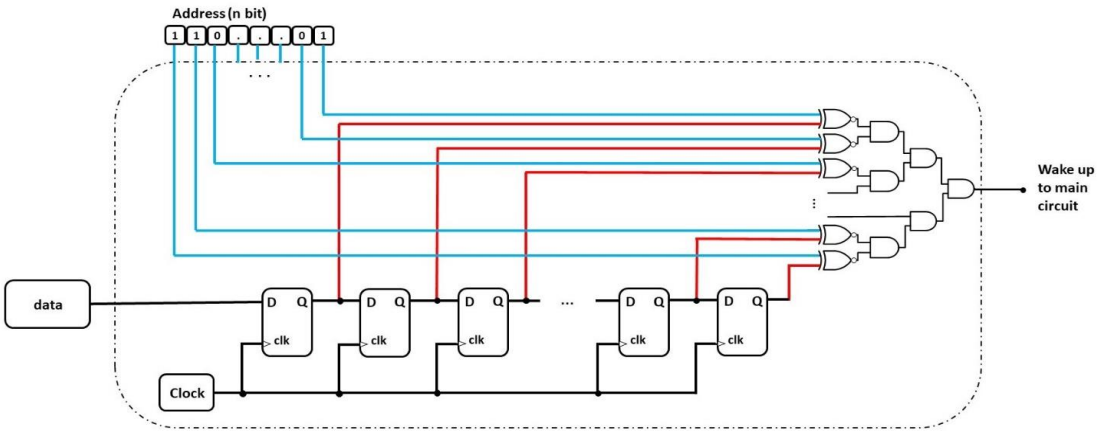
- ورودی و خروجی هر فلیپ فلاپ در شیفت رجیستر
- گره‌های داخلی فلیپ فلاپ
- بخش مقایسه‌گر

۳- ساختار پیشنهادی

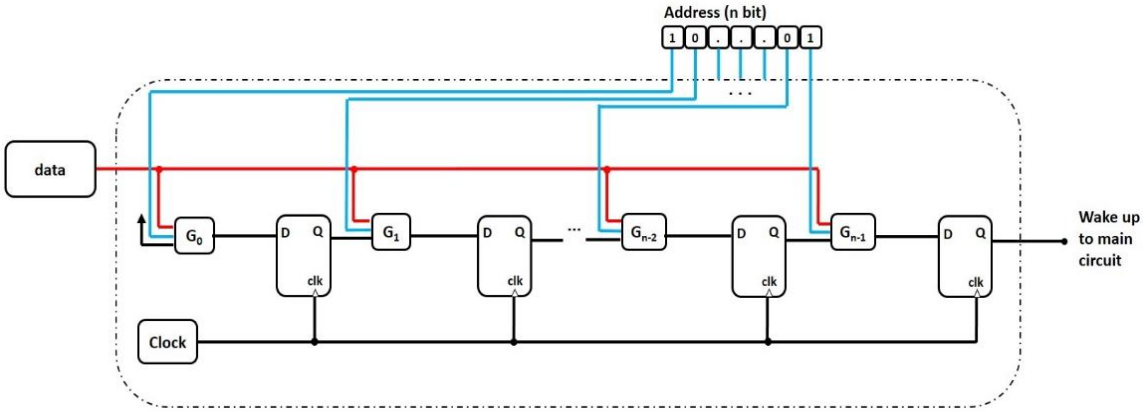
شکل (۳) نشان‌دهنده ساختار پیشنهادی برای آدرس دیکودر فوق کم‌توان است که جهت کاهش توان پویا میزان فعالیت گره‌های ساختار کاهش‌یافته است. ساختار پیشنهادی جدید یک آدرس دیکودر با زنجیره‌ای از مقایسه و فعال‌سازی است که آدرس دیکودر ترتیبی[11] یا به‌اختصار SEQ-AD نام‌گذاری می‌شود.

۳-۱- ساختار SEQ-AD

در ساختار متداول شکل (۲)، داده‌های ورودی تصادفی به‌صورت بی وقفه در قسمت شیفت رجیستر ساختار قرارگرفته و با n بیت آدرس ذخیره‌شده در حافظه مقایسه می‌شوند. احتمال تغییر سطح گره خروجی هر فلیپ فلاپ برابر ۰/۵ است که با هر لبه بالارونده کلاک بروز رسانی می‌شود و همچنین همه فلیپ فلاپ‌ها و قسمت‌های دیگر را فعال نگه می‌دارد. برای حل این موضوع، در ساختار پیشنهادی فلیپ فلاپ i ام، '۱' خواهد شد به‌شرط آنکه تمامی بیت‌های قبل فلیپ فلاپ i ام با آدرس مطابقت داشته باشند. تعداد فلیپ فلاپ‌ها در ساختار SEQ-AD نسبت به ساختار متداول تغییر نکرده و طراحی ساختار مدار بسیار شبیه به روش 1-hot encoding است به‌استثناء آن‌که در این روش بیشتر از یک فلیپ فلاپ '۱' وجود دارد. با این روش، تغییر یا عدم‌تغییر گره خروجی فلیپ فلاپ‌ها در کلاک بعدی قابل پیش‌بینی است درنتیجه تغییر وضعیت فلیپ فلاپ‌ها وابسته به‌احتمال نبوده و هر داده ورودی به‌علاوه‌ی خروجی فلیپ فلاپ قبلی توسط ماژول G بررسی می‌شود و سپس خروجی فلیپ فلاپ تغییر می‌کند. گره خروجی فلیپ فلاپ n ام به‌عنوان گره وقفه سیگنال به سیستم اصلی در نظر گرفته‌شده و زمانی که فلیپ فلاپ n ام '۱' شود، آدرس درست تشخیص داده‌شده و وقفه موردنظر برای بیداری سیستم اصلی فرستاده می‌شود.



شکل (۲): شماتیک ساختار متداول آدرس دیکودر دیجیتال بر پایه فلیپ فلاپ

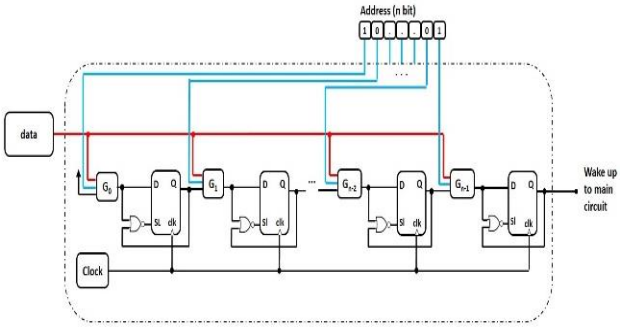


شکل (۳): شماتیک آدرس دیکودر پیشنهادی SEQ-AD

۲-۳- ساختار SEQ-AD همراه باحالت خواب

همان‌طور که در شکل (۳) نشان داده‌شده، مدار SEQ-AD همراه باحالت خواب که آن را SEQ-AD-SL می‌نامیم، عملکرد مشابه با مدار قبلی دارد با این تفاوت که برای کاهش توان ایستا مدار و فعالیت گره‌های داخلی فلیپ فلاپ‌ها، حالت خواب به‌تمامی فلیپ فلاپ‌ها اضافه‌شده است. در بیشتر زمان پردازش، داده‌های ورودی تصادفی و فاقد ارزش بوده و بیشتر فلیپ فلاپ‌های مدار در حالت بدون پردازش قرار می‌گیرند درنتیجه برای کاهش توان ایستا مدار، پین SL فلیپ فلاپ‌ها فعال‌شده و تمامی ترانزیستورهای داخلی فلیپ فلاپ‌ها به حالت خواب می‌روند. زمانی که ورودی و خروجی هر فلیپ فلاپ '۰' است با استفاده از گیت Nor پین خواب فلیپ فلاپ‌ها فعال‌شده و آن ها را به حالت خواب می‌برد و توان ایستا فلیپ فلاپ تقریباً صفر می شود.

به حالت خواب رفتن فلیپ فلاپ‌ها علاوه بر کاهش شدید توان ایستا ترانزیستورها به دلیل روشن بودن در ساختار فلیپ فلاپ‌ها، میزان توان پویا داخلی فلیپ فلاپ‌ها را که به دلیل تغییرات دائمی ورودی کلاک ایجادشده است را نیز از بین می‌برد. درازای این تغییرات مثبت در کاهش توان، میزان تأخیر فعال‌سازی فلیپ فلاپ‌ها بالا رفته و میزان فرکانس کاری مدار را در فرکانس‌های بالا محدود می‌کند.



شکل (۴): شماتیک ساختار آدرس دیکودر SEQ-AD-SL

۴- معماری سخت‌افزار

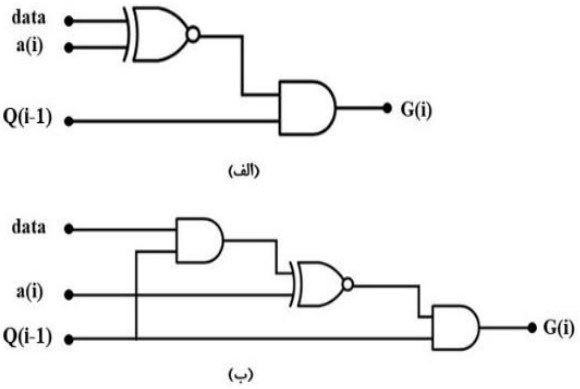
۴-۱- ماژول کنترل‌گر فلیپ فلاپ‌ها

بلوک‌های $G(i)$ (ماژول کنترل‌گر فلیپ فلاپ ها) بکار رفته در ساختارهای پیشنهادی شکل (۳،۴) یک ماژول سطح گیت است که ورودی‌های فلیپ فلاپ‌های i ام ($D(i)$) را تعیین می‌کند. در مدار ماژول G همان‌طور که در شکل (۵-الف) نشان داده‌شده، داده ورودی data توسط گیت Xnor با آدرس i ام ذخیره‌شده در حافظه a مقایسه می‌شود و سپس خروجی فلیپ فلاپ قبلی $Q(i-1)$ توسط گیت And به‌عنوان فعالگر، سطح گره خروجی ماژول را تغییر می‌دهد.

$$G(i) = (data \odot a(i)) \cdot Q(i-1) \quad (۱)$$

$$Q(i) = G(i) \text{ Rising edge of clock} \quad (۲)$$

رابطه (۱،۲) برای ماژول $G(i)$ نشان می‌دهد که به دلیل وجود گیت And در پایان رابطه، برای '۱' شدن خروجی ماژول $G(i)$ می‌بایست خروجی فلیپ فلاپ قبلی $Q(i-1)$ برابر '۱' باشد تا بعد از یک لبه بالارونده‌ی کلاک، مقدار خروجی ماژول بر روی فلیپ فلاپ قرار بگیرد.



شکل (۵): الف) معماری اولیه ماژول G ب) معماری بهبودیافته ماژول G.

با طرح این روش، کنترل تغییرات خروجی فلیپ فلاپ‌ها که یکی از قسمت‌های فعال در مدار متداول بود، قابل‌کنترل خواهد شد. داده ورودی تصادفی دلیل اصلی فعالیت بالای مدار است که با توجه به

ساختار ماژول G در شکل (۵-الف) داده ورودی data و بیت i ام آدرس توسط گیت Xnor مقایسه می‌شود و به دلیل ثابت بودن آدرس $a(i)$، خروجی گیت Xnor با تغییر داده ورودی data تغییر خواهد کرد. احتمال یک بودن خروجی فلیپ فلاپ قبلی $Q(i-1)$ در صورت تصادفی بودن سیگنال واردشده به مدار $(0.5)^i$ می‌شود که در فلیپ فلاپ‌های انتهایی زنجیره بسیار اندک خواهد بود. درنتیجه فعالیت گیت And در انتهای بلوک G بسیار کم می‌شود، بااین‌وجود فعالیت گیت Xnor همچنان بالا است که این موضوع بالا بودن توان پویا مدار را نشان می‌دهد. طبق شکل (۵-ب) جهت از بین بردن فعالیت بالا گره ها در ماژول G، ساختار ماژول را با استفاده از قوانین مدار منطقی به‌گونه‌ای تغییر می‌دهیم که داده ورودی data باعث به وجود آمدن گره‌هایی با فعالیت بالا نشود.

$$G(i) = ((Q(i-1)\cdot data)\odot a(i))\cdot Q(i-1) \qquad (۳)$$

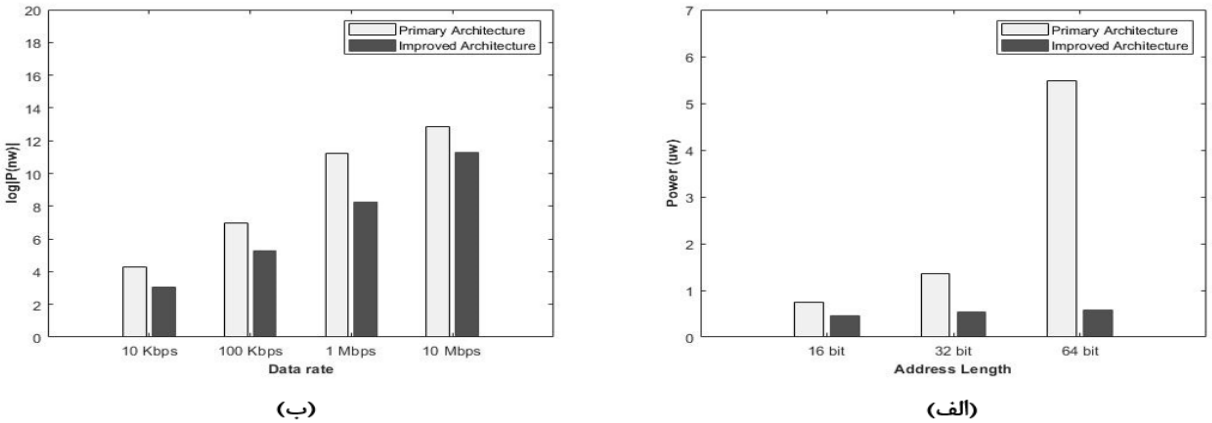
رابطه (۳) نشان‌دهنده معماری بهبودیافته مدار ماژول G در شکل (۴-ب) است که در این طراحی داده ورودی data فقط با استفاده از گیت And متصل به خروجی فلیپ فلاپ قبلی $Q(i-1)$، به ماژول مرتبط می‌شود. با توجه به آن‌که گره خروجی فلیپ فلاپ‌ها در ساختار SEQ-AD در بیشتر مواقع دارای خروجی '۰' است، گره خروجی گیت‌های And نیز دارای سطح '۰' خواهند بود درنتیجه هیچ‌یک از گیت‌های موجود در ساختار ماژول G به ازای تغییرات دائم داده ورودی data تغییر سطح نخواهند داد و توان پویا نزدیک به صفر می-شود.

در شکل (۶-الف) نتیجه شبیه‌سازی ساختار SEQ-AD در دو معماری ماژول G با نرخ داده ورودی ۱ مگابیت بر ثانیه به ازای طول آدرس‌های متفاوت نشان داده‌شده است که در ساختار اولیه با توجه به مطالب گفته‌شده در بالا، با افزایش طول آدرس دیکور تعداد بلوک ماژول G بیشتر شده و توان پویا و ایستا مصرفی ساختار نیز به همان میزان افزایش پیدا خواهد کرد. معماری بهبودیافته از افزایش توان پویا مصرفی ماژول G در ساختارها با طول آدرس بلندتر جلوگیری کرده و توان تقریباً یکسانی را به ازای افزایش طول آدرس مصرف می-کند. به دلیل افزایش زیاد توان مصرفی ساختارها به ازای افزایش فرکانس کاری مدار، جهت نمایش واضح‌تر در رسم نمودار توان مصرفی در فرکانس‌های کاری مختلف، نمودار شکل (۶-ب) را به ازای تغییرات فرکانس کاری مدار و لگاریتم توان مصرفی رسم شده است. با توجه به شکل (۶-ب) در معماری اولیه برای یک آدرس دیکودر ۶۴ بیتی با افزایش نرخ داده ورودی میزان فعالیت گره‌های داخل ماژول بالا رفته درنتیجه توان پویا مدار به‌شدت افزایش پیدا می‌کند به‌طوری‌که در ساختاری با طول آدرس ۶۴ بیت و نرخ داده ورودی ۱ مگابیت بر ثانیه میزان توان مصرفی در معماری اولیه ۱۰ برابر معماری بهبودیافته می شود.

۴-۲- شبیه‌سازی

در این مقاله ساختارهای پیشنهادی SEQ-AD و SEQ-AD-SL با استفاده از نرم‌افزار Hspice و فناوری ۳۲ nm CMOS در شرایط معمولی و ولتاژ کاری ۱ ولت پیاده‌سازی شده است. گیت‌های منطقی و فلیپ فلاپ‌های مورداستفاده در شبیه‌سازی این ساختارها همگی یکسان و دارای ساده‌ترین طراحی بوده و فلیپ فلاپ‌های مورداستفاده در شبیه‌سازی از نوع D-FlipFlop حساس به لبه بالارونده کلاک هستند.

شبیه‌سازی ساختارها برای داده‌های ورودی تصادفی است درنتیجه با توجه به نتایج در جدول (۱)، میزان توان مصرفی در ساختارهای پیشنهادی به دلیل دیکود کردن مرحله‌به‌مرحله آدرس با افزایش طول آدرس افزایش چندانی پیدا نمی‌کند ولی با توجه به استفاده از شیفت رجیستر در ساختار آدرس دیکودر متداول به نسبت افزایش طول آدرس افزایش توان پویا شدید خواهیم داشت. علت این امر غالب بودن سهم توان پویا نسبت به توان ایستا در کل توان مصرفی مدار است و چون در ساختارهای پیشنهادی توان پویا افزایش پیدا نخواهند کرد در توان مصرفی کل نیز افزایشی نخواهیم دید ولی در ساختار متداول این‌گونه نیست. تفاوت کم در میزان توان مصرفی ساختار SEQ-AD



شکل (۶): الف) توان مصرفی ساختار SEQ-AD به ازای تغییرات طول آدرس برای دو معماری ماژول G. ب) لگاریتم توان مصرفی ساختار SEQ-AD به ازای تغییرات نرخ داده ورودی برای دو معماری ماژول G.

نسبت به SEQ-AD-SL نشان‌دهنده کم بودن توان ایستا نسبت به توان پویا است، زیرا ساختار SEQ-AD-SL جهت خاموش کردن فلیپ فلاپ‌های غیرفعال در فرآیند دیکود کردن بکار رفته و تغییرات سطح گره‌ها را به‌صورت گسترده کنترل نمی‌کند. ساختارهای پیشنهادی به دلیل دیکود کردن مرحله‌به‌مرحله داده‌های ورودی جهت استفاده در آدرس دیکودرها با طول آدرس بلند بسیار مناسب است به‌طوری‌که در نتایج جدول (۲) برای نرخ داده ورودی 10^{4} کیلوبیت بر ثانیه ۹۶٪ از توان مصرفی ساختار SEQ-AD نسبت به ساختار آدرس دیکودر متداول کاهش پیدا می‌کند.

۴-۳- بررسی نتایج و کارهای مشابه

ساخت حسگرها و سخت‌افزارهای بیسیم تحت شبکه با توان مصرفی کم‌تر از ۱ میکرو وات، با طراحی VLSI امکان‌پذیر است که از گیرنده های آر اف و بخش‌های تقویت‌کننده و دمودلاسیون متفاوتی استفاده می‌شود. در این طراحی‌ها برای دستیابی به توان کمتر از ۱ میکرو وات از دمودلاتور OOK برای دیکودکردن آدرس دریافتی استفاده می‌شود. در کار [۱۷] یک سیستم بیدارکننده رادیویی با توان مصرفی ۹۸ نانو وات و نرخ داده ۱۰۰ کیلوبیت بر ثانیه طراحی‌شده است که با استفاده دمودلاتور OOK در فرکانس ۹۱۵ مگاهرتز و حساسیت dBm ۴۱- عمل می‌کند. به‌طور مشابه [۱۸] توانسته با استفاده از گیرنده آر اف و دمودلاتور OOK برای دیکودکردن آدرس دریافتی، سیستم بیدارکننده ای با نرخ داده ۱۲/۵ کیلوبیت بر ثانیه و حساسیت dBm ۵/۴۵- در فرکانس ۴۰۳ مگاهرتز طراحی کند. در این کار بخش گیرنده آر اف توان مصرفی نزدیک به صفر دارد و بیشتر توان مصرفی را بخش دیجیتال و مقایسه‌گر سیستم مصرف می‌کند که نشان‌دهنده درصد بالای مصرف بخش دیکودر این سیستم بیدارکننده است. این روش دیکودکردن به دلیل عدم استفاده از فلیپ فلاپ و قابلیت حالت خواب بخش‌های مختلف سیستم، توان پویا بسیار کمی خواهد داشت اگرچه استفاده از دمودلاتور OOK توان مصرفی سیستم بیدارکننده را تا زیر ۱ میکرو وات کاهش می‌دهد ولی به دلیل آنالوگ بودن، مدار تحت تأثیر شدید نویز است و با یک سیگنال ناخواسته و یا افزایش دستگاه های کنترلی و ارتباط داده، احتمال عدم ارتباط افزایش می‌یابد.

جدول (۱): توان مصرفی ساختارها در نرخ داده ورودی ۱ مگابیت بر ثانیه برای طول آدرس مختلف

توان مصرفی SEQ-AD-SL (نانو وات)	توان مصرفی SEQ-AD (نانو وات)	توان مصرفی ساختار متداول (میکرو وات)	طول آدرس (بیت)
۱۷۲/۷۲	۴۶۱/۸۱	۰/۶۰۱	۸
۲۲۷/۲۷	۴۶۷/۲۷	۱/۰۵۴	۱۶
۲۷۲/۷۲	۵۳۰/۹	۲/۸۰۵	۳۲
۳۳۰/۹	۵۷۰/۹	۹/۵۰۷	۶۴

جدول (۲): توان مصرفی ساختارها در طول آدرس ۶۴ بیت برای نرخ داده ورودی مختلف

توان مصرفی SEQ-AD-SL (نانو وات)	توان مصرفی SEQ-AD (نانو وات)	توان مصرفی ساختار متداول (میکرو وات)	نرخ داده ورودی (کیلوبیت بر ثانیه)
۳/۴۳۶	۶/۴۳۶	۰/۰۱۳۳۸	10^{0}
۶/۵۸۱	۱۰/۴۷۲	۰/۰۹۵۸۳	10^{1}
۳۴/۹۰۹	۵۸/۱۰۹	۰/۹۱۴	10^{2}
۳۳۲/۲۳۶	۵۷۲/۵۰۹	۹/۵۰۸	10^{3}
۳۶۲۰/۷۲	۵۷۵۰/۹	۹۴/۴۱۴	10^{4}

به دلیل قابلیت دیکود کردن در نرخ داده ورودی و طول آدرس بالاتر و همچنین مقاومت در برابر نویز مدارهای دیجیتال ازجمله آدرس دیکودرهای دیجیتال دارای اهمیت بالاتری نسبت به دیگر دیکودرها هستند. در گزارش آقای هال [۱۹] مدار پیشنهادی یک آدرس دیکودر با ساختار متداول بر پایه فلیپ فلاپ به طول آدرس ۱۶ بیت و نرخ داده ورودی ۱ کیلوبیت بر ثانیه با توان مصرفی ۲۵/۵ میکرو وات است که در همین مشخصات ساختار SEQ-AD-SL کمتر از ۱۰ نانو وات توان مصرف می‌کند. توان مصرفی واحد آدرس دیکودر در این کار برابر با ۶۵٪ از توان مصرفی کل بخش بیدارکننده سیستم است درنتیجه با استفاده از ساختار پیشنهادی تقریباً ۶۰٪ از توان مصرفی بخش بیدارکننده سیستم کاهش پیدا می‌کند. آدرس دیکودر با طول آدرس ۱۶ بیت در کار [۱۵] دارای ساختار متداول و توان مصرفی ۱۳/۴۱ میکرو وات برای نرخ داده ورودی ۱۰۰ کیلوبیت بر ثانیه است که در مقایسه با آن نتایج شبیه‌سازی ساختار پیشنهادی SEQ-AD-SL در همین مشخصات، توان مصرفی ۱۸/۱۸ نانو وات را گزارش می‌دهد. میزان مصرف واحد آدرس دیکودر به طول آدرس ۱۸ بیت در کار [۲۰] برابر با ۱۰۱/۷ میکرو وات بر اساس فناوری CMOS و ۱۳۲/۱ میکرو وات بر اساس فناوری ۴۵ nm CMOS است که تقریباً ۵۰٪ از توان مصرفی بخش بیدارکننده سیستم را شامل می‌شود.

در نرخ های داده ورودی بالا بیشتر توان مصرفی از نوع پویا خواهد بود و به دلیل وابستگی شدید و مستقیم این توان با نرخ داده ورودی در ساختاری با طول آدرس ۶۴ بیت برای نرخ داده ورودی بالاتر از ۱۰۰ کیلوبیت برثانیه به ازای افزایش ۱۰ برابری نرخ داده ورودی افزایش مشابه ۱۰ برابری در توان مصرفی ساختارهای مختلف مشاهده می‌شود. این افزایش توان در جدول ۲ نمایش داده شده است. اگرچه باید توجه نمود که ساختار پیشنهادی با وجود افزایش توان مصرفی در نرخ های بالای داده ورودی همچنان توانی کوچکتر از ۱۰ میکروات خواهد داشت که برای کاربرد مورد نظر مناسب می باشد.

در جدول (۳) برخی دیگر از کارهای مشابه با جزییات موردبررسی قرارگرفته است که نسبت توان مصرفی بخش آدرس دیکودر به تمام توان مصرفی سیستم بیدارکننده را در ستون انتهایی جدول بررسی می

کند و جدول (۴) مشخصات کارهای متفاوت بر روی سیستم بیدارکننده را برای ارزیابی روند پیشرفت این بخش نمایش می‌دهد. با توجه به این جدول بیشتر سیستم‌های بیدارکننده معرفی‌شده دارای دیکودر مدل OOK هستند.

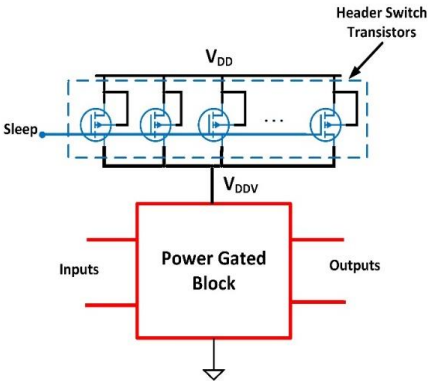
۵- حالت خواب و تغییر فلیپ فلاپ‌ها

برای آن‌که فلیپ فلاپ‌ها و یا مدارات منطقی دیگر به حالت خواب برده شوند می‌بایست منبع تغذیه مدار ترانزیستوری آن‌ها را قطع کرد. همان‌طور که در شکل (۷) نشان داده‌شده، منبع تغذیه VDD توسط n تعداد ترانزیستور موازی با استفاده از یا گره فعالگر Sleep به منبع تغذیه VDDV مدار منطقی متصل می‌شود.

تعداد ترانزیستورهای موازی برای به حالت خواب بردن فلیپ فلاپ‌ها رابطه مستقیم با میزان توان ایستا و رابطه عکس با میزان تأخیر فعال‌سازی فلیپ فلاپ‌ها در ساختار پیشنهادی دارد. برای کاهش تأخیر سیستم می‌توان تعداد ترانزیستورهای موازی برای حالت خواب فلیپ فلاپ‌ها را افزایش داد اما طبق نمودار رسم شده در شکل (۸) با افزایش تعداد ترانزیستورهای موازی میزان توان ایستا ساختار پیشنهادی SEQ-AD-SL بالا خواهد رفت. به‌طوری‌که در زمان استفاده از ۸ ترانزیستور موازی برای حالت خواب فلیپ فلاپ‌ها میزان لگاریتم توان مصرفی به‌صورت نمایی شروع به افزایش خواهد کرد. توان ایستا در برابر توان پویا سهم بسیار ناچیزی از توان مصرفی مدار را تشکیل می‌دهد ولی با افزایش طول آدرس در ساختارها، تعداد ترانزیستورها خیلی بالا رفته و توان ایستا چند برابر خواهد شد درنتیجه توان ایستا مدار افزایش قابل‌توجهی پیدا خواهد کرد و همچنین در ساختارها با نرخ داده ورودی پایین توان پویا کاهش‌یافته و توان ایستا سهم بیشتر از توان مصرفی مدار را شامل خواهد شد برای مثال در ساختار SEQ-AD-SL با طول آدرس ۸ بیت و در نرخ داده ورودی ۱ کیلوبیت بر ثانیه توان ایستا مدار برابر با ۰/۶۲۳ نانو وات و توان پویا مدار برابر با ۰/۳۵۶ نانو وات می‌شود که توان ایستا ۶۴٪ از توان مصرفی کل را تشکیل می‌دهد.

جدول (۳): مقایسه آدرس دیکودر پیشنهادی با کارهای دیگر

نسبت مصرف به‌کل سیستم بیدارکننده	طول آدرس (بیت)	منبع ولتاژ (ولت)	نرخ داده ورودی (کیلوبیت بر ثانیه)	توان مصرفی (میکرو وات)	مدل آدرس دیکودر	مراجع
-	۶۴	۱	۱۰۰۰	۰/۵۷	بر پایه فلیپ فلاپ	SEQ-AD
-	۶۴	۱	۱۰۰۰	۰/۳۳	بر پایه فلیپ فلاپ	SEQ-AD-SL
-	۱۶	۰/۹	۱۰۰	۱۳/۴۱	بر پایه فلیپ فلاپ	[۱۵]
۶۵٪	۱۶	۳	۱	۲۵/۵	بر پایه فلیپ فلاپ	[۱۹]
۳۵٪	۱۸	۰/۹	-	۱۰۱/۷	بر پایه فلیپ فلاپ	[۲۰]
۹۲٪	۸	۱/۸	۵۰۰	۷۰/۶	ریزپردازنده	[۲۱]



شکل (۷): مدار حالت خواب فلیپ فلاپ‌ها با استفاده از ترانزیستور های موازی

سرعت پاسخ در ساختارهای منطقی و الکترونیکی، یکی از پارامترهای مهم ارزیابی این سخت‌افزارها است. در این صورت، حداکثر میزان زمان تأخیر پاسخ‌گویی یک آدرس دیکودر با طول آدرس n بیت به یک‌رشته بیت داده ورودی از اهمیت بالایی در مقایسه عملکرد بین معماری‌های مختلف را دارد. حداکثر میزان زمان تأخیر پاسخ‌گویی آدرس دیکودر متداول (T_{Con}) و آدرس دیکودر SEQ-AD-SL (T_{SEQ}) با طول آدرس n بیت برای یک‌رشته بیت داده ورودی برابر است با:

$$T_{Con} = n \times T_{FF-toggle} + (\log_2 n + 1) \times T_{gate} \quad (۴)$$

$$T_{SEQ} = n \times (T_{FF-toggle} + T_{FF-sleep} + 2T_{gate}) + T_G \quad (۵)$$

که در روابط بالا $T_{FF-toggle}$، T_{gate} و T_G به ترتیب برابر با حداکثر میزان زمان تأخیر پاسخ‌گویی فلیپ فلاپ هنگام تغییر وضعیت خروجی، فلیپ فلاپ هنگام تغییر وضعیت حالت خواب، گیت‌های منطقی و بلوک ماژول G است. حداکثر میزان زمان تأخیر پاسخ‌گویی بلوک ماژول G برابر با میزان زمان تأخیر ۳ گیت منطقی است.

با توجه به ساختار منطقی متداول گیت‌ها و فلیپ فلاپ می‌توان $T_{gate} < T_{FF-sleep} << T_{FF-toggle}$ را در نظر گرفت. درنتیجه با استفاده از این فرضیه خواهیم داشت:

$$T_{SEQ} \simeq n \times T_{FF-toggle} + 3T_{gate}$$

روابط به‌دست‌آمده نشان می‌دهد که به‌صورت تقریبی حداکثر میزان تأخیر پاسخ‌گویی معماری آدرس دیکودر متداول نسبت به آدرس دیکودر پیشنهادشده حتی با دیکود کردن زنجیره‌ای داده‌های ورودی دارای مقادیر برابری هستند.

۶- تحلیل بر اساس میزان صحت داده ورودی

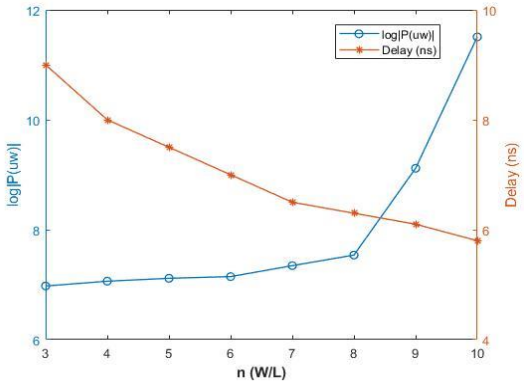
تعداد بیت داده‌ی صحیح یا اشتباه ورودی بر روی میزان توان مصرفی در ساختار آدرس دیکودر متداول به دلیل استفاده از شیفت رجیستر که همواره در حالت انتقال داده به رجیسترها است تأثیر قابل‌ملاحظه‌ای ندارد. با توجه به توان مصرفی ساختار آدرس دیکودر متداول شبیه‌سازی‌شده در جدول (۵)، میزان توان مصرفی برای سه نوع میزان صحت داده ورودی که عبارت‌اند از داده‌های کامل درست، کامل نادرست و تصادفی تقریباً به یک‌میزان است. ازآنجایی‌که ساختارهای پیشنهادی در این مقاله همان‌گونه که در بخش‌های قبل توضیح داده‌شده برای تشخیص داده درست به صحت داده دریافتی قبلی وابسته است می‌توان پیش‌بینی کرد که توان مصرفی ساختارهای پیشنهادی در انواع میزان صحت داده‌های ورودی با یکدیگر متفاوت باشند. اختلاف زیادی بین میزان توان مصرفی دو ساختار پیشنهادی در سه حالت میزان صحت داده ورودی است به‌طوری‌که توان مصرفی در ساختار SEQ-AD به میزان ۵۰٪ و در ساختار SEQ-AD-SL به میزان ۶۰٪ در دو حالت داده‌های کامل درست و کامل نادرست افزایش پیدا می‌کند.

جدول (۴): مقایسه سیستم بیدارکننده در کارهای متفاوت

طول آدرس (بیت)	فرکانس (گیگاهرتز)	منبع ولتاژ (ولت)	حساسیت (dbm)	نرخ داده ورودی (کیلوبیت بر ثانیه)	توان مصرفی (میکرو وات)	مدل دیکودر داده‌ها	فناوری ساخت	مراجع
۸	۲,۴	۱	-۵۰	۵۰	~۱۹	PWM	130nm Cmos	[۱۰]
-	۰/۰۵	۰/۵	-۶۰	۱	۰/۰۱۱۵	OOK	65nm Cmos	[۱۱]
۶۴	۰,۸۶۸	۱	-۷۱	۱۰۰	۲,۴	OOK	130nm Cmos	[۱۴]
-	۰,۹۱۵	۱,۲	-۴۱	۱۰۰	۰,۰۹۸	OOK	130nm Cmos	[۱۷]
۱۶	۲/۵	۳	-۲۵	۱	۳۹	-	-	[۱۹]
۸	۲/۵	۱/۸	-۵۳	۵۰۰	۷۰/۶	OOK	-	[۲۱]
۶۴-۱۶	۲/۴	۱/۲-۰/۸۵	-	۲۵۰	۳۰-۵	OOK	130nm Cmos	[۲۲]
۸	-	۱,۲	-۱۸	>۲۰۰	<۳,۷۲	OOK	90nm Cmos	[۲۳]
۱۶	۰,۱۵	۳	-	-	۰/۶۹	OOK	-	[۲۴]
-	۲,۴	۱,۵	-۵۵	۱۰۰	۱۲,۵	OOK	120nm Cmos	[۲۵]
۳۱	-	۰/۳۷	-	۲۵۰	۰/۹	-	65nm Cmos	[۲۶]

داده‌های ورودی شبکه‌های اینترنت اشیاء در زمان کار مدار بیشتر حاوی داده نادرست و تصادفی است درنتیجه افزایش توان مصرفی در حالت آدرس کامل درست به‌ندرت اتفاق می‌افتد ولی باوجوداین افزایش توان مصرفی در هنگام دیکود کردن آدرس کاملاً درست، نتایج شبیه‌سازی در شکل (۹) نشان‌دهنده فوق کم‌توان بودن ساختارهای پیشنهادی نسبت به ساختار آدرس دیکودر متداول در تشخیص داده‌های کامل درست به‌خصوص در ساختارهایی با طول آدرس بزرگ‌تر است.

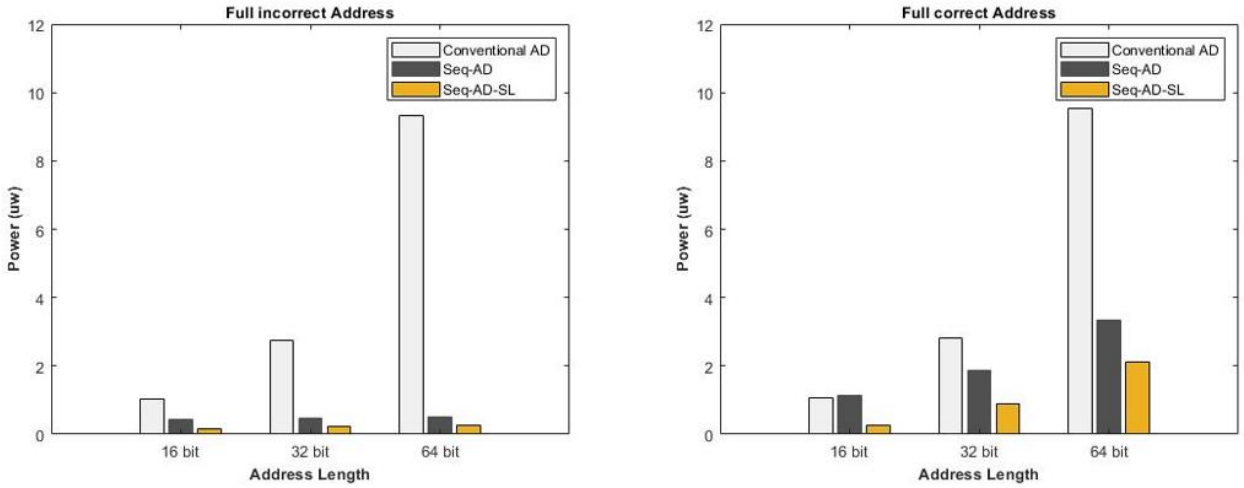
در شکل (۹) میزان توان مصرفی ساختارهای پیشنهادی و ساختار آدرس دیکودر متداول در میزان صحت داده‌های ورودی کاملاً نادرست با یکدیگر مقایسه شده است. اگر میزان صحت آدرس دریافتی به‌صورت تمام نادرست و یا بیشتر آن‌ها نادرست باشد، میزان توان مصرفی در ساختارهای پیشنهادی به ازای افزایش طول آدرس تغییر چندانی نخواهند کرد درنتیجه ساختارهای پیشنهادی برای آدرس دیکودرها در این مقاله برای آدرس دیکودر با طول آدرس بزرگ بسیار بهتر از ساختار آدرس دیکودر متداول خواهند بود و می‌توان بدون استفاده از غیرفعال کردن واحد آدرس دیکودر در بخش سیستم بیدارکننده جهت کم کردن توان مصرفی، میزان توان این واحد از سیستم بیدارکننده را به میزان بالایی کاهش داد.



شکل (۸): میزان توان مصرفی و تأخیر فعال‌سازی فلیپ فلاپ‌ها برحسب تعداد ترانزیستور موازی در حالت خواب

جدول (۵): توان مصرفی ساختارهای مختلف با طول آدرس ۶۴ بیت و نرخ داده ۱ مگابیت در ثانیه در میزان صحت داده‌های ورودی متفاوت

میزان صحت داده‌های ورودی	توان مصرفی ساختار متداول (میکرو وات)	توان مصرفی SEQ-AD (میکرو وات)	توان مصرفی SEQ-AD-SL (میکرو وات)
کامل درست	۹/۵۲	۳/۳۴	۲/۱۲۵
کامل نادرست	۹/۳۳	۰/۵۱۴	۰/۲۵۸
تصادفی	۹/۵۰۷	۰/۵۷	۰/۳۳



(ب) (الف)

شکل (۹): الف) توان مصرفی ساختارها در طول آدرس متفاوت به ازای آدرس دریافتی کامل درست. ب) توان مصرفی ساختارها در طول آدرس متفاوت به ازای آدرس دریافتی کامل نادرست

۷- مراجع

[۱] ضیائی، ح.، رشیدی نژاد، م.، عبداللهی، ا.، پیرمرادی، ا.، "یک معماری برای برنامه‌ریزی تولید در بازار تجدیدساختار شده با زیرساخت اینترنت اشیاء"، نشریه مهندسی برق و الکترونیک ایران، جلد ۱۹، شماره ۱، ۱۴۰۰.

[۲] امیری، پ.، هدایتی پور، آ.، اصلان زاده، ش.، "طراحی مرجع ولتاژ زیر یک ولت قابل کاشت در بدن با دقت ppm / میکرومتر۱۵ با استفاده از ترانزیستورهای ذاتی (Native) "، نشریه مهندسی برق و الکترونیک ایران، جلد ۱۴، شماره ۲، صفحات ۱۱۳-۱۰۷، ۱۳۹۶.

[۳] حسن زاده، ع.، صانعی، م.، "طراحی و پیاده سازی سیستم انتقال انرژی بی سیم برای کاربردهای توان پایین"، نشریه مهندسی برق و الکترونیک ایران، جلد ۱۷، شماره ۲، صفحات ۱۹-۱۳، ۱۳۹۹.

[4] Froytlog, A., Foss, T., Bakker, O., Jevne, G., Haglund, M. A., Li, F. Y., Oller, J., Li, G. Y., "Ultra-low power wake-up radio for 5G IoT", IEEE Communications Magazine, Vol. 57, No. 3, pp. 111-117, 2019.

[5] Wu, Y., Yang, Z., Lin, F., Xu, W., "Towards Batteryfree and Wireless Sensing for Personalized Ultraviolet Exposure Monitoring", IEEE Sensors Journal, Vol. 18, No. 13, pp. 5515-5521, 2018.

[6] Mikeka, C., Arai, H., Georgiadis, A., Collado, A., "DTV band micropower RF energy-harvesting circuit architecture and performance analysis", IEEE International Conference on RFID-Technologies and Applications, IEEE, 2011.

[7] Kim, S., Vyas, R., Bito, J., Niotaki, K., Collado, A., Georgiadis, A., Tentzeris, M. M., "Ambient RF energy-harvesting technologies for self-sustainable standalone wireless sensor platforms", Proceedings of the IEEE, Vol. 102, No. 11, pp. 1649-1666, 2014.

[8] Piyare, R., Murphy, A. L., Kiraly, C., Tosato, P., Brunelli, D., "Ultra low power wake-up radios: A hardware and networking survey", IEEE Communications Surveys & Tutorials, Vol. 19, No. 4, pp. 2117-2157, 2017.

[9] Chen, L., Warner, J., Heinzelman, W., Demirkol, I., "MH-REACH-Mote: Supporting multi-hop passive radio wake-up for wireless sensor networks", IEEE International Conference on Communications (ICC), IEEE, 2015.

[10] Le-Huy, P., Roy, S., "Low-power wake-up radio for wireless sensor networks", Mobile Networks and Applications, Vol. 15, No. 2, pp. 226-236, 2010.

[11] Nikoofard, A., Mandal, S., "An 11.5 nW broadband wake-up RF receiver with− 60 dBm sensitivity at 50 MHz", IEEE International Symposium on Circuits and Systems (ISCAS), IEEE, 2016.

[12] Moody, J., Bassirian, P., Roy, A., Feng, Y., Li, S., Costanzo, R., Barker, N. S., Calhoun, B., Bowers, S. M., "An 8.3 nW− 72 dBm event driven IoE wake up receiver RF front end", 12th European Microwave Integrated Circuits Conference (EuMIC), IEEE, 2017.
[13] Van der Doorn, B., Kavelaars, W., Langendoen, K., "A prototype low-cost wakeup radio for the 868 MHz band", International Journal of Sensor Networks, Vol. 5, No. 1, pp. 22-32, 2009.
[14] Hambeck, C., Mahlknecht, S., Herndl, T., "A 2.4 µW Wake-up Receiver for wireless sensor nodes with− 71dBm sensitivity", IEEE International Symposium of Circuits and Systems (ISCAS), IEEE, 2011.
[15] Ammar, Y., Bdiri, S., Derbel, F., "An ultra-low power wake up receiver with flip flops based address decoder", IEEE 12th International Multi-Conference on Systems, Signals & Devices (SSD15), IEEE, 2015.
[16] Wang, P.-H. P., Jiang, H., Gao, L., Sen, P., Kim, Y.-H., Rebeiz, G. M., Mercier, P. P., Hall, D. A., "A 400 MHz 4.5 nW− 63.8 dBm sensitivity wake-up receiver employing an active pseudo-balun envelope detector", ESSCIRC 2017-43rd IEEE European Solid State Circuits Conference, IEEE, 2017.
[17] Roberts, N. E., Wentzloff, D. D., "A 98nW wake-up radio for wireless body area networks", IEEE Radio Frequency Integrated Circuits Symposium, IEEE, 2012.
[18] Oh, S., Roberts, N. E., Wentzloff, D. D., "A 116nW multi-band wake-up receiver with 31-bit correlator and interference rejection", Proceedings of the IEEE 2013 Custom Integrated Circuits Conference, IEEE, 2013.
[19] Khodr, H., Kouzayha, N., Abdallah, M., Costantine, J., Dawy, Z., "Energy efficient IoT sensor with RF wake-up and addressing capability", IEEE sensors letters, Vol. 1, No. 6, pp. 1-4, 2017.
[20] Patel, N., Anand, S., Bhattacharya, P., "Design of Low Power Wake-up Receiver for Wireless Sensor Network", International Journal of Computer Applications, Vol. 90, No. 10, 2014.
[21] Del Prete, M., Masotti, D., Costanzo, A., Magno, M., Benini, L., "A 2.4 GHz-868 MHz dual-band wake-up radio for wireless sensor network and IoT", IEEE 11th International Conference on Wireless and Mobile Computing, Networking and Communications (WiMob), IEEE, 2015.
[22] Jean-François, P., Jean-Jules, B., Yvon, S., "Modeling, design and implementation of a low-power FPGA based asynchronous wake-up receiver for wireless applications", Analog Integrated Circuits and Signal Processing, Vol. 77, No. 2, pp. 169-182, 2013.
[23] Zhang, Y., Chen, S., Kiyani, N. F., Dolmans, G., Huisken, J., Busze, B., Harpe, P., van der Meijs, N., de Groot, H., "A 3.72 µW ultra-low power digital baseband for wake-up radios", Proceedings of 2011 International Symposium on VLSI Design, Automation and Test, IEEE, 2011.
[24] Bdiri, S., Derbel, F., "A nanowatt wake-up receiver for industrial production line", IEEE 11th International Multi-Conference on Systems, Signals & Devices (SSD14), IEEE, 2014.
[25] Durante, M. S., Mahlknecht, S., "An ultra low power wakeup receiver for wireless sensor nodes", Third International Conference on Sensor Technologies and Applications, IEEE, 2009.
[26] Mazloum, N. S., Rodrigues, J. N., Andersson, O., Nejdel, A., Edfors, O., "Improving Practical Sensitivity of Energy Optimized Wake-Up Receivers: Proof of Concept in 65-nm CMOS", IEEE Sensors Journal, Vol. 16, No. 22, pp. 8158-8166, 2016.

زیرنویس‌ها

[1] IOT
[2] Harvesting energy
[3] Wake up receiver
[4] Wireless sensors network
[5] Demodulation circuit
[6] Low noise base-band amplifier
[7] Address decoder
[8] PWM signal
[9] RF decoder
[10] RF amplifier
[11] Sequential Address Decoder