Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 4, 2025
DOI: 10.61882/jiaeee.22.4.131

Design of a Fully Hardened Latch Against SEDU with Input Transient Fault Filtering Capability Using an Enhanced C-Element

Maryam Shekarriz Fomani [1], Rahebeh Niaraki Asli[2]

[1] MSc Student, Department of Electrical Engineering, Faculty of Electrical Engineering, University of Guilan, Guilan, Iran
maryamshekarriz77@gmail.com
[2] Associate Professor, Department of Electrical Engineering, Faculty of Electrical Engineering, University of Guilan, Guilan, Iran
niaraki@guilan.ac.ir

Abstract:

As transistor dimensions, supply voltage levels, and node capacitances continue to scale down in modern nanoscale technologies, digital circuits become increasingly susceptible to soft errors, including input transient faults, single-event single-node upsets, and single-event double-node upsets. Therefore, designing robust latches is essential to maintain reliability and ensure stable circuit operation. In this work, a fully hardened latch immune to single-event double-node upsets and capable of filtering input transient faults is proposed, in which an enhanced C-element is employed as the primary mechanism for preventing fault propagation. Simulations performed using Gate-All-Around (GAA) technology indicate that, compared to competing designs, the proposed latch reduces power consumption by 34.77% to 73.80%, decreases propagation delay by 1.84% to 23.38%, and improves the power–delay product by 8.87% to 71.24%. Moreover, the proposed latch effectively filters input transient faults with pulse widths up to 7.9 ps. In addition, Monte Carlo analysis demonstrates that the proposed design exhibits significant robustness against process variations and environmental fluctuations.

Keywords: Fully hardened Latch, Single-event double-node upsets, Input transient fault, Gate-all-around technology, Power-delay product

Article Type: Research

Received: 21. 07. 2024

Revised: 01. 11. 2025

Accepted: 19. 12. 2025

Corresponding author: R. Niaraki Asli

Corresponding author's address: 5th Kilometer of Rasht–Qazvin Road, Elec. Eng. Dep., University of Guilan, Guilan, Iran

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

With the scaling down of transistors, the reduction of supply voltage, and the decrease in node capacitance, the susceptibility of digital circuits to soft errors including Single-Event Transient (SET), Single-Event Upset (SEU), and Single-Event Double-Upset (SEDU) has increased [1,2]. Nowadays, designing digital circuits with high speed, low power consumption, and high reliability is of great importance. Latches, as the most fundamental elements of digital circuits, play a critical role; therefore, enhancing their resilience to soft errors and optimizing their performance positively impacts the overall system's functionality and stability [3,4]. Gate-All-Around (GAA) transistors, with better electrostatic control, reduce short-channel effects and leakage currents [5]. In this paper, the proposed DHLSF latch (SEDU-Hardened Latch with SET Filter) is presented, which is fully resilient to SEDU and capable of filtering input transient errors. Compared to similar latches, the DHLSF latch improves key performance parameters.

2. Contributions

The proposed DHLSF latch structure consists of four Transmission Gates (TG), a CG-based DICE, a two-input C-Element (CE), a clock-pulsed controlled CE, and a CG-based strengthened two-input CE. This structure makes the DHLSF latch fully resistant to SEU and SEDU. Additionally, placing the strengthened CE in the data path from input to output enables the DHLSF latch to filter SET pulses with a significant pulse width. Compared to similar latches, the proposed design reduces power consumption and delay while improving the power–delay product (PDP). Furthermore, Monte Carlo analysis confirms the stability and uniformity of the latch's performance under process variations and environmental conditions.

3. Procedures

In this paper, the proposed latch and radiation-hardened reference latches were simulated under identical conditions. All simulations were performed using the HSPICE simulator with compact BSIM-CMG [6] models. A cylindrical gate-all-around (GAA) technology was employed, with a gate length and nanowire radius of 10 nm and a gate oxide thickness of 1.15 nm. The simulations were carried out at a nominal supply voltage of 0.7 V, a clock frequency of 500 MHz, and a temperature of 27 °C. To evaluate soft-error tolerance, a double-exponential current source model [7] with time constants $\tau\alpha$ and $\tau\beta$ of 1 ps and 30 ps, respectively, was used [8]. DHLSF latch was first simulated without soft errors, then its robustness against SEU and SEDU was evaluated by injecting faults. SET effects were also tested using positive and negative square pulses. The clock-to-Q delay (DCQ), setup time, propagation delay, power consumption, PDP, and filtered SET pulse width (SETF) were calculated. Percentage comparisons of these parameters were then performed between the proposed latch and latches resilient to SEU, SEDU, and SET. The impact of process variations on the proposed latch was evaluated using a 1000-iteration Monte Carlo analysis, considering Gaussian-distributed variations in gate length and gate oxide thickness with a standard deviation of 5% relative to their nominal values, and the resulting PDP under these variations was reported [9]. The impact of environmental variations, including temperature and supply voltage, on power consumption and clock-to-Q delay of the latches was also evaluated.

4. Findings

The results indicate that the DHLSF latch is fully resilient to SEU and SEDU and is capable of filtering input transient pulses with a width of 7.9 ps.

Based on the simulation results, the delay of the DHLSF latch is 1.84% to 23.3% lower than that of other comparable latches, while it is 14.51% higher than that of the AQMRR-ST latch. The power consumption of the proposed DHLSF latch is reduced by 34.77% and 73.80% compared to the TPDICE-based D latch and the AQMR-ST latch, respectively; however, it is increased by 23.34% and 17.40% compared to the DURTPF and DNURF latches, respectively. The PDP of the DHLSF latch is improved by 8.87% to 71.24% compared to other latches and shows an increase of 11.55% only when compared with the DNURF latch. In addition, the DHLSF latch filters the input transient error pulse width 5.3% to 163.3% more effectively than the other latches.

The PDP of the DHLSF latch under process variations, with a mean of 5.83 aJ and a standard deviation of 0.789, indicates its considerable robustness. Environmental variations,
including temperature and supply voltage, were also examined; increasing temperature affects both delay and power consumption, while increasing supply voltage reduces delay but increases power consumption.

5. Conclusion

In this paper, the DHLSF latch was presented as a fully SEDU-resilient structure with SET-filtering capability. Simulation results show that the proposed latch reduces power consumption by 34.77% to 73.80% and improves the power–delay product (PDP) by 8.87% to 71.24% compared to similar latches.

The use of an enhanced C-Element in the data path also enables the DHLSF latch to filter input transient pulses up to 7.9 ps, demonstrating a 5.3% to 163.3% improvement over other latches with the same capability. Furthermore, Monte Carlo analysis confirms that the DHLSF latch exhibits robust stability against process variations and environmental conditions.

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره چهارم، زمستان ۱۴۰۴، صفحات ۱۳۱-۱۳۸

DOI: 10.61882/jiaeee.22.4.131

طراحی لچ کاملاً مقاوم در برابر SEDU با قابلیت فیلترکردن خطای گذرای ورودی با استفاده از C-Element تقویت‌شده

مریم شکرریز فومنی[۱]، راهبه نیارکی اصلی[۲]

۱- دانشجوی کارشناسی ارشد - دانشکده مهندسی برق- دانشگاه گیلان- گیلان- ایران

maryamshekarriz77@gmail.com

۲- دانشیار- دانشکده مهندسی برق- دانشگاه گیلان - گیلان- ایران

niaraki@guilan.ac.ir

چکیده: با کاهش ابعاد ترانزیستورها، ولتاژ تغذیه و ظرفیت خازنی گره‌ها در فناوری‌های کوچک مقیاس، حساسیت مدارات دیجیتال نسبت به خطاهای نرم، شامل خطای گذرای ورودی، تک رخداد یک گره واژگونی و تک رخداد دو گره واژگونی، به طور چشمگیری افزایش می‌یابد؛ از این رو طراحی لَچ‌های مقاوم برای حفظ قابلیت اطمینان و پایداری عملکرد ضروری است. در این پژوهش، لَچی کاملاً مقاوم در برابر تک رخداد دو گره واژگونی با قابلیت فیلتر کردن خطای گذرای ورودی ارائه می‌شود که در آن از C-Element تقویت‌شده به‌عنوان سازوکار اصلی جلوگیری از انتشار خطا استفاده شده است. شبیه‌سازی‌ها با فناوری گیت همه‌طرفه انجام شده و نتایج نشان می‌دهد لچ پیشنهادی نسبت به طرح‌های مورد مقایسه، توان مصرفی را از ۳۴/۷۷٪ تا ۷۳/۸۰٪ کاهش داده، تأخیر انتشار را ۱/۸۴٪ تا ۲۳/۳۸٪ کم کرده و حاصل ضرب توان–تأخیر را ۸/۸۷٪ تا ۷۱/۲۴٪ بهبود می‌دهد. همچنین این لچ قادر است خطای گذرای ورودی را تا پهنای پالس ۷/۹ پیکوثانیه فیلتر کند. افزون براین، تحلیل مونت‌کارلو نشان می‌دهد طرح پیشنهادی در برابر تغییرات فرایندی و شرایط محیطی از پایداری و یکنواختی قابل توجهی برخوردار است.

کلمات کلیدی: لچ کاملاً مقاوم، تک رخداد دو گره واژگونی، خطای گذرای ورودی، فناوری GAA ، حاصل ضرب توان–تأخیر

نوع مقاله: پژوهشی

دریافت: ۱۴۰۳/۰۵/۰۲

بازنگری: ۱۴۰۴/۰۸/۱۰

پذیرش: ۱۴۰۴/۰۹/۲۸

نام نویسنده‌ی مسئول: راهبه نیارکی اصلی

نشانی نویسنده‌ی مسئول: ایران – گیلان – کیلومتر ۵ جاده رشت قزوین – دانشگاه گیلان – دانشکده‌ی برق

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

۱- مقدمه

با کاهش مقیاس مدارهای دیجیتال، چالش‌های جدیدی در اثر کوتاه شدن کانال و افزایش جریان نشتی به وجود می‌آید. از این رو، در فناوری‌های مطرح پس از CMOS، برای بهبود کنترل گیت و کاهش اثرات کانال کوتاه از ترانزیستورهای چندگیتی استفاده می‌شود [۱]. یکی از ساختارهای چندگیتی ترانزیستور گیت همه طرفه (Gate-All-Around– GAA) است که در آن منطقه کانال توسط عایق و الکترود گیت، کامل احاطه می‌شود، در نتیجه اثرات کانال کوتاه و جریان نشتی کاهش می‌یابد [۲،۳]. از سایر فناوری‌های مطرح برای ساخت لچ‌ها می‌توان به تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی اشاره کرد [۴،۵].

کوچک شدن ترانزیستور، ولتاژ تغذیه و ظرفیت خازنی گره‌ها، موجب کاهش بار بحرانی و افزایش حساسیت مدارهای دیجیتال نسبت به خطاهای نرم می‌شود [۶]. خطاهای نرم ناشی از برخورد ذراتی مانند نوترون‌ها، الکترون‌ها و یون‌های سنگین هستند و می‌توانند منجر به تک رخداد یک گره واژگونی (Single-Event Upset–SEU)، خطای گذاری ناشی از ورودی (Single-Event Transient–SET) و یا به دلیل تراکم بالای مدار و نزدیکی گره‌ها سبب تک رخداد دو گره واژگونی (Single-Event Double-Upset–SEDU) شوند [۷].

امروزه طراحی مدارات دیجیتال با سرعت بالا، توان مصرفی کم و قابلیت اطمینان بسیار مهم است. لچ‌ها به‌عنوان عناصر پایه در این مدارات نقشی اساسی دارند و تقویت مقاومت آن‌ها در برابر خطاهای نرم به‌طور مستقیم بر پایداری کل سیستم اثر می‌گذارد [۸،۹]. از نظر مقاومت در برابر خطای نرم، لچ‌ها به دو دسته مقاوم و کاملاً مقاوم تقسیم می‌شوند؛ لچ‌های دارای گره‌های حساس، در دسته مقاوم قرار دارند و لچ‌های فاقد گره حساس، کاملاً مقاوم محسوب می‌شوند [۱۰].

لچ‌های کاملاً مقاوم در سه گروه اصلی طبقه‌بندی می‌شوند: گروه اول شامل لچ‌های مقاوم در برابر SEU نظیر HLR-CG [۱۱]، HRPU [۱۲] و LPHS [۱۳] است. گروه دوم، لچ‌هایی مانند HSMUF [۱۴] و DCTELC [۶] را شامل می‌شود که در برابر SEDU نیز کاملاً مقاوم‌اند. گروه سوم، ساختارهایی مانند TPDICE-BASED D Latch [۱۵]، DURTP [۱۶]، AQMRL-ST [۱۷] و DNURF [۱۸] را در بر می‌گیرد که علاوه بر مقاومت کامل در برابر SEDU، توانایی فیلترکردن SET را نیز دارند. در این ساختارها از عناصر مقاوم‌سازی مانند سلول ذخیره‌سازی دوگانه قفل‌شده (Dual Interlocked Storage Cell–DICE)، C-Element (CE) و اشمیت‌تریگر در مسیر داده استفاده می‌شود (شکل ۱).

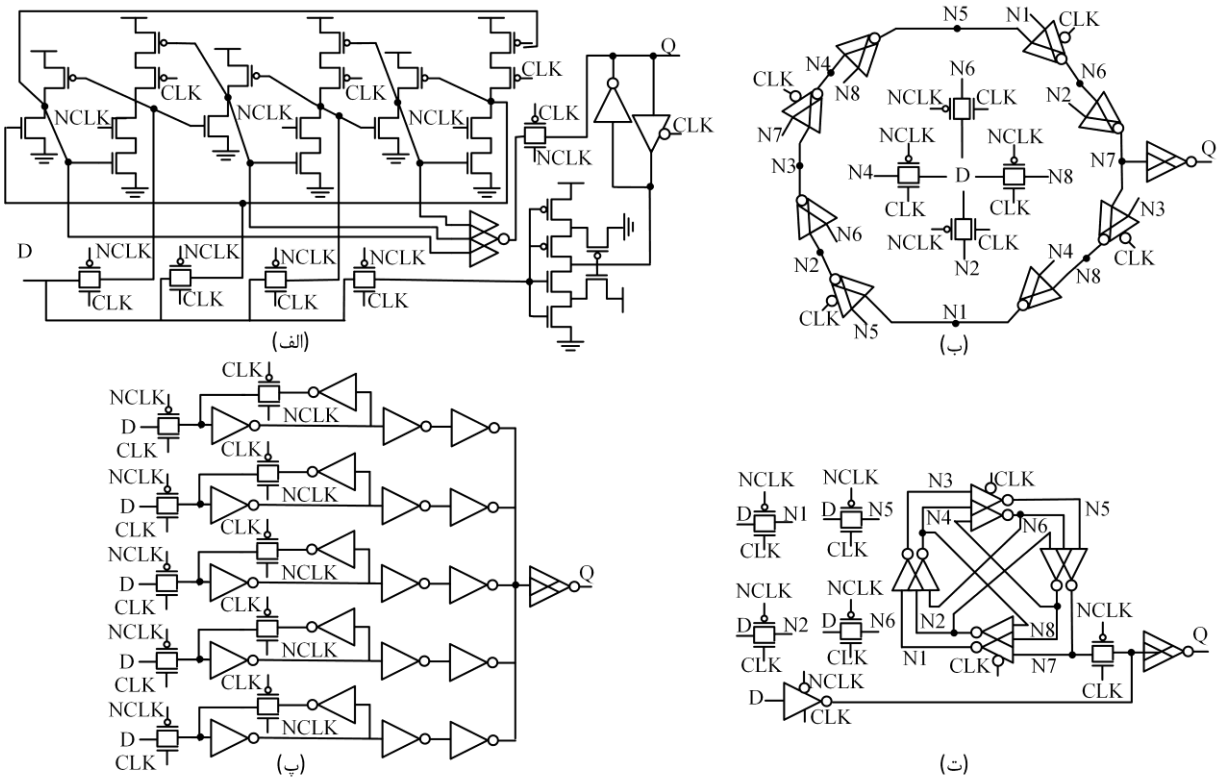
بنابراین طراحی لچی که در برابر SEDU کاملاً مقاوم باشد و بتواند SET را نیز فیلتر کند، نقش مهمی در افزایش قابلیت اطمینان سیستم دارد. در این مقاله یک لچ کاملاً مقاوم در برابر SEDU با قابلیت فیلترکردن خطای گذرای ورودی ارائه می‌شود. در ساختار پیشنهادی DHLSF (مخفف SEDU-Hardened Latch with SET Filter)، از C-Element تقویت‌شده در مسیر داده استفاده شده که توانایی فیلتر کردن پالس‌های گذرای ورودی را تا پهنای قابل توجهی فراهم می‌کند و نسبت به طرح‌های پیشین از نظر پارامترهای عملکردی بهبود چشمگیری دارد.

ساختار مقاله به این صورت است: در بخش دوم فناوری GAA معرفی می‌شود. بخش سوم به تشریح لچ پیشنهادی اختصاص دارد. بخش چهارم نتایج شبیه‌سازی و مقایسه با لچ‌های مشابه را ارائه می‌کند. بخش پنجم اثر تغییرات فرایند و شرایط محیطی را بررسی می‌کند و در پایان نتیجه‌گیری ارائه می‌شود.

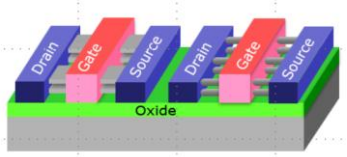
۲- فناوری GAA

فناوری گیت همه طرفه (GAA) یکی از پیشرفته‌ترین ساختارهای چندگیتی در مقیاس نانومتری است؛ که به دلیل امکان کنترل کامل کانال، مشخصه‌های الکتریکی قابل پیش‌بینی‌تری نسبت به ترانزیستورهای اثر میدانی باله‌ای (Fin Field-Effect Transistor – FinFET) ارائه می‌کند. در این ساختار، جریان زیرآستانه، هدایت کانال و ولتاژ آستانه با دقت بالاتری قابل تنظیم هستند و همین موضوع استفاده از آن را در شبیه‌سازی‌های حساس به تغییرات فرایند مناسب می‌سازد.

ترانزیستورهای GAA در دو ساختار مکعبی و استوانه‌ای ساخته می‌شوند. مدل استوانه‌ای با توجه به تقارن هندسی و یکنواختی بیشتر میدان الکتریکی، رفتار پایدارتری در برابر تغییرات فرکانس، ولتاژ تغذیه و دما دارد. از این‌رو در شبیه‌سازی این پژوهش از مدل استوانه‌ای استفاده شده است. پارامترهای اصلی این ساختار شامل طول گیت و شعاع کانال بوده که مقادیر آن مطابق فناوری معرفی‌شده در [۱۹، ۳] انتخاب شده‌اند. نمای سه‌بعدی فناوری GAA در شکل (۲) آمده است.



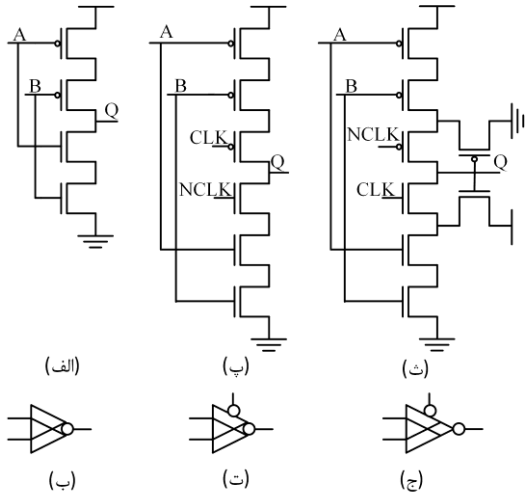
شکل (۱): ساختار لچ الف) [۱۵] TPDICEBASED D ب) [۱۶] DURTPF پ) [۱۷] AQMRL-ST ت) [۱۸] DNURF



شکل (۲): نمای سه بعدی GAA [۳]

۳- ساختار لچ کاملاً مقاوم در برابر SEDU با قابلیت فیلترکردن SET

یکی از عناصر مهم در مقاوم‌سازی گره‌ها در برابر خطاهای نرم، عنصر C (C-Element –CE) است. CE یک گیت منطقی است که خروجی آن تنها زمانی تغییر می‌کند که ورودی‌ها در یک سطح منطقی یکسان باشند. شکل (۳) سه نوع CE شامل CE دو ورودی ، CE دو ورودی کنترل‌شده با پالس ساعت (CLK) و CE دو ورودی تقویت‌شده بر پایه Clock Gating (CG) را همراه با نماد آنها نشان می‌دهد.

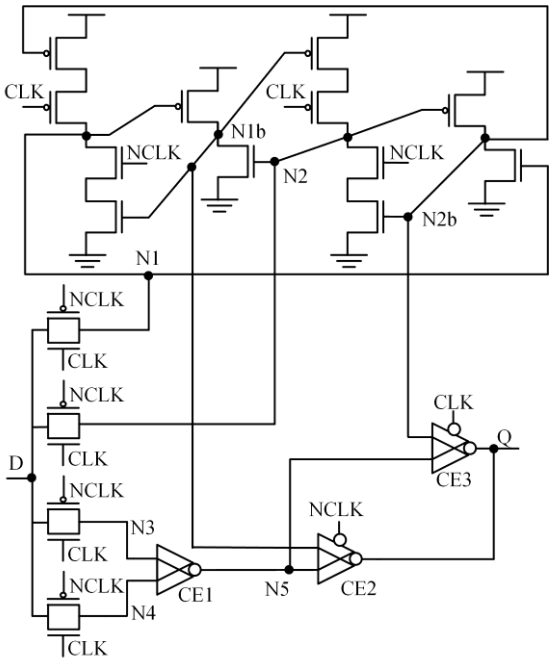


شکل (۳): (الف و ب): CE دو ورودی و نماد آن (پ و ت) CE دو ورودی کنترل شده با CLK و نماد آن CLK (ث و ج): CE دو ورودی تقویت شده بر پایه Clock Gating و نماد آن

در گیت منطقی CE دو ورودی (شکل ۳-الف)، خروجی تنها زمانی تغییر می‌کند که ورودی‌های آن در یک سطح منطقی یکسان باشند. در CE کنترل‌شده با پالس ساعت (شکل ۳-پ)، عملکرد عنصر در حالت $CLK=0$ فعال است. در CE تقویت‌شده (شکل ۳-ث)، تغییر خروجی زمانی انجام می‌شود که CLK برابر یک باشد و دو ورودی نیز

مقدار برابر داشته باشند. در این ساختار، اگر ورودی‌ها تحت تأثیر خطای گذرای مثبت قرار گیرند، برای تغییر خروجی ابتدا باید گره *N1* تخلیه شود، و در صورت بروز خطای منفی، خروجی تنها زمانی واژگون می‌شود که گره *N2* کاملاً شارژ شده باشد. این ویژگی‌ها موجب افزایش مقاومت CE تقویت‌شده در برابر خطاهای نرم می‌شود.

ساختار لچ پیشنهادی DHLSF در شکل (۴) نشان داده شده است. این لچ از چهار Transmission Gate (TG)، یک DICE بر پایه CG، یک CE دو ورودی، یک CE کنترل شده با پالس ساعت و CE دو ورودی تقویت‌شده بر پایه CG تشکیل شده‌است. همچنین قرارگیری CE تقویت‌شده در مسیر داده ورودی به خروجی باعث می‌شود لچ DHLSF توانایی فیلترکردن پالس‌های گذرای SET را تا پهنای قابل‌توجهی داشته باشد.



شکل (۴): ساختار لچ پیشنهادی DHLSF

۳-۱-رفتار لچ DHLSF در دو مد شفاف و نگه‌داری

لچ پیشنهادی DHLSF در دو مد شفاف و نگه‌داری عمل می‌کند. هنگامی‌که *CLK*=1 است، لچ در مد شفاف قرار دارد. در این حالت TGها روشن و داده ورودی به گره‌های N1، N2، N3 و N4 منتقل می‌شود. همزمان CE2 فعال و CE3 غیرفعال است. اگر ورودی برابر یک باشد، گره‌های *N1* و *N2* که به ساختار DICE متصل‌اند مقدار یک می‌گیرند و در نتیجه گره‌های مکمل آن‌ها *N1b* و *N2b* صفر می‌شوند. همچنین خروجی CE*1* با توجه به ورودی‌هایش برابر صفر شده و خروجی *CE2* یعنی *Q* مقدار یک را اختیار می‌کند.

درصورت برابر بودن ورودی با صفر، گره‌های *N5* و *N1b* مقدار یک و در نتیجه خروجی *Q* مقدار صفر خواهد داشت.

وقتی *CLK*=0 باشد، لچ در مد نگه‌داری قرار دارد. در این وضعیت TGها خاموش شده و ترانزیستورهای کنترل‌شده با سیگنال‌های *CLK* و *NCLK* در ساختار DICE و CE3 فعال می‌شوند. CE3 مقدار خروجی را بدون وابستگی به ورودی جدید حفظ می‌کند. بنابراین اگر در چرخه قبل گره‌های *N1b*، *N2b* و *N5* مقدار صفر داشته باشند، CE3 همان مقدار قبلی خروجی *Q* را نگاه می‌دارد. همچنین اگر مقدار این گره‌ها در چرخه قبل برابر یک باشد، خروجی *Q* صفر باقی می‌ماند. به این ترتیب، لچ در مد نگه‌داری بدون تغییر مقدار خروجی، حالت قبلی را پایدار حفظ می‌کند.

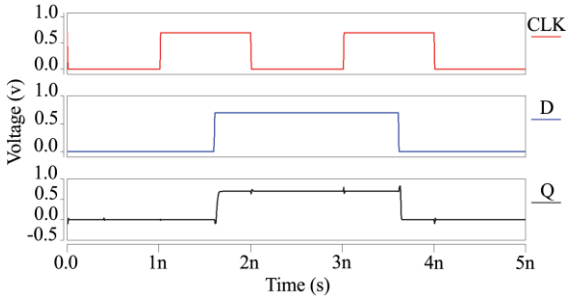
۳-۲-نتایج شبیه‌سازی لچ پیشنهادی DHLSF

شبیه‌سازی‌هادر نرم افزار HSPICE با استفاده از مدل‌های فشرده شده BSIM-CMG معرفی شده در [۲۰] انجام شده است. فناوری مورد استفاده، GAA استوانه‌ای، در ولتاژ نامی ۰/۷ ولت، فرکانس ۵۰۰ مگاهرتز و دمای ۲۷ درجه سانتی‌گراد است و پارامترهای اصلی این فناوری در جدول (۱) ارائه شده‌اند.

جدول (۱): پارامترهای مورد نیاز شبیه‌سازی

اندازه پارامترها	پارامترهای فناوری GAA
۱۰ نانومتر	طول گیت
۱۰ نانومتر	شعاع
۱/۱۵ نانومتر	اکسید گیت

شکل (۵) نتایج شبیه‌سازی لچ DHLSF بدون اعمال خطای نرم را نشان می‌دهد؛ که خروجی لچ پیشنهادی در مد شفاف برابر ورودی و در مد نگهداری مقدار قبلی خود را حفظ می‌کند.



شکل (۵): نتایج لچ DHLSF بدون اعمال خطای نرم

۳-۳-بررسی SEU و SEDU در لچ DHLSF

در این بخش مقاومت لچ DHLSF در برابر SEU و SEDU در فناوری GAA بررسی شده است. برای اعمال خطای نرم از مدل منبع جریان دونمایی معرفی شده در [۲۱] با ثابت‌های زمانی τα و τβ برابر با ۱ و ۳۰ پیکوثانیه استفاده شده‌است [۱۵].

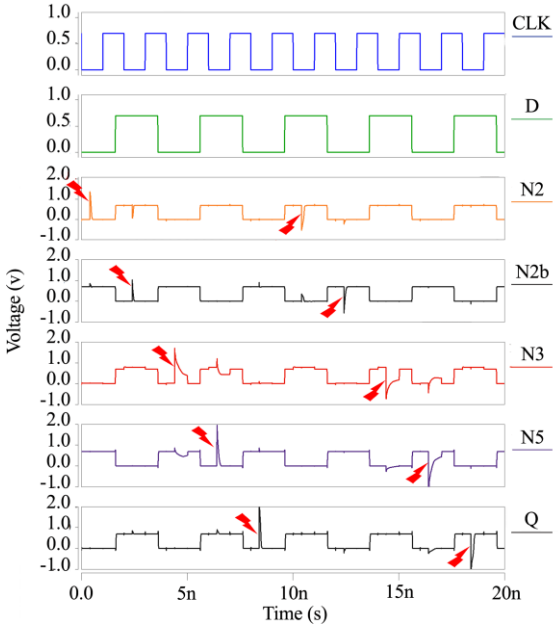
ساختار DICE قادر است مقدار صحیح گره‌های خود را پس از وقوع تک‌رخداد (SEU) بازیابی کند. بنابراین اگر SEU به یکی از گره‌های DICE برخورد کند، مقدار آن گره بازیابی می‌شود. همچنین اگر SEU به یکی از ورودی‌های CE1 یا CE3 اعمال شود، خروجی آن‌ها مقدار صحیح خود را حفظ می‌کند. از آنجا که در مد نگه‌داری گره

خروجی از گره‌های داخلی جدا است، در صورت برخورد SEU به گره خروجی نیز مقدار Q تغییر نخواهد کرد.

مطابق شکل (۶)، در زمان‌های ۰/۴، ۲/۴، ۴/۴، ۶/۴ و ۸/۴ نانوثانیه SEU به گره‌های $N2$، $N2b$، $N3$، $N5$ و Q اعمال شده است. همچنین برای بررسی عدم وابستگی مقاوم بودن لچ از مقدار اولیه گره‌ها، خطای مکمل در زمان‌های ۱۰/۴، ۱۲/۴، ۱۴/۴، ۱۶/۴، ۱۸/۴ نانوثانیه به همین گره‌ها تزریق شده است. نتایج نشان می‌دهد که لچ پیشنهادی DHLSF در برابر SEU کاملاً مقاوم است.

برای بررسی تک رخداد دو گره واژگونی (SEDU)، جفت گره‌های در معرض به سه دسته تقسیم می‌شوند. دسته اول، شامل <$N1$,$N1b$> و <$N1$,$N2$> است که که هر دو گره در ساختار DICE قرار دارند و تحت برخورد SEDU مورد ارزیابی قرار گرفته‌اند.

عنصر DICE توانایی خودبازیابی گره‌های خود را در برابر SEDU ندارد. بنابراین هنگامی‌که جفت‌گره‌های <$N1$, $N1b$> در معرض SEDU قرار می‌گیرند، گره $N2b$ نیز تحت تأثیر قرار گرفته و به دلیل نابرابر بودن ورودی‌های CE3، خروجی مقدار صحیح خود را حفظ می‌کند. همین رفتار برای جفت‌گره <$N1$, $N2$> نیز برقرار است.

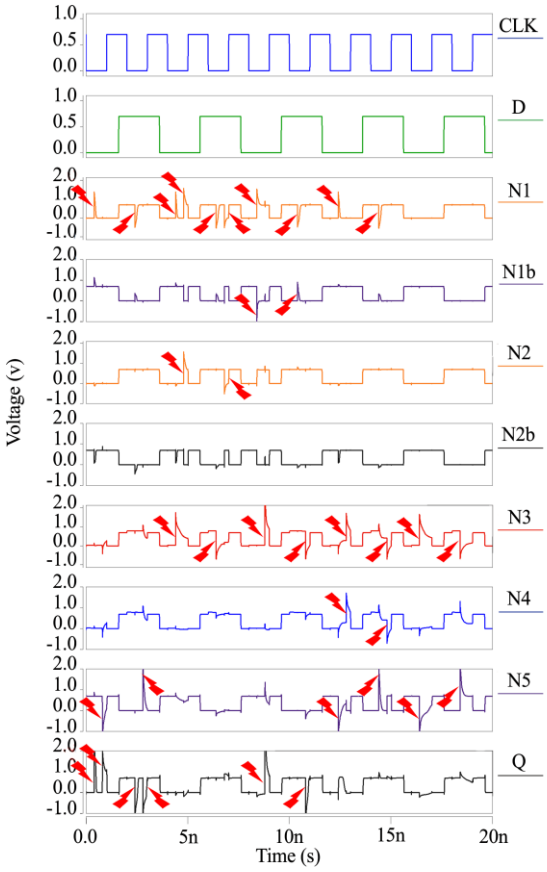


شکل (۶): نتایج شبیه‌سازی لچ پیشنهادی DHLSF با اعمال SEU

دسته دوم شامل جفت‌گره‌هایی است که یکی در ساختار DICE و دیگری خارج از آن قرار دارد. جفت‌گره‌های <$N1$, $N3$>،<$N1$, $N5$> و <$N1$, NQ> در این دسته قرار می‌گیرند. در حالت <$N1$, $N3$> گره $N1$ به‌دلیل قرار داشتن در DICE مقدار صحیح خود را بازیابی می‌کند. خطای وارد شده به گره $N3$ نیز به‌علت نابرابر بودن ورودی‌های CE1 به گره $N5$ منتقل نمی‌شود و در نتیجه CE3 دچار خطا نشده و خروجی مقدار پیشین خود را حفظ می‌کند. در حالت <$N1$, $N5$>، DICE مقدار صحیح $N1$ را بازیابی کرده و با توجه به سالم بودن ورودی‌های CE1، گره $N5$ نیز مقدار اصلی خود را حفظ می‌کند.در حالت <$N1$, NQ>، گره $N1$ خطا را اصلاح می‌کند و از آنجایی‌که ورودی‌های CE3 مقدار صحیح دارند، خروجی Q نیز تحت تأثیر قرار نمی‌گیرد.

دسته سوم شامل جفت‌گره‌هایی است که هر دو خارج از ساختار DICE قرار دارند. این جفت‌گره‌ها شامل <$N3$,$N4$>، <$N3$,$N5$>، <$N3$,NQ> و <$N5$,NQ> هستند. در حالت <$N3$,$N4$> برخورد SEDU باعث تغییر مقدار گره $N5$ نیز می‌شود، اما به‌دلیل نابرابر بودن ورودی‌های CE3، خروجی تحت تأثیر قرار نمی‌گیرد. در حالت <$N3$,$N5$> نیز نابرابر بودن ورودی‌های CE3 سبب می‌شود خروجی مقدار صحیح خود را حفظ کند. در حالت <$N3$, NQ>، ورودی‌های CE3 دچار خطا نمی‌شوند؛ بنابراین لچ خطای اعمال‌شده به خروجی را برطرف می‌کند. در حالت <$N5$, NQ> نیز با توجه به صحیح بودن ورودی‌های CE1، مقدار $N5$ اصلاح شده و خروجی Q نیز به‌دلیل سالم ماندن ورودی‌های CE3 مقدار قبلی خود را حفظ می‌کند.

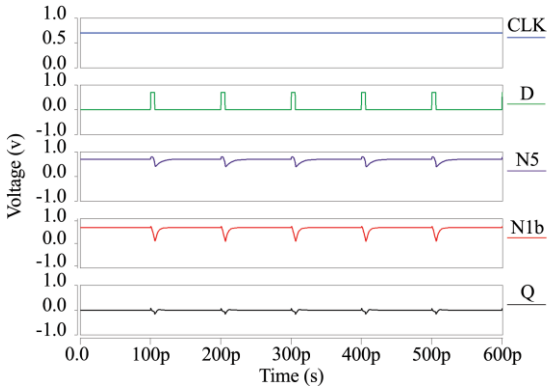
مطابق شکل (۷) جفت گره‌های <$N1$,Q>، <$N5$,Q>، <$N1$,$N3$>، <$N1$,$N2$>،<$N1$,$N1b$>، <$N3$,Q>، <$N1$,$N5$>، <$N3$,$N4$>، <$N3$,$N5$> به ترتیب در زمان‌های ۰/۴، ۰/۸، ۴/۴، ۸/۴، ۸/۸، ۱۲/۴، ۱۲/۸ و ۱۶/۴ نانوثانیه تحت برخورد SEDU قرار گرفته‌اند. همچنین برای بررسی عدم وابستگی مقاوم بودن لچ از مقدار اولیه گره‌ها، خطای مکمل در زمان‌های ۲/۴، ۲/۸، ۶/۴، ۶/۸، ۱۰/۴، ۱۰/۸، ۱۴/۴، ۱۴/۸ و ۱۸/۴ به ترتیب به جفت گره‌ها وارد می‌شود. نتایج نشان می‌دهد لچ پیشنهادی در برابر SEDU کاملا مقاوم است.



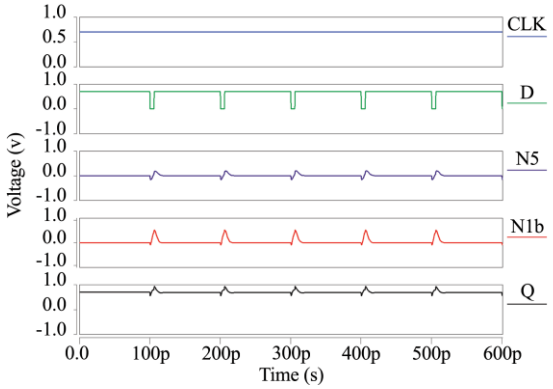
شکل (۷): نتایج شبیه‌سازی لچ پیشنهادی DHLSF با اعمال SEDU

۳-۴-بررسی SET لچ DHLSF

در مسیر انتقال داده ورودی به خروجی لچ DHLSF، یک CE تقویت شده قرار دارد، که نقش اصلی آن جلوگیری از انتشار خطای گذرای ورودی است. در این مقاله SET به صورت پالس مربعی مثبت و منفی در شرایط CLK=1 مطابق روش ارائه‌شده در[۲۲] شبیه‌سازی شده است. نتایج ارائه شده در شکل‌های (۸) و (۹) نشان می‌دهد که لچ پیشنهادی قادر است پالس‌های گذرای ورودی را تا پهنای ۷/۹ پیکوثانیه فیلتر کند.



شکل (۸): نتایج شبیه‌سازی لچ پیشنهادی DHLSF با اعمال SET به صورت پالس مربعی مثبت



شکل (۹): نتایج شبیه‌سازی لچ پیشنهادی DHLSF با اعمال SET به صورت پالس مربعی منفی

۴- مقایسه پارامترهای عملکردی

برای مقایسه عملکرد، سایر لچ‌های مقاوم نیز تحت شرایط یکسان بخش ۲-۳ شبیه‌سازی شده‌اند. جدول (۲) شامل پارامترهای تاخیر کلاک-به-خروجی (DCQ)، زمان راه‌اندازی (Setup time)، تاخیر، توان مصرفی، حاصلضرب توان-تاخیر (PDP)، پهنای پالس فیلترشده (SETF) و همچنین وضعیت مقاوم بودن لچها در برابر SEU و SEDU و قابلیت فیلترکردن SET را نشان می‌دهد. لچهای [۱۱] HLR-CG، [۱۲] HRPU و [۱۳] LPHS در برابر SEU کاملاً مقاوم‌اند. لچهای [۱۴] HSMUF و [۶] DCTELC در برابر SEU و SEDU کاملاً مقاوم هستند. همچنین ساختارهای [۱۵] TPDICE BASED D Latch، [۱۶] DURTPF ، [۱۷] AQMRL-ST و [۱۸] DNURF مانند لچ پیشنهادی DHLSF، علاوه بر مقاوم بودن کامل در برابر SEDU، قابلیت فیلترکردن SET را نیز دارند.

تاخیر هر لچ مجموع زمان‌های DCQ و Setup time است. لچهایی که ورودی آن‌ها به‌صورت مستقیم به خروجی متصل است و قابلیت فیلترکردن SET ندارند، معمولاً تأخیر کمتری دارند. در مقابل، لچهایی که دارای سازوکار فیلترکردن SET هستند، به‌دلیل اضافه شدن عناصر کنترلی، تأخیر و در نتیجه PDP بیشتری خواهند داشت. لچهای HLR-CG و HRPU ضمن عدم توانایی فیلترکردن SET، به دلیل وجود ترانزیستورهای متعدد در مسیر داده تأخیر آن‌ها افزایش می‌یابد.

در جدول (۳) مقادیر ΔDelay، ΔPower، ΔPDP و ΔSETF مربوط به لچ DHLSF در مقایسه با لچهای کاملاً مقاوم دارای توانایی فیلتر کردن SET آورده شده است. معادله (۱) تعریف درصد تغییرات پارامترهای عملکردی را نشان می‌دهد. مطابق این معادله، علامت منفی نشان‌دهنده افزایش پارامتر متناظر در لچ DHLSF نسبت به طرح تحت مقایسه است. داده‌های جدول (۳) از جدول (۲) استخراج و با توجه به معادله (۱) محاسبه شده‌است.

$$\Delta = (ComparedLatch - ProposedLatch) / ComparedLatch \quad (۱)$$

جدول (۲): پارامترهای عملکردی و پهنای پالس فیلترشده لچهای کاملاً مقاوم

انواع لچ	DCQ (ps)	Setup Time (ps)	Delay (ps)	power (uw)	PDP (aJ)	SETF (ps)	کاملاًمقاوم در برابر SEU	کاملاًمقاوم در برابر SEDU	قابلیت فیلترکردن SET
HLR-CG [۱۱]	۴/۲	۱۹	۲۳/۲	۰/۴۵۴	۱۰/۵	–	✓		
HRPU [۱۲]	۵/۱	۱۲/۲	۱۷/۳	۰/۱۲۷	۲/۲	–	✓		
LPHS [۱۳]	۳/۴	۵/۷	۹/۱	۰/۲۱۵	۱/۹	–	✓		
HSMUF [۱۴]	۴	۵/۳	۹/۳	۰/۳۱۱	۲/۹	–	✓	✓	
TPDICE BASED D Latch [۱۵]	۱۴/۳	۷/۹	۲۲/۲	۰/۴۸۶	۱۰/۸	۷/۵	✓	✓	✓
DCTELC [۶]	۳/۸	۵/۳	۹/۱	۰/۲۴۷	۲/۲	–	✓	✓	
DURTPF [۱۶]	۲۰/۱	۷/۷	۲۷/۸	۰/۲۵۷	۷/۱	۹/۵	✓	✓	✓
AQMRST [۱۷]	۱۳/۸	۴/۸	۱۸/۶	۱/۲۱	۲۲/۵	۳	✓	✓	✓
DNURF [۱۸]	۱۰/۷	۱۱	۲۱/۷	۰/۲۷	۵/۸	۵/۵	✓	✓	✓
DHLSF	۱۵/۸	۵/۴	۲۱/۳	۰/۳۱۷	۶/۴۷	۷/۹	✓	✓	✓

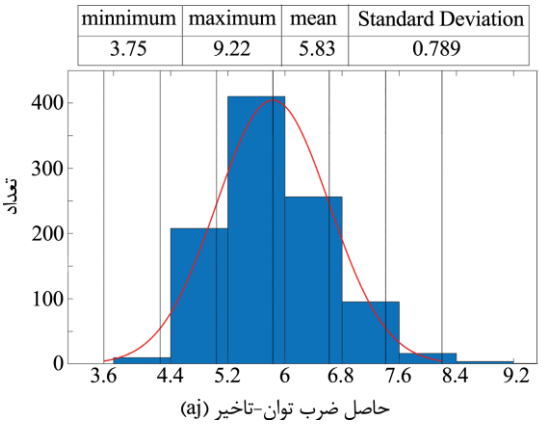
نتایج جدول (۳) نشان می‌دهد که تاخیر لچ DHLSF در مقایسه با سایر لچ‌های مشابه بین ۱/۸۴ تا ۲۳/۳ درصد کمتر و در مقایسه با لچ AQMRR-ST ۱۴/۵۱ درصد بیشتر است. توان مصرفی لچ پیشنهادی DHLSF در مقایسه با لچ‌های TPDICE-BASED D-Latch و AQMR-ST به ترتیب ۳۴/۷۷ و ۷۳/۸۰ درصد کاهش یافته و در مقایسه با لچ‌های DURTPF و DNURF به ترتیب ۲۳/۳۴ و ۱۷/۴۰ درصد افزایش داشته است. PDP لچ DHLSF در مقایسه با سایر لچ‌ها بین ۸/۸۷ تا ۷۱/۲۴ درصد بهبود یافته و تنها در مقایسه با لچ DNURF ۱۱/۵۵ درصد افزایش یافته است. همچنین لچ DHLSF پهنای پالس خطای گذرای ورودی را بین ۵/۳ تا ۱۶۳/۳درصد بیشتر از سایر لچ‌ها فیلتر می‌کند.

جدول (۳): مقایسه پارامترهای عملکردی و پهنای پالس فیلترشده لچ پیشنهادی DHLSF با لچ‌های مشابه

انواع لچ	ΔDelay (%)	Δpower (%)	ΔPDP (%)	ΔSETF (%)
TPDICE BASED D Latch [۱۵]	۴/۰۵	۳۴/۷۷	۴۰/۱	-۵/۳
DURTPF [۱۶]	۲۳/۳۸	-۲۳/۳۴	۸/۸۷	۱۶/۸
AQMRST [۱۷]	-۱۴/۵۱	۷۳/۸۰	۷۱/۲۴	-۱۶۳/۳
DNURF [۱۸]	۱/۸۴	-۱۷/۴۰	-۱۱/۵۵	-۴۳/۶۳

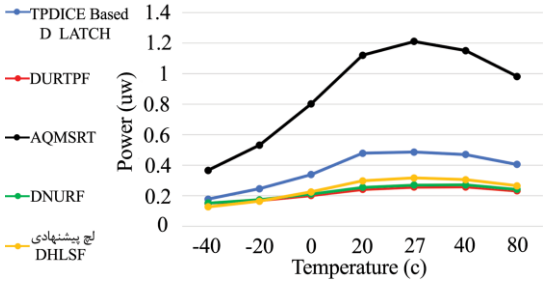
۵- بررسی تغییرات فرایند و محیطی

با کاهش ابعاد ترانزیستورها به مقیاس نانومتری، لچ‌ها نسبت به تغییرات فرایند و شرایط محیطی حساس‌تر می‌شوند [۲۳]. برای ارزیابی تأثیر تغییرات فرایند بر عملکرد لچ پیشنهادی، از آنالیز مونت کارلو با تکرار ۱۰۰۰ بار استفاده شده است. در این تحلیل، تغییرات طول گیت و ضخامت اکسید گیت با توزیع گوسی و انحراف معیار ۵ درصد نسبت به مقدار نامی در نظر گرفته شده‌اند [۱۸]. نتایج ارائه‌شده در شکل (۱۰) مقدار PDP لچ DHLSF را در حضور تغییرات فرایندی نشان می‌دهد. میانگین PDP برابر ۵/۸۳ آتوجول و انحراف معیار آن ۰/۷۸۹ است. بنابراین، لچ DHLSF در برابر تغییرات فرایند از پایداری قابل توجهی برخوردار است.

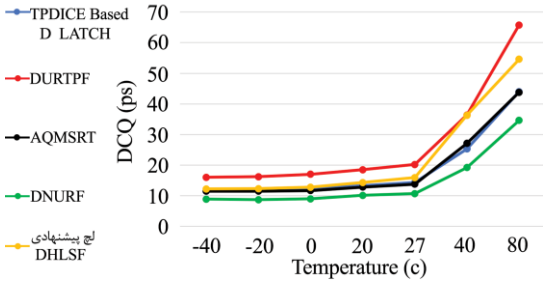


شکل (۱۰): نتایج آنالیز مونت کارلو برای PDP

تغییرات محیطی شامل تغییرات دما و ولتاژ تغذیه است. شکل‌های (۱۱) و (۱۲) توان مصرفی و تأخیر کلاک-به-خروجی لچ‌های مورد مقایسه را در دماهای مختلف نشان می‌دهد. با افزایش دما، به دلیل کاهش تحرک حامل‌ها، تأخیر کلاک-به-خروجی افزایش می‌یابد. افزایش دما همچنین موجب افزایش جریان نشتی و کاهش ولتاژ آستانه شده و در نتیجه توان مصرفی بیشتر می‌شود. با این حال، در دماهای بالا و پس از عبور از یک مقدار آستانه، ولتاژ آستانه مجدداً افزایش یافته و جریان ترانزیستورها کاهش می‌یابد که موجب کاهش توان مصرفی می‌شود.

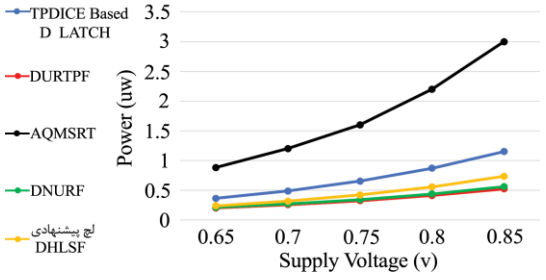


شکل (۱۱): نمودار توان مصرفی در دماهای مختلف

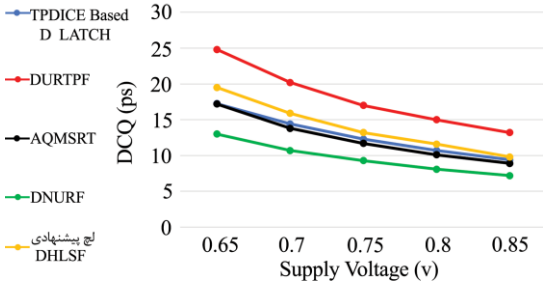


شکل (۱۲): نمودار تاخیر در دماهای مختلف

در شکل (۱۳) و شکل (۱۴) تأثیر تغییرات ۱۰ درصدی ولتاژ تغذیه در دمای ۲۷ درجه سانتی‌گراد بر توان مصرفی و تأخیر کلاک-به-خروجی نشان داده شده است.



شکل (۱۳): نمودار توان مصرفی در ولتاژهای مختلف



شکل (۱۴): نمودار تاخیر در ولتاژهای مختلف

افزایش ولتاژ تغذیه با افزایش جریان هدایتی ترانزیستورها موجب کاهش تأخیر می‌شود. از سوی دیگر، توان مصرفی به‌دلیل وابستگی درجه دوم به ولتاژ تغذیه، با افزایش ولتاژ افزایش می‌یابد.

۶- نتیجه‌گیری

در این مقاله لچ DHLSF به‌عنوان یک ساختار کاملاً مقاوم در برابر SEDU و مجهز به قابلیت فیلترکردن SET ارائه شد. نتایج شبیه‌سازی نشان می‌دهد لچ پیشنهادی در مقایسه با لچ‌های مشابه، توان مصرفی را از ۳۴/۷۷ تا ۷۳/۸۰ درصد کاهش داده و مقدار PDP را بین ۸/۸۷ تا ۷۱/۲۴ درصد بهبود می‌بخشد. استفاده از C-Element تقویت‌شده در مسیر داده نیز موجب شده است این لچ پالس‌های گذرای ورودی را تا پهنای ۷/۹ پیکوثانیه فیلتر کند؛ که نسبت به سایر لچ‌های دارای این قابلیت بین ۵/۳ تا ۱۶۳/۳ درصد بهبود را نشان می‌دهد. افزون‌بر این، نتایج آنالیز مونت‌کارلو تأیید می‌کند که لچ DHLSF در برابر تغییرات فرایند و شرایط محیطی از پایداری مناسبی برخوردار است.

مراجع

[1] Sh. Taghipour and R. Niaraki Asli, "Impact of Negative Bias Temperature Instability on Gate All-Around Flip-Flops", Proc. Int. Conf. on Journal of Electronic Testing, pp. 100-105,2019.

[2] M. Singh Narula and A. Pandy, "A Comprehensive Review on FinFET, Gate All Around, Tunnel FET : Concept, Performance and Challenges", 8th International Conference on Signal Processing and Communication (ICSC),2022.

[3] IEEE INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS IEEE,International Roadmap for Devices and Systems - IEEE IRDS™,2022.

[4] Binaei R, Gholami M. Introducing New Structures for D-Type Latch and Flip-Flop in Quantum-Dot Cellular Automata Technology and its Use in Phase-Frequency Detector, Frequency Divider and Counter Circuits. Journal of Iranian Association of Electrical and Electronics Engineers 2021; 18 (1) :71-80

[5] Gholami M, Rahimpour H. New JK-Latch and Flip-Flop in Quantum-Dot Cellular Automata Technology with Minimal Area. Journal of Iranian Association of Electrical and Electronics Engineers 2025; 22 (2) :183-187

[6] A. Yan, K. Qian, T. Song, Z. Huang, T. Ni, Y. Chen and X. Wen, "A double-node-upset completely tolerant CMOS latch design with extremely low cost for high-performance applications", INTEGRATION, the VLSI journal Elsevier,2022.

[7] Xu, H.; Liu, X.; Yu, G.; Liang, H.; Huang, Z. "LIHL: Design of a Novel Loop Interlocked Hardened Latch. Electronics", 2021.

[8] S.N.Mozaffari and A.Afzali-Kusha, "Statistical Model for Subthreshold Current Considering Process Variations", IEEE Asia Smposium on Quality Electronic Design,2010.

[9] F.M.Sajjade, N.K.Goyal, B. K. S. V. L. Varaprasad and R.Moogina, "Radiation Hardened by Design Latches—A Review and SEU Fault Simulations", Microelectronics Reliability, 83: 127-135,2018.

[10] Omana, Martin, Daniele Rossi, TusharaSandeep Edara, and Cecilia Metra. "Impact of aging phenomena on latches' robustness", IEEE Transactions on Nanotechnology 15, no. 2 (2016).

[11] H. Nan and K. Choi, "High Performance, Low Cost, and Robust Soft Error Tolerant Latch Designs for Nanoscale CMOS Technology", IEEE Transactions on Circuits and Systems—I: REGULAR PAPERS,2012.

[12] R. Rajaei, M. Tabandeh and M. Fazeli, "Single Event Multiple Upset (SEMU) Tolerant Latch Designs in Presence of Process and Temperature Variations", Journal of Circuits, Systems, and Computers, Vol. 24, No. 1,2015.

[13] S. Kumar and S. Kumaravel, "Design and Analysis of SEU Hardened Latch for Low Power and High Speed Applications", Journal of Low Power Electronics and Applications,2019.

[14] A. Yan, H. Liang, Z. Huang and C. Jiang, "High-performance, low-cost, and highly reliable radiation hardened latch design", Electronics Letters,2016.

[15] A. Yana, Z. Huangb, X. Fangc, Y. Ouyangc and H. Deng, "Single event double-upset fully immune and transient pulse filterable latch design for nanoscale CMOS", Microelectronics Journal,2017.

[16] A.Yan, Y. Chen, Z. Xu, Z. Chen, J. Cui, Z. Huang, P. Girard, X. Wen, "Design of Double-Upset Recoverable and TransientPulse Filterable Latches for Low Power and LowOrbit Aerospace Applications", IEEE Transactions on Aerospace and Electronic Systems,2016.

[17] A. Yan, Z. Fan, L. Ding, J. Cui, Z. Huang, Q. Wang, H. Zheng, P. Girard, X. Wen, "Cost-Effective and Highly Reliable Circuit-Components Design for Safety-Critical Applications", IEEE Transactions on Aerospace and Electronic Systems,2022.

[18] S. Wang, L. Wang, M. Guo, Y. Li, B. Li, "A Novel DNU Self-Recoverable and SET Pulse Filterable Latch Design for Aerospace Applications", Electronics12051193, 2023.

[19] S. JaeYoung, Ch. WooYoung, P. JuHee, L. JongDuk, P. Byung-Gook, "Design Optimization of Gate-All-Around (GAA) MOSFETs", IEEE Transactions on Nanotechnology, Vol. 5, No. 3, pp. 186-191,2006.

[20] D. Mohan-V, L. Chng-Hsun, A. Niknejad, H. Chenming, "BSIM-CMG: A compact model for multi-gate transistors, in: J.P. Colinge, chap.3 of FinFETs and Other Multi-Gate Transistors", Springer, New York, NY, USA, pp. 113–151,2008.

[21] Z. Huang1, H. Wang, D. Ma, H. Liang, Y. Ouyang, A. Yan, "Low Overhead and High Stability Radiation-Hardened Latch for Double/Triple Node Upsets", Journal of Electronic Testing, 39:289–301, 2023.

[22] S.S. Hatefinasab, A. Ohata, A. Salina, E. Castillo AND N. Rodriguez, "Highly Reliable Quadruple-Node Upset-Tolerant D-Latch", Digital Object Identifier 10.1109/ACCESS,2022.

[23] H. XU, C. SUN,L.ZHOU, H. LIANG, Z. HUANG, "Design of a Highly Robust Triple-Node-Upset Self-Recoverable Latch", IEEE Access, Vol. 9,2021.