

سنتزکننده فرکانسی نوع کسری تمام مجتمع شده در تکنولوژی ۱۸۰ نانومتر CMOS برای باند فرکانسی ISM

محمدرضا برپور^۱ خسرو رجب پور مقدم^۲ پیمان محمدی خلیل آباد^۳
۱- دانشجوی دکتری- دانشکده مهندسی برق- واحد بجنورد، دانشگاه آزاد اسلامی، بجنورد، ایران
mrpb200@gmail.com
۲- استادیار - دانشکده مهندسی برق- واحد بجنورد، دانشگاه آزاد اسلامی، بجنورد، ایران
rajabpourm@bojnourdiau.ac.ir
۳- استادیار - دانشکده مهندسی برق- واحد بجنورد، دانشگاه آزاد اسلامی، بجنورد، ایران
peiman_mohamadi@bojnourdiau.ac.ir

چکیده: در این مقاله یک سنتزکننده فرکانسی نوع کسری کاملاً مجتمع شده برای پوشش باند فرکانسی ISM طراحی و شبیه سازی شده است. در این مقاله یک تکنیک خطی ساز برای مدار شارژ پمپ ارائه شده است که منجر به بهبود خطیگی مدار شارژ پمپ و در نتیجه کل سنتزکننده شده است. سنتزکننده پیشنهادی در تکنولوژی ۱۸۰ نانومتر CMOS با استفاده از ابزار کیدنس شبیه سازی شده است. نتایج شبیه سازی شده از تکنیک ارائه شده در مدار شارژ پمپ نشان می دهد که خطیگی جریان های مدار شارژ پمپ حدود ۴۴٪ بهبود یافته است و در بازه ولتاژ کنترلی ۰.۲-۱.۶ V، حداکثر ناانطباقی جریانها برابر با ۰.۴ μA می باشد. بهبود خطیگی جریان های مدار، باعث کاهش ۲۵ dBc/Hz نویز فاز داخل باند حلقه قفل فاز شده و حساسیت گیرنده را نیز افزایش می دهد. نتایج شبیه سازی شده کل حلقه سنتزکننده نشان می دهد که زمان قفل حلقه برابر با ۲ μS ، نویز فاز سنتزکننده برای آفست های فرکانسی ۱ KHz، ۱۰ KHz، ۱۰۰ KHz و ۱ MHz به ترتیب برابر ۶۳ dBc/Hz، ۹۰ dBc/Hz، ۹۵ dBc/Hz و ۱۰۷ dBc/Hz است و بیشینه توان تن های کسری ۵۳ dBc پایین تر از سیگنال حامل است. توان مصرفی سنتزکننده ارائه شده از یک منبع تغذیه ۱.۸ V برابر ۱ mW است.

واژه های کلیدی: سنتزکننده فرکانسی، حلقه قفل فاز، آشکار ساز فاز و فرکانس، ناحیه مردگی، باند ISM

DOI: 10.61186/jiaeee.22.1.17

تاریخ ارسال مقاله: ۱۴۰۲/۵/۱۱

تاریخ پذیرش مشروط مقاله: ۱۴۰۳/۳/۱۲

تاریخ پذیرش مقاله: ۱۴۰۳/۱۰/۱۹

نام نویسنده ی مسئول: دکتر خسرو رجب پورمقدم

نشانی نویسنده ی مسئول: ایران - بجنورد - میدان دفاع مقدس - خیابان دانشگاه - دانشگاه آزاد اسلامی واحد بجنورد - دانشکده ی برق

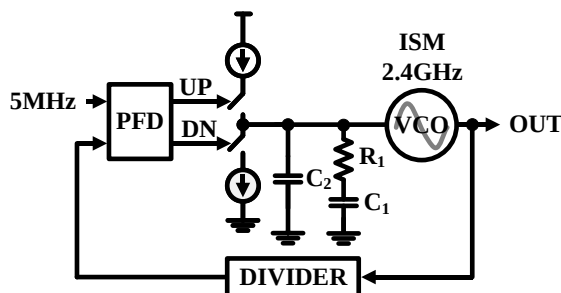
۱- مقدمه

در طول یک دهه‌ی گذشته مجتمع‌سازی مدارات با استفاده از تکنولوژی CMOS به یک زمینه بسیار شاخص تبدیل گردیده و پروسه‌های پیشرفته CMOS امکان پیاده‌سازی سیستم‌های بی‌سیم با نرخ داده بالا را فراهم آورده است [۱]. تقاضا برای سیستم‌های بی‌سیم مخابراتی با نرخ داده بالا به سرعت به سمت تجاری شدن می‌روند، که نیازمند استفاده از سنتزکننده‌های فرکانسی مبتنی بر حلقه‌های قفل فاز برای تولید سیگنال محلی می‌باشند [۲، ۳]. معمولاً، خلوص طیف توان سیگنال محلی، یکی از شاخص‌های بسیار مهم در عملکرد کلی فرستنده-گیرنده‌ها به حساب می‌آید و سیگنال محلی در این کاربردها توسط سنتزکننده‌های فرکانسی پیاده‌سازی می‌شوند. متأسفانه، تن‌های هرز در سیگنال‌های محلی ناگزیر هستند و به شدت عملکرد فرستنده-گیرنده‌ها را محدود می‌کنند. معمولاً کم کردن توان این تن‌های هرز، منجر به افزایش خطینگی بلوک‌های مداری همچون شارژر پمپ، آشکارساز فاز-فرکانس و تقسیم کننده شده و سبب محدود کردن انتخاب فرکانس مرجع، و کم کردن پهنای باند حلقه می‌گردد. شایان ذکر است که افزایش خطینگی منجر به افزایش توان مصرفی و بزرگ شدن حجم مدار می‌شود، محدود کردن فرکانس مرجع انعطاف طراحی را می‌کاهد، و کاهش پهنای باند حلقه منجر به افزایش نویز داخل باند، زمان نشست، و اندازه فیلتر حلقه می‌شود [۴]. علاوه بر این، این تکنیک‌های کاهش توان تن‌های هرز در تکنولوژی‌های زیر ۱۰۰ نانومتر کم اثر شده که در نتیجه مسئله تن‌های هرز تاثیر نامطلوبی بر روی توان مصرفی و قیمت تراشه‌ها می‌گذارد و این مسئله با مقیاس قانون مور بدتر نیز می‌شود.

به هر حال، تعداد مراجع زیادی برای طراحی این نوع سیستم‌ها ارائه شده است [۵-۷] و [۱۹-۲۱]. یک سنتزکننده فرکانسی مالتی استاندارد در [۵] ارائه شده است. در این مرجع برای پوشش بازه فرکانسی مالتی استاندارد از یک نوسانساز کنترل شده با ولتاژ ربعی و یک SSB-mixer با بار سلفی برای برگشت هارمونیک‌ها استفاده شده است. واضح است که SSB-mixer به خوبی نمی‌تواند سیگنال‌های ناخواسته را از بین ببرد و همچنین استفاده از چهار سلف در تراشه منجر به افزایش سطح تراشه نیز می‌شود. در مرجع [۶] یک سنتزکننده فرکانسی مالتی استاندارد دیگری ارائه شده است، که در آن با معماری پیشنهادی و طرح جدید ارائه شده برای تقسیم‌کننده دو حالت، توان مصرفی سنتزکننده کاهش داده شده است. ولی از جمله مشکلات سیستم ارائه شده این است که سطح تن‌های مرجع را بسیار بالا برده است و همچنین سنتزکننده این معماری، نویز-فاز نامناسبی دارد. در مرجع [۷] یک شارژر پمپ خطی جهت کاهش نویز کف باند حلقه‌های قفل فاز ارائه شده است. در این مرجع خطینگی شارژر پمپ از طریق سه حلقه فیدبک با کمک سه تقویت کننده عملیاتی پیاده‌سازی شده است که با وجود طراحی در تکنولوژی ۴۰ نانومتر توان مصرفی

۲- معماری سنتزکننده نوع کسری

در شکل ۱ معماری سنتزکننده پیشنهادی ارائه شده است. برای استفاده از سنتزکننده فرکانسی در باند ISM، بازه فرکانسی 2.4-2.5 GHz با خروجی‌های ربعی مورد نیاز است. برای تحقق بخشیدن این امر در این مقاله از یک نوسانساز ربعی کنترل شده با ولتاژ 2.4-2.5 GHz استفاده شده است. خروجی نوسانساز به یک تقسیم کننده برنامه‌پذیر دوحالته وصل شده است. خروجی تقسیم‌کننده برنامه‌پذیر به یک آشکارساز فاز-فرکانس جهت مقایسه با یک فرکانس مرجع 5 MHz ارسال شده است. خروجی‌های آشکارساز فاز-فرکانس به یک مدار شارژر پمپ جهت کنترل بهره حلقه اعمال شده‌اند و در نهایت خروجی شارژر پمپ به یک فیلتر پایین‌گذر مرتبه دو وصل شده است که وظیفه آن تأمین یک ولتاژ کنترلی بدون اعوجاج و صاف برای نوسانساز می‌باشد. در ادامه ابتدا یک مدل خطی-ریاضی برای بیان رفتار شارژرهای تزریق شده مدار شارژر پمپ به داخل حلقه در حالت قفل ارائه شده است و سپس به ارائه مدار پیشنهادی مدار شارژر-پمپ و دیگر مدارات پرداخته شده است.



شکل (۱). معماری متعارف پیاده سازی شده برای سنتزکننده

۲-۱- مدل خطی شارژرهای تزریق شده به حلقه قفل فاز در حالت قفل

۱-۱- در شکل ۲ دیاگرام زمانی PFD/CP در حالت قفل برای یک سنتزکننده نشان داده شده است. همانطور که در شکل ۲ دیده می‌شود جریان خروجی شارژر-پمپ در هر سیکل از مرجع، از دو بخش تشکیل

راهاندازی مجدد مسیر PFD و نائطباقی بین منابع جریان شارژ پمپ بوجود آمده‌اند و می‌توان آنها را به صورت زیر تعریف کرد [۱۸]:

$$I_{out} = \varepsilon \times \frac{I_{CP}}{T_{ref}} \tau_d \quad (4)$$

در رابطه فوق τ_d مدت زمان تأخیر در مسیر راهاندازی مجدد PFD می‌باشد. با ادغام روابط (۳) و (۴) می‌توان یک رابطه واحد و یکپارچه به صورت زیر برای شارژهای موجود در خروجی شارژ پمپ بیان کرد [۱۸]:

$$I_{out,K} = \frac{I_{CP}}{T_{ref}} \Delta_K + \frac{\varepsilon}{2} \times \frac{I_{CP}}{T_{ref}} \times |\Delta_K| + \varepsilon \times \frac{I_{CP}}{T_{ref}} \tau_d \quad (5)$$

در رابطه (۵)، نویز جمله اول یعنی جریان ideal، مطابق با عملکرد دلتا-سیگما به فرکانس‌های بالا شیف‌ت داده می‌شود. جمله دوم جریان mismatch بصورت یک تابع قدر مطلق مدل شده است و چون رفتار این تابع غیر خطی می‌باشد منجر به کاهش دادن رفتار شکل‌دهی نویز گردیده و در نتیجه نویز داخل باند زیاد می‌شود که به اصطلاح به این نویز، نویز فولدینگ می‌گویند. جمله سوم، بصورت پریودیک و با یک مقدار ثابت وارد فیلتر حلقه می‌شود و منجر به تولید یک آفست فاز در حلقه سنتزکننده می‌شود. آفست فاز تولید شده از جمله سوم باعث می‌شود که زمان روشن ماندن جریان‌های شارژ پمپ زیاد شود. زیاد شدن مدت زمان روشن بودن شارژ-پمپ منجر به ایجاد اغتشاش بر روی ولتاژ کنترلی می‌شود که نتیجتاً منجر به تولید تن‌های هرز در خروجی سنتزکننده می‌شود. از این رو کاهش نا انطباقی بین پمپ‌های شارژ پمپ باعث بهبود نویز فاز کل حلقه می‌شود.

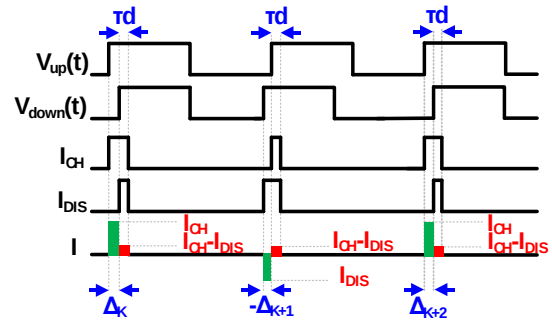
۳- مدارات سنتزکننده

در این بخش به ارائه جزئیات کامل در مورد طراحی و همچنین تحلیل مدارات شامل نوسانساز، تقسیم کننده برنامه‌پذیر، شارژ پمپ، و آشکار ساز فاز-فرکانس پرداخته شده است.

۳-۱- نوسانساز ربعی کنترل شده با ولتاژ

در این مقاله برای پوشش بازه فرکانسی 2.4-2.5 GHz از یک نوسان‌ساز ربعی کنترل شده با ولتاژ استفاده شده است. همانطور که در شکل ۳ دیده می‌شود هسته نوسان‌ساز مبتنی بر Class-C مکمل nMOS و pMOS با ساختار cross-coupled می‌باشد [۸]. با این ساختار براحتی می‌توان با یک بودجه توان پایین به یک بازه پوششی بالا و نویز-فاز پایین رسید. تانک LC در این نوسان‌سازها از یک سلف متغیر و دو خازن متغیر برای تنظیم دقیق تشکیل شده است و در نهایت برای کاستن گین نوسان‌سازها از یک آرایه سوئیچ-خازنی ۳-بیتی استفاده شده است. مقاومت داخلی سوئیچ‌های خازنی تأثیر نامطلوبی بر روی ضریب کیفیت تانک نوسان‌سازها می‌گذارد که برای کم کردن این اثر نامطلوب از تکنیک سوئیچ زنی ارائه شده در [۹] استفاده شده است. در نهایت برای جلوگیری از جابجایی فرکانس و

شده است. یک بخش از جریان خروجی بصورت قسمت‌های شارژی سبز رنگ نشان داده شده است که در واقع نتیجه‌ی رفتار تقسیم کننده می‌باشد که اصطلاحاً خطای residue یا ΔK_i نامیده می‌شود و در هر سیکل از مرجع، اندازه‌ی آن متفاوت می‌باشد. بخش دیگر بصورت قسمت‌های شارژی قرمز رنگ نشان داده شده است که در تمامی سیکل‌ها به یک اندازه می‌باشد و بدلیل وجود تأخیر در راه-اندازی مجدد مسیر PFD و عدم انطباق بین منابع جریان شارژ پمپ به وجود آمده است (در شکل ۲ فرض شده است که بدلیل نا انطباقی جریان‌ها برابر نبوده و جریان I_{CH} بیشتر از جریان I_{DIS} بوده است).



شکل (۲): دیاگرام زمانی PFD/CP در حالت حلقه قفل

با در نظر گرفتن عدم انطباقی بین منابع جریان شارژ پمپ، به اندازه ε ، می‌توان جریان‌های شارژ کننده و دشارژ کننده‌ی شارژ پمپ را به شکل زیر تعریف کرد [۱۸]:

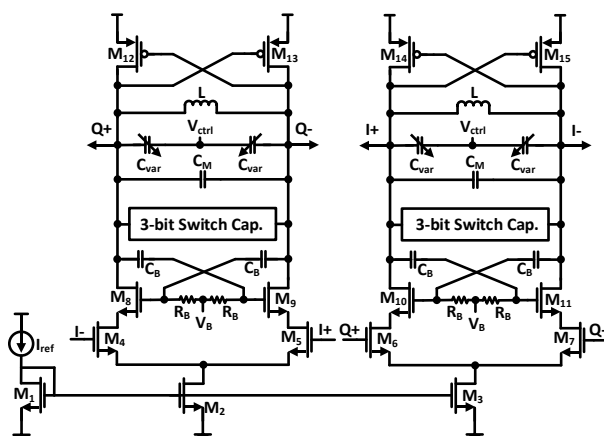
$$I_{CH} = I_{CP} \left(1 + \frac{\varepsilon}{2} \right) \quad (1)$$

$$I_{DIS} = I_{CP} \left(1 - \frac{\varepsilon}{2} \right) \quad (2)$$

در روابط فوق I_{CH} ، I_{DIS} ، I_{CP} به ترتیب بیانگر جریان شارژ کننده، جریان دشارژ کننده، و جریان شارژ پمپ می‌باشند. شارژهای سبز رنگ خروجی شارژ پمپ که به دلیل خطای residue بوجود آمده‌اند را می‌توان به صورت زیر تعریف کرد [۱۸]:

$$\begin{cases} \text{if } \Delta_K > 0 \rightarrow I_{out,K} = \frac{\Delta_K}{T_{ref}} \times I_{CP} \left(1 + \frac{\varepsilon}{2} \right) \\ \text{if } \Delta_K < 0 \rightarrow I_{out,K} = \frac{-\Delta_K}{T_{ref}} \times I_{CP} \left(1 - \frac{\varepsilon}{2} \right) \end{cases} \quad (3)$$

در رابطه فوق T_{ref} پریود زمانی سیگنال مرجع می‌باشد. رابطه فوق از دو بخش تشکیل شده است که بخش اول، شارژ مورد انتظار از خطای residue می‌باشد (ideal current) و بخش دوم، شارژ بوجود آمده بدلیل وجود نا انطباقی در شارژ پمپ می‌باشد (mismatch current). شارژهای قرمز رنگ خروجی شارژ پمپ، به خاطر وجود تأخیر در



M ₄₋₇	5×10μm/180nm	C _{var}	100-300 fF
M ₈₋₁₁	7×10μm/180nm	C _B	250 fF
M ₁₂₋₁₅	10×10μm/180nm	M ₂₋₃	5×5μm/10μm
L	2.5nH	M ₁	5μm/10μm
C _M	500fF	I _{ref}	200 μA

شکل (۳): مدار نوسانساز ربعی کنترل شده با ولتاژ

۳-۳- مدار آشکار ساز فاز-فرکانس

آشکار ساز فاز-فرکانس استفاده شده در این مقاله براساس ساختار TSPC پیاده سازی شده است. شکل مدار آشکار ساز فاز-فرکانس طراحی شده در این مقاله در شکل ۵ ارائه شده است [۱۲]. از جمله مزیت های این آشکار ساز فاز-فرکانس؛ ساختار ساده، سرعت بالا، و توان مصرفی پایین آن می باشد. نحوه کارکرد مدار به این صورت می باشد؛ زمانی که سیگنال های RESET و A/B صفر باشند، گره U/D از طریق ماسفت های M_{1,2}/M_{7,8} به V_{dd} متصل و شارژ می شود. در لبه ی بالا رونده ی سیگنال A/B گره خروجی UP/DOWN از طریق ماسفت های M_{5,6}/M_{11,12} به زمین وصل می شود. زمانی که گره U/D به V_{dd} شارژ می شود، گره خروجی به هیچ وجه UP/DOWN تحت تاثیر سیگنال ورودی A/B قرار نمی گیرد. زیرا شارژ های روی گره U/D ماسفت M₅/M₁₁ را خاموش می کند و از متصل شدن گره خروجی به V_{dd} ممانعت می کند، از این رو گره خروجی UP/DOWN از گره ورودی A/B قطع می شود. زمانیکه سیگنال RESET فعال می شود، گره U/D از V_{dd} قطع و از طریق M₃/M₉ به زمین وصل می شود و ماسفت M₄/M₁₀ روشن می شوند که در نتیجه گره خروجی UP/DOWN به V_{dd} وصل می شود. ماسفت M₂/M₈ برای جلوگیری کردن از اتصال کوتاه شدن مدار در زمانیکه سیگنال RESET اعمال می شود بکار رفته است. بدون حضور ماسفت M₂/M₈ اگر سیگنال A/B "صفر" باشد و سیگنال RESET "یک" باشد یک مسیر اتصال کوتاه از V_{dd} به زمین برقرار می گردد که منجر به افزایش توان مصرفی می شود. علاوه بر این، زمان راه اندازی مجدد نیز زیاد می شود چون گره U/D از طریق M₁/M₇ به V_{dd} شارژ می شود در حالیکه M₃/M₉ گره U/D را به زمین دشارژ می کند. در واقع هر چه سرعت دشارژ شدن گره U/D بالا باشد، سرعت راه اندازی مجدد مدار آشکار ساز فاز-فرکانس بیشتر است.

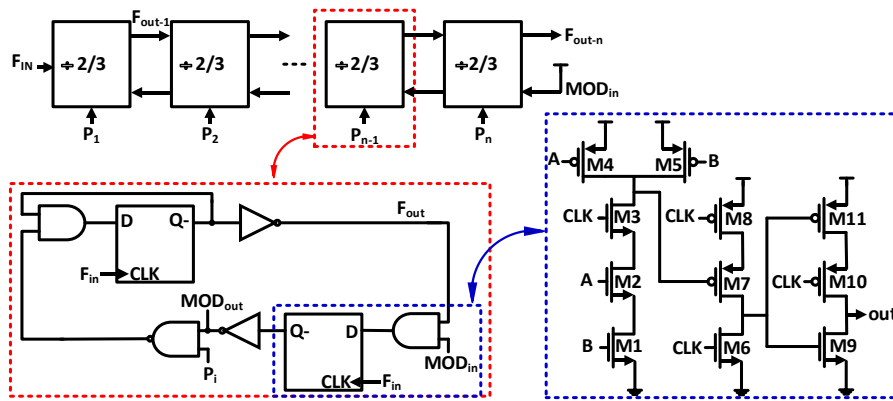
کاستن نویز-فاز توسط طبقات بعدی، خروجی نوسان سازها به بافر وصل شده است که این بافرها هیچگونه تأثیر منفی بر روی نویز-فاز و دامنه خروجی نوسان سازها ندارند.

۳-۲- تقسیم کننده دو حالت

شکل ۴ طرح سیستمی-مداری یک تقسیم کننده دو حالت برنامه پذیر را نشان می دهد که از یک آرایه از سلول های تقسیم کنندگی ۳/۲ تشکیل شده است. برای بازه فرکانسی 2.4-2.4 GHz و فرکانس مرجع 5 MHz، نیاز به یک بازه تقسیم کنندگی ۴۸۰-۵۰۰ داریم. در ادامه رابطه تعیین کننده ی بازه تقسیم کنندگی در این نوع از تقسیم کننده ها ارائه شده است؛

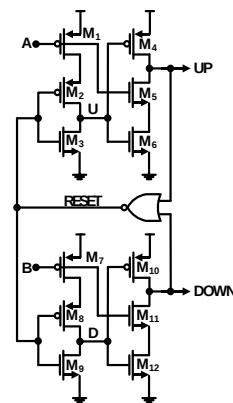
$$N = 2^n + 2^{n-1} \cdot p_n + 2^{n-2} \cdot p_{n-1} \dots + 2^{n-n} \cdot p_{n-(n-1)}$$

در این رابطه (n) مقدار تقسیم کنندگی و (p_i) بیت کنترلی هر طبقه می باشد. همانطور که در رابطه (۱) قابل اثبات می باشد، بازه تقسیم کنندگی در یک تقسیم کننده n بیتی از 2ⁿ تا 2ⁿ⁺¹-1 می باشد که از این رو برای پوشش رنج تقسیم کنندگی ۴۸۰-۵۰۰ نیاز به ۸ طبقه سلول تقسیم کنندگی ۳/۲ داریم. سلول تقسیم کننده ۳/۲ یک تقسیم کننده تقسیم بر ۲ می باشد با یک قابلیت که می تواند یک پریود از سیگنال ورودی را در زمانی که p_i فعال شود نگه دارد. جزئیات بیشتر در مورد این نوع تقسیم کننده های برنامه پذیر در مرجع [۱۰] ارائه شده است. برای کاهش دادن توان مصرفی کل سنتر کننده از ساختار True Single-Phase Clocked (TSPC) برای بلوک های تقسیم به ۳/۲ استفاده شده است [۱۱]. همانطور که در شکل ۳ دیده می شود، برای بهبود بخشیدن سرعت این تقسیم کننده ها گیت AND با DFF ادغام شده است.



شکل (۴) سیستم و مدار تقسیم کننده ۲ حالتی

همانطور که در شکل ۶ قابل مشاهده می‌باشد، به هسته اصلی شارژر پمپ، دو جبران‌ساز با پس زمینه خاکستری که از هسته اصلی شارژر پمپ تفکیک شده است برای بهتر کردن انطباق بین شاخه‌های UP و DN شارژر پمپ اضافه شده است. جزئیات عملکرد این جبران‌سازهای پیشنهادی به این شرح می‌باشند؛ مدار جبران‌سازها از یک جبران‌ساز برای شاخه UP با نام CH. compensator و یک جبران‌ساز برای شاخه DN با نام DIS. compensator تشکیل شده است. در مدار CH. compensator، ولتاژ کنترلی (V_{ctrl}) به یک ماسفت نوع N (M_{f4}) اعمال شده است. زمانیکه ولتاژ کنترلی از ولتاژ آستانه M_{f4} بیشتر می‌شود، M_{f4} وارد ناحیه تریود می‌شود و جریان کمی را تولید می‌کند که با رشد ولتاژ کنترلی نمودی آن افزایش می‌یابد و از طریق M_{f5} و M_{f6} به عنوان جریان I_{UP+} به جریان $I_{UP, tot}$ اضافه می‌شود که در نتیجه کاستی جریان I_{UP} با افزایش ولتاژ کنترلی را جبران می‌کند. مشابهاً در جبران‌ساز DIS. compensator، آینه جریان M_{f1} (I_{DIS+}) که توسط ولتاژ کنترلی هدایت می‌شود به جبران کردن کاستی جریان I_{DIS} در ولتاژهای پایین کمک می‌کند. نتیجتاً جریان شاخه‌های جبران‌ساز با جریان شاخه‌های اصلی خود شارژر پمپ در گره خروجی شارژر پمپ با همدیگر جمع می‌گردند و حاصل آنها تولید دو جریان منطبق بر هم $I_{UP, tot}$ و $I_{DN, tot}$ در یک بازه‌ی ولتاژی پهنی می‌شوند. در شکل ۷ (الف) و (ب) خاصیت منطبق بودن جریانهای شارژر پمپ را برای حالت قبل و بعد جبران‌سازی را به ترتیب نشان می‌دهد. همانطور که در شکل ۷ (الف) و (ب) قابل مشاهده می‌باشد، تکنیک ارائه شده به خوبی بازه انطباق بین دو شاخه جبرانی را بهبود داده است که نشان از عملکرد مناسب جبران‌سازها می‌باشد. شارژر پمپ پیشنهادی در محدوده ولتاژی 0.2-1.6 V با یک منبع ولتاژ 1.8 V دارای نانباقی به اندازه 0.4 μA می‌باشد. نتایج شبیه‌سازی شده برای تکنیک ارائه شده نشان می‌دهد که این تکنیک، خطینگی جریانهای مدار شارژر پمپ را ۴۴٪ بهبود داده است و در بازه ولتاژ کنترلی 0.2-1.6 V ماکزیمم نا انطباقی جریانه‌ها برابر با 0.4 μA می‌باشد. همچنین شایان ذکر است که جریان مصرفی مدار شارژر-پمپ قبل از بهبود و بعد از بهبود به ترتیب 24.2 μA و 27.6 μA است.



شکل (۵) مدار آشکارساز فاز فرکانس

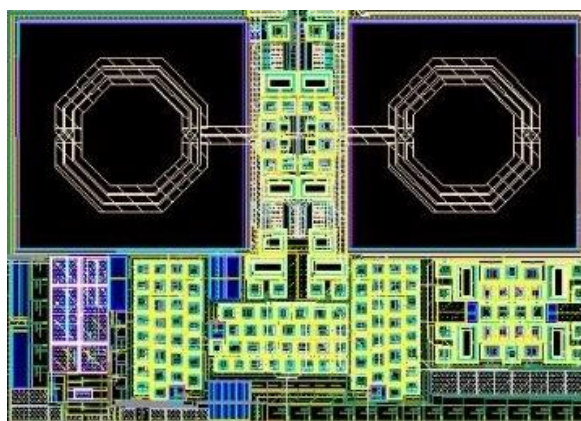
۳-۴- مدار شارژر-پمپ پیشنهاد شده

کاهش نا انطباقی بین منابع جریان شارژر پمپ یکی از چالش‌های بسیار مهم در سنتزکننده‌های مبتنی بر شارژر پمپ می‌باشد. هرگونه نا انطباقی بین منابع جریان شارژر پمپ منجر به تولید نویز داخل باند، تولید آفست در قفل حلقه، و تولید تن‌های هرز در خروجی سنتزکننده می‌گردد. شکل ۶ مدار شارژر پمپ پیشنهاد شده را نشان می‌دهد. ماسفت‌های $M_{1, 2, d1}$ شاخه جریان DN (جریان دشارژر کننده) و ماسفت‌های $M_{3, 4, u1}$ شاخه جریان UP (جریان شارژر کننده) را که هسته اصلی مدار شارژر پمپ می‌باشند تشکیل می‌دهند. به دلیل وجود پدیده طول کانال در تکنولوژی‌های نانومتری، مقاومت خروجی منابع جریان محدود بوده و این امر باعث تغییر پذیر بودن جریان خروجی آینه جریانه‌ها در افت ولتاژهای مختلف می‌شود. در حالت ایده‌آل بازه قفل در حلقه‌های قفل فاز، بازه‌ی بین V_{dd} تا Ground می‌باشد ولی در حالت واقعی این بازه به بازه‌ی انطباق منابع جریان شارژر پمپ محدود می‌شود. معمولاً برای از بین بردن پدیده طول کانال، از ماسفت‌های کانال بلند استفاده می‌شود اما مشکلی که در این رویکرد وجود دارد این است که خازن‌های پارازیتی مدار شارژر پمپ زیاد می‌شوند و منجر به پایین آمدن سرعت زمانی مدار می‌شود.

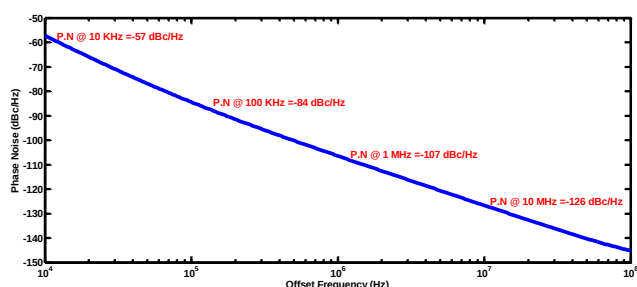
شده ارائه شده است که برای آفست‌های فرکانسی 1 KHz, 10 KHz, 100 KHz, 1 MHz نویز فاز به ترتیب برابر -63 dBc/Hz, -90 dBc/Hz, -95 dBc/Hz, -107 dBc/Hz می‌باشد که به نسبت حالت متعارف حدود 25 dBc/Hz نویز فاز داخل باند را کاهش داده است. همچنین در شکل ۱۳ طیف توان سیگنال خروجی سنتز کننده نشان داده شده است که در این شکل ماکزیمم توان تن‌های کسری 60 dBc/Hz پایین‌تر از سیگنال حامل می‌باشد. در جدول (۱) مقایسه‌ای از سنتز کننده طراحی شده با مراجع اخیر ارائه شده است.

۵- نتیجه‌گیری

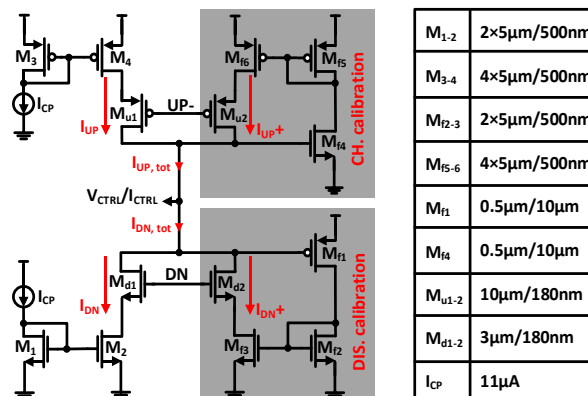
در این مقاله یک سنتز کننده فرکانسی نوع کسری کاملاً مجتمع شده برای پوشش باند فرکانسی 2.4-2.5 GHz در تکنولوژی ۱۸۰ نانومتر CMOS طراحی شده است. در سنتز کننده طراحی شده یک تکنیک خطی‌ساز برای مدار شارژر پمپ ارائه شده است که خطی‌نگی شارژر پمپ و سنتز کننده را بهبود بخشیده که در نتیجه باعث حفظ و ثابت نگه داشتن رفتار دینامیکی سنتز کننده در یک بازه‌ی پهنی از ولتاژ کنترلر شده است.



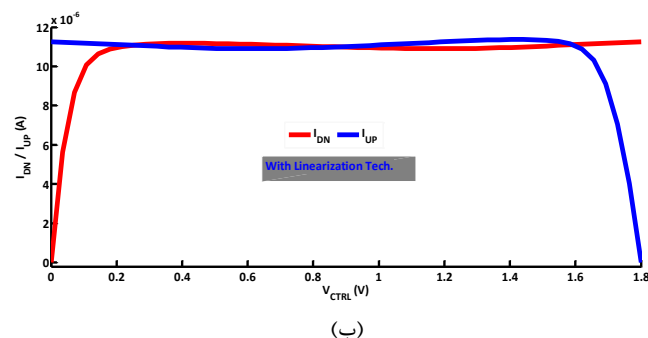
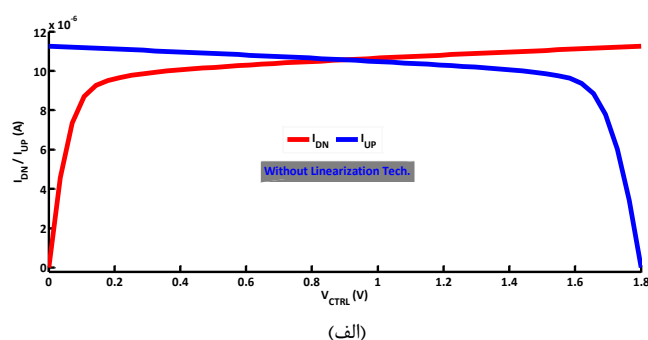
شکل (۸): طیف توان سیگنال خروجی سنتز کننده



شکل (۹): نویز فاز نوسانساز کنترل شده با ولتاژ



شکل (۶): مدار شارژر پمپ پیشنهاد شده



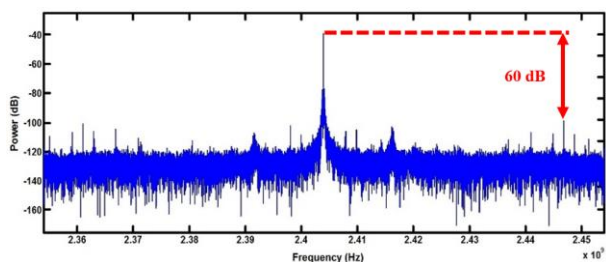
شکل (۷): خطی‌نگی مدار شارژر؛ (الف) بدون تکنیک و (ب) با تکنیک

۴- نتایج نهایی سنتز کننده

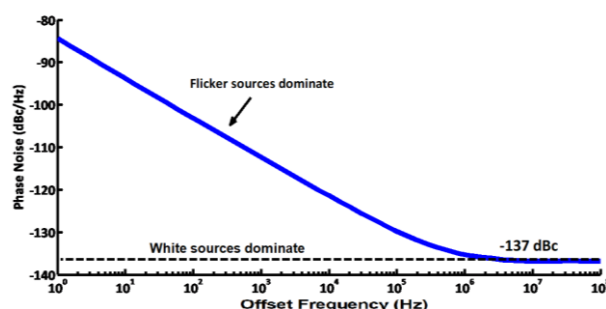
سنتز کننده فرکانسی پیشنهاد شده در تکنولوژی ۱۸۰ نانومتر CMOS طراحی شده است و تصویر پیاده‌سازی جانمایی آن در شکل ۸ ارائه شده است. ماکزیمم توان مصرفی آن از یک منبع تغذیه 1.8 V برابر با 1 mW می‌باشد. شکل ۹ نویز فاز نوسانساز را نشان می‌دهد که در آفست‌های 10 KHz, 100 KHz, 1 MHz, 10 MHz نویز فازی به ترتیب برابر با -57 dBc/Hz, -84 dBc/Hz, -107 dBc/Hz, -126 dBc/Hz را دارد. شکل ۱۰ نویز فاز مجموع هر دو بلوک آشکارساز فاز-فرکانس و شارژر پمپ را نشان می‌دهد که کف نویز آن برابر با -137 dBc/Hz می‌باشد. در شکل ۱۱ رفتار حلقه قفل سنتز کننده در فرکانس 2405 MHz نشان داده شده است که حلقه در زمان 2 μs به حالت قفل رسیده است. در شکل ۱۲ نویز فاز کل سنتز کننده طراحی

جدول (۱): مقایسه سنتزکننده طراحی شده با برخی مراجع

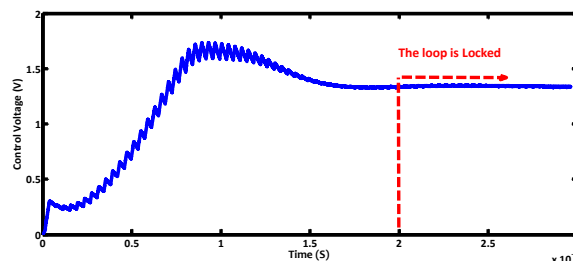
پارامتر	مرجع [۱۳]	مرجع [۱۴]	مرجع [۱۵]	مرجع [۱۶]	مرجع [۱۷]	طراحی ارائه شده
تکنولوژی	250-nm	130-nm	180-nm	180-nm	65-nm	180-nm
بازه فرکانسی (GHz)	8-12	2.158-5.133	8.67-10.12	0.06-1.92	24.4-26.8	2.4-2.5
نویز فاز در 1MHz	-106dBc/Hz	-116dBc/Hz*	-102dBc/Hz	NA	NA	-107dBc/Hz
توان تن هرز	-64 dBc/Hz	-44.28 dBc/Hz	-48 dBc/Hz	NA	NA	-60 dBc/Hz
توان مصرفی	976.8 mW	5.14 mW	44 mW	17.4mW	38mW	1 mW



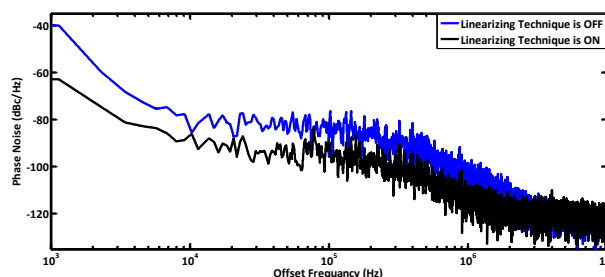
شکل (۱۳): طیف توان سیگنال خروجی سنتزکننده



شکل (۱۰): نویز فاز بلوک آشکارساز فاز-فرکانس و شارژر پمپ طراحی شده



شکل (۱۱): حلقه رفتار حلقه قفل سنتز کننده طراحی شده



شکل (۱۲): نویز فاز کل سنتز کننده طراحی شده قبل و بعد از خطی سازی شارژر-پمپ

نتایج شبیه سازی شده برای تکنیک ارائه شده نشان می دهد که این تکنیک خاصیت خطی سازی جریان های مدار شارژر پمپ را ۴۴٪ بهبود داده است و در رنج بازه ی ولتاژ کنترلی ۰.۲-۱.۶V ماکزیمم نا انطباقی جریانه ها برابر با $0.4 \mu A$ می باشد و در نهایت ۲۵ dBc/Hz نویز فاز داخل باند را کاهش داده است که نشان از قابلیت بالای طرح پیشنهاد شده است. نتایج شبیه سازی شده برای کل حلقه سنتزکننده نشان می دهد که زمان قفل حلقه برابر با $2 \mu s$ می باشد، نویز فاز سنتزکننده برای آفست های فرکانسی ۱ KHz، ۱۰ KHz، ۱۰۰ KHz، ۱ MHz به ترتیب برابر -۶۳ dBc/Hz، -۹۰ dBc/Hz، -۹۵ dBc/Hz، -۱۰۷ dBc/Hz می باشد، و ماکزیمم توان تن های کسری ۶۰ dBc پایین تر از تن کریر می باشد. توان مصرفی سنتزکننده ارائه شده از یک منبع تغذیه ۱.۸ V برابر ۱ mW می باشد.

مراجع

- [1] T. H. Lee, H. Samavati, and H. R. Rategh, 5-GHz CMOS wireless LANs, IEEE Trans. Microw. Theory Technol. 50 (1) (2002) 268-280. (doi: 10.1109/22.981280)
- [2] A.D. Berny, A.M. Niknejad, and R.G. Meyer, A 1.8-GHz LC VCO with 1.3-GHz tuning range and digital amplitude calibration, IEEE J. Solid-State Circuits 40 (4) (2005) 909-917. (doi: 10.1109/JSSC.2004.842851)
- [3] He, Ming, et al, 20.5 A 40nm dual-band 3-stream 802.11 a/b/g/n/ac MIMO WLAN SoC with 1.1 Gb/s over-the-air throughput, Proceedings of the IEEE International Solid-State Circuits Conference Digest

- Symposium (IWS). IEEE, 2020. (doi: 10.1109/IWS49314.2020.9360123)
- [18] Azadbakht, Mostafa, Ali Sahafi, and Esmaeil Najafi Aghdam. "A dual band fractional-N frequency synthesizer with a self-calibrated charge pump for WLAN standards", *Journal of Circuits, Systems and Computers* 27.08 (2018): 1850131.
- [۱۹] عابدی، مصطفی. یاوندحسنی، جواد. "طراحی PLL دو حلقه‌ای مبتنی بر آشکارسازی فاز پنجرهای با سرعت قفل بالا، توان مصرفی و اسپور مرجع پایین"، *مجله مهندسی برق و الکترونیک ایران*، سال چهاردهم، شماره ۲، ۱۳۹۶.
- [۲۰] غلامی، محمد. رحیم‌پور، حمید. قاسمی، جمال. اسمعیلی، ایمان. پایین افراکتی، پایین. "طراحی حلقه قفل شده تاخیر برای گیرنده های بی‌سیم جهت بکارگیری در کاربردهای فرکانس بالا"، *مجله مهندسی برق و الکترونیک ایران*، سال سیزدهم، شماره ۴، ۱۳۹۵.
- [۲۱] رحیم‌پور، حمید. غلامی، محمد. میار نعیمی، حسین. اردشیر، غلامرضا. "طراحی ضربکننده فرکانسی بر اساس حلقه قفل فاز شده تاخیر دیجیتالی و با سرعت بالا"، *مجله مهندسی برق و الکترونیک ایران*، سال دوازدهم، شماره.
- of Technical Papers (ISSCC), 2014, pp. 350-351. (doi: 10.1109/ISSCC.2014.6757465)
- [4] Liu, Xiaolong, et al, A 3.45–4.22 GHz PLL frequency synthesizer with constant loop bandwidth for WLAN applications, *International Midwest Symposium Circuits and Systems (MWSCAS)*, 2014, pp. 1728-1731. (doi: 10.1109/MWSCAS.2014.6908523)
- [5] Huang, Deping, et al, A frequency synthesizer with optimally coupled QVCO and harmonic-rejection SSBmixer for multi-standard wireless receiver, *IEEE J. Solid-State Circuits* 46 (6) (2011) 1307-1320. (doi: 10.1109/JSSC.2011.2124970)
- [6] Huang, Fuqing, et al. "A 1.78–3.05 GHz fractional-N frequency synthesizer with power reduced multi-modulus divider", *ANALOG INTEGR CIRC S*, 72 (1) (2012) 97-109. (doi: https://doi.org/10.1007/s10470-012-9842-7)
- [7] Chen, Yating, Yan Han, and Sihui Wang. "A high swing charge pump with current mismatch reduction for PLL applications", *IEICE Electronics Express* (2021): 18-20200434. (doi: 10.1587/elex.18.20200434)
- [8] Mazzanti, Andrea, and Pietro Andreani, Class-C harmonic MOS VCOs, with a general result on phase noise, *IEEE J. Solid-State Circuits* 43 (12) (2008) 2716-2729. (doi: 10.1109/JSSC.2008.2004867)
- [9] Osmany, S. A., et al, Integrated 22 GHz low-phase-noise VCO with digital tuning in SiGe BiCMOS technology, *IEE Electron. Lett.* 45 (1) (2009) 39-40. (doi: 10.1049/el:20092924)
- [10] Vaucher, Cicero S., et al. A family of low-power truly modular programmable dividers in standard 0.35- μm CMOS technology, *IEEE J. Solid-State Circuits* 35 (7) (2000) 1039-1045. (doi: 10.1109/4.848214)
- [11] Yu, Xiao Peng, et al. Design and optimization of the extended true single-phase clock-based prescaler, *IEEE Trans. Microw. Theory Technol.* 54 (11) (2006) 3828-3835. (doi:10.1109/TMTT.2006.884629)
- [12] Lee, Won-Hyo, Jun-Dong Cho, and Sung-Dae Lee. "A high speed and low power phase-frequency detector and charge-pump", *Design Automation Conference, 1999. Proceedings of the ASP-DAC'99. Asia and South Pacific.* IEEE, 1999. (doi: DOI:10.1109/ASPDAC.1999.760011)
- [13] Herzel, Frank, et al. "An integrated 8-12 GHz fractional-N frequency synthesizer in SiGe BiCMOS for satellite communications", *Analog Integrated Circuits and Signal Processing* 65.1 (2010): 21-32. (doi: 10.1007/s10470-010-9454-z)
- [14] Hati, Manas Kumar, and Tarun Kanti Bhattacharyya. "A fast automatic frequency and amplitude control LC-VCO circuit with noise filtering technique for a fractional-N PLL frequency synthesizer", *Microelectronics Journal* 52 (2016): 134-146. (doi: 10.1016/j.mejo.2016.03.014)
- [15] Lin, Tsung-Hsien, and Yu-Jen Lai. "An agile VCO frequency calibration technique for a 10-GHz CMOS PLL", *IEEE Journal of solid-state circuits* 42.2 (2017): 340-349. (doi: 10.1109/JSSC.2006.889360)
- [16] Zou, Wei, Daming Ren, and Xuecheng Zou. "A wideband low-jitter PLL with an optimized Ring-VCO", *IEICE Electronics Express* 17.3 (2020): 20190703-20190703. (doi:10.1587/elex.17.20190703)
- [17] Chen, Liang, et al. "A PLL Synthesizer for 5G mmW Transceiver", 2020 IEEE MTT-S International Wireless