تکنیک ترانزیستورهای MOS توزیع‌شده با قابلیت تسهیل پیاده‌سازی تطبیق پویای عناصر در مبدل دیجیتال به آنالوگ باینری ۱۰ بیتی

میر حسن میر آهنگری[۱] خلیل منفردی[۲] موسی یوسفی[۳]

۱- کارشناس ارشد- گروه مهندسی برق-دانشکده فنی و مهندسی- دانشگاه شهید مدنی آذربایجان - تبریز- ایران
mirhassanmiri.a@gmail.com

۲- دانشیار- گروه مهندسی برق-دانشکده فنی و مهندسی- دانشگاه شهید مدنی آذربایجان - تبریز- ایران
khmonfaredi@azaruniv.ac.ir

۳- استادیار- گروه مهندسی برق-دانشکده فنی و مهندسی- دانشگاه شهید مدنی آذربایجان - تبریز- ایران
m.yousefi@azaruniv.ac.ir

چکیده: عملکرد مبدل‌های دیجیتال به آنالوگ هدایت جریانی، بخاطر عدم انطباق طول و عرض ترانزیستورها و اختلاف ولتاژ آستانه و ولتاژ ارلی آنها که ناشی از خطای پروسه ساخت است، محدود می‌گردد. هر چند روش‌های مختلفی برای تعدیل خطاهای ناشی از عدم انطباق المانها وجود دارد، اما این خطا به طور کامل قابل حذف نیست. در این مقاله تکنیک ترانزیستورهای MOS توزیع‌شده با قابلیت تسهیل پیاده‌سازی تطبیق پویای عناصر در مبدل دیجیتال به آنالوگ باینری ارائه شده است به نحوی که بدون نیاز به توان مصرفی بالا و پیچیدگی مداری زیاد امکان کاهش خطای ناشی از عدم انطباق ترانزیستورها و نیز خطای ناشی از تغییرات ولتاژ بار را فراهم آورده است. این تکنیک بر مبنای انتخاب تصادفی از میان تعداد معینی از بلوک‌های جریان واحد عمل می‌کند، برای تصادفی‌تر کردن هر چه بیشترکد تولیدی از یک مولد کد تصادفی و تمام جمع کننده به همراه رمزگشای ۴ به ۱۶ استفاده شده است. این تکنیک در ساختار مبدل دیجیتال به آنالوگ ۱۰ بیتی باینری با تکنولوژی ۱۸۰ نانو متر CMOS پیاده‌سازی شده است، جریان LSB ۵۰۰ نانوآمپر و ولتاژ تغذیه ۱/۸ ولت و توان مصرفی این مبدل ۱۴/۶mW و شاخص SFDR مبدل با شبیه‌سازی تحت نرم‌افزار Cadence Spectre ۶۰/۲۷ دسیبل به دست آمده است.

واژه های کلیدی: مبدل دیجیتال به آنالوگ، تطبیق پویای عناصر، عدم انطباق ترانزیستور، ترانزیستورهای MOS توزیع‌شده،

نوع مقاله: پژوهشی

DOI: **10.52547/jiaeee.19.2.21**

تاریخ ارسال مقاله: ۱۳۹۹/۵/۵
تاریخ پذیرش مشروط مقاله: ۱۴۰۰/۷/۲۴
تاریخ پذیرش مقاله: ۱۴۰۰/۰۸/۱۰
نام نویسنده‌ی مسئول: دکتر موسی یوسفی
نشانی نویسنده‌ی مسئول: ایران – تبریز – ۳۵ کیلومتری جاده تبریز- مراغه – دانشگاه شهید مدنی آذربایجان – دانشکده‌ی فنی و مهندسی

۱- مقدمه

در مبدل‌های دیجیتال به آنالوگ هدایت جریانی برای دستیابی به کاهش خطای ناشی از عدم انطباق ترانزیستورها و در نتیجه افزایش دقت آنها تلاش‌های زیادی انجام‌شده است. برای مثال در بین انواع مبدل‌ها بیشتر از مبدل‌های چند بخشی و یگانی برای افزایش تطابق جریان‌ها استفاده می‌شود. استفاده از این نوع مبدل‌ها در عین اینکه باعث بهبود عدم انطباق جریان‌ها و افزایش دقت می‌شود، باعث افزایش توان مصرفی مبدل و افزایش سطح مصرفی تراشه و پیچیدگی مداری مبدل می‌شود [۱, ۲]. در بین مبدل‌های دیجیتال به آنالوگ، مبدل باینری به علت سادگی و پیچیده نبودن ساختار پتانسیل بالقوه فراوانی دارد، اما به دلیل غیرقابل استفاده بودن تطبیق پویای عناصر در این نوع مبدل باعث شده است که طراحان مبدل دیجیتال به آنالوگ هدایت جریانی بیشتر با قبول توان مصرفی بالا و سطح اشغالی زیاد تراشه به سراغ دیگر مبدل‌ها برای دسترسی به دقت بالاتر رفته و کمتر از مبدل باینری استفاده کنند. تا به حال روشی برای افزایش انطباق جریان‌های مبدل دیجیتال به آنالوگ باینری ارائه نشده است [۳].

در روش‌های مرسوم عموماً برای کاهش میزان خطای عدم انطباق ترانزیستورها و افزایش دقت در مبدل‌های دیجیتال به آنالوگ از ترانزیستورهایی با ابعاد بزرگ استفاده می‌شود [۴]. معایب شناخته شده ناشی از استفاده از ترانزیستورهایی با ابعاد بزرگ شامل سطح تراشه بالا، اندازه خازن بزرگ، نویز بالا، توان مصرفی بالا و سرعت پایین است. به همین دلیل طراحان همواره با چالشی بزرگ برای دستیابی به مصالحه بهینه بین ابعاد ترانزیستور و توان مصرفی، سرعت و دقت مواجه هستند. اگر عدم انطباق ابعاد ترانزیستور لحاظ شود دستیابی به یک مبدل دیجیتال به آنالوگ دقت و سرعت بالا بسیار دشوار خواهد بود. جدای از این، برای استفاده از تطبیق پویای عناصر استفاده از تعداد زیادی از بلوک‌های مذکور ضروری است[۵, ۶].

خوشبختانه با استفاده از تکنیک ترانزیستورهای اثر میدانی فلز- نیمه هادی- عایق (MOSFET[۱]) توزیع‌شده (DMOS[۲]) مشکل عدم انطباق فاحش میان ترانزیستورهای دارای ابعاد متفاوت به خصوص برای ترانزیستورهای با ابعاد کانال کوچک تا حد قابل قبولی به خصوص برای کاربردهای حالت جریانی مرتفع گردیده است[۵]. لذا بدون نیاز به تکرار کل بلوک مربوط به هر کدام از بیت‌های کم ارزش (LSB[۳]) تا باارزش (MSB[۴]) صرفاً با افزایش تعداد معینی از شاخه‌ها در هر بلوک امکان پیاده‌سازی تطبیق پویای عناصر در مبدل دیجیتال به آنالوگ هدایت جریان باینری به راحتی امکان‌پذیر می‌شود.

تکنیک تطبیق پویای عناصر (DMOS) پیشنهادی در این مقاله که در ساختار یک مبدل دیجیتال به آنالوگ ۱۰ بیتی پیاده‌سازی شده است برمبنای انتخاب تصادفی از میان تعداد معینی از بلوک‌های جریانی واحد عمل می‌نماید[۵]. برای تصادفی‌تر کردن هر چه بیشترکد تولیدی از یک مولد کد تصادفی و تمام جمع کننده به همراه رمز گشای ۴ به ۱۶ استفاده شده است. در بخش ۲ مقاله طراحی مبدل آنالوگ به دیجیتال با تکنیک های ارائه شده بررسی خواهد شد. نتایج شبیه‌سازی مبدل در بخش ۳ ارائه شده است و نهایتاً مقاله با نتیجه‌گیری بخش ۴ به پایان می‌رسد.

۲- طراحی مبدل دیجیتال به آنالوگ

عملکرد مبدل دیجیتال به آنالوگ هدایت جریان بوسیله عدم انطباق طول و عرض کانال ترانزیستورها و اختلاف میان ولتاژ آستانه (V_{th}) و ولتاژ ارلی (V_A) آنها ناشی از خطای پروسه ساخت، تاثیر تغییرات ولتاژ خروجی بر روی جریان شاخه ها ناشی از مقاومت خروجی محدود آینه‌های جریان، اختلاف فاز روشن و خاموش شدن کلیدهای ترانزیستوری MSB و LSB با اعمال پالس‌های دیجیتال ورودی محدود می‌شود. در دو زیربخش ۲-۱ و ۲-۲ نشان داده خواهد شد که چگونه با استفاده از تکنیک DMOS که از ترانزیستورهای دارای اندازه یکسان به صورت اتصال موازی استفاده می‌کند، خطاهای ناشی از اختلاف ولتاژ ارلی و ولتاژ آستانه مرتفع می‌شود. در بخش ۲-۳ روشی جدید برای تطبیق پویای عناصر مورد استفاده جهت کاهش خطای ناشی از عدم انطباق ترانزیستورها پیشنهاد خواهد شد.

۲-۱- استفاده از تکنیک DMOS برای کاهش خطای ناشی از ابعاد ترانزیستورها

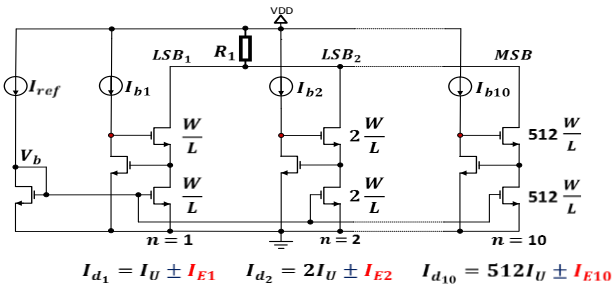
معمولا یک ترانزیستور ماسفت نوع n یا NMOS و یا ترکیب دو ترانزیستور نوع n و p غالبا به تنهایی می توانند به عنوان یک کلید استفاده شوند. راهکارهای مداری مختلفی بر روی کلید ماسفت اعمال شده است تا بتوانند عملکرد آن ها را بهبود بخشند .در روش‌های مرسوم عموماً برای کاهش میزان خطای عدم انطباق ترانزیستورها و افزایش دقت در مبدل‌های مبدل دیجیتال به آنالوگ از ترانزیستورهایی با ابعاد بزرگ استفاده می‌شود [۴, ۷]. معایب شناخته شده ناشی از استفاده از ترانزیستورهایی با ابعاد بزرگ شامل سطح تراشه بالا، اندازه خازن بزرگ، نویز بالا، توان مصرفی بالا و سرعت‌پایین است[۸]. به همین دلیل طراحان همواره با چالشی بزرگ برای دستیابی به مصالحه بهینه بین ابعاد ترانزیستور و توان مصرفی، سرعت و دقت مواجه هستند. اما مشکل بزرگتر زمانی است که بدانیم در صورت استفاده از ترانزیستورهای مرسوم با عرض کانال از مرتبه $2^{n-1}(W/L)$ که n تعداد بیت‌های مبدل دیجیتال به آنالوگ است برای بلوک LSB، n=1 و برای بلوک MSB برای مبدل دیجیتال به آنالوگ ده بیتی n=10، اختلاف فاحشی میان ولتاژ آستانه و ولتاژ ارلی ترانزیستورها وجود خواهد داشت، این امر سبب تولید جریان متفاوت از یک طرف و زمان روشن و خاموش متفاوت بلوک‌ها از طرف دیگر خواهد شد. روش مرسوم برای تولید جریان دودویی برای مبدل‌های مبدل دیجیتال به آنالوگ هدایت جریان در شکل (۱) نشان داده شده است[۹]. مطابق این شکل اگر قرار باشد با افزایش ابعاد ترانزیستورها جریان عبوری از

آن‌ها افزایش یابد، طبق رابطه (۱) خطاهای متفاوتی برای هر کدام از جریان‌های عبوری از ترانزیستورها به دست می‌آید[۱۰, ۱۱]. که این امر دقت مبدل را محدود خواهد کرد. همچنین زمان روشن و خاموش متفاوت ناشی از افزایش ابعاد ترانزیستور کلید، سبب بروز لغزش در عملکرد کلید به هنگام کلیدزنی آن توسط لچ می‌شود و نیز افزایش خازن‌های پارازیتی این ترانزیستورها نویز ناشی از گذر پالس دیجیتال و بار کانال را افزایش خواهد داد که هیچ‌کدام برای مبدلی با سرعت‌بالا و توان پایین مناسب نمی‌باشند[۱۱, ۱۲] اگر عدم انطباق ابعاد ترانزیستور نیز لحاظ شود دستیابی به یک مبدل دیجیتال به آنالوگ دقت و سرعت بالا بسیار دشوار خواهد بود.

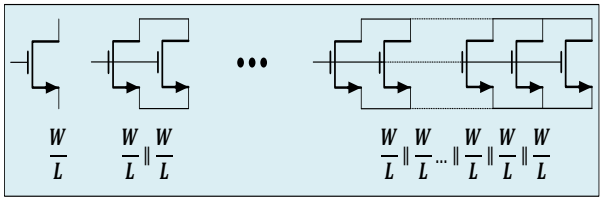
$$I_{E1} \neq I_{E2} \neq I_{E10}$$
$$I_{D1} = I_U \pm I_{E1}, I_{D2} = 2I_U \pm I_{E2}, \dots, I_{D10} = 512I_U \pm I_{E10} \quad (۱)$$

در رابطه (۱)، IE_i خطای جریان ID_i منبع جریان iام است و مقادیر خطاها برای شاخه‌های مختلف متفاوت است.

شکل (۲) پیاده‌سازی ترانزیستورهای با ابعاد مختلف با تکنیک DMOS را نشان می‌دهد[۱۳]. در مقاله[۱۳] نشان داده شده است که خطای انتقال جریان آینه‌های جریان با نسبت انتقال مختلف با استفاده از تکنیک DMOS به خاطر توازن و تعادل عدم انطباق در ترانزیستورهای دارای ابعاد یکسان به صورت بسیار مؤثری حذف شده است. از آنجا که آینه جریان بلوک پایه در مبدل دیجیتال به آنالوگ هدایت جریان است لذا بکارگیری روش DMOS برای مبدل دیجیتال به آنالوگ نیز جریان‌های با نسبت دقیق توان دو تولید خواهد کرد.



شکل (۱): روش مرسوم برای تولید جریان دودویی برای مبدل‌های مبدل دیجیتال به آنالوگ هدایت جریان



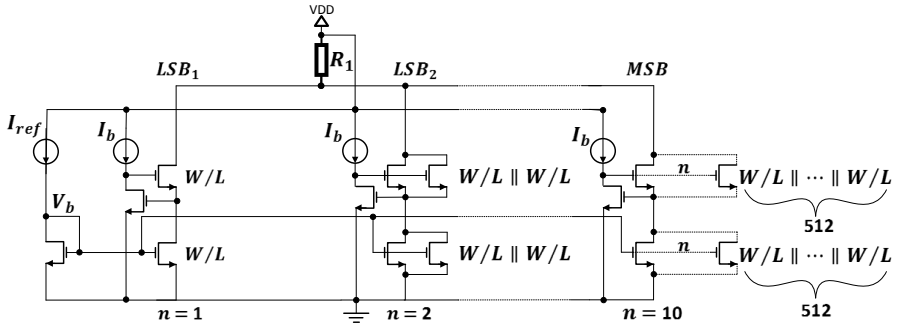
شکل (۲): ترانزیستورهای DMOS

شکل (۳) پیاده‌سازی شکل (۱) با تکنیک DMOS را نشان می‌دهد. همانطور که در رابطه (۲) نشان داده شده است، با استفاده از روش DMOS در مبدل دیجیتال به آنالوگ، تمامی ترانزیستورها از کم‌ارزش‌ترین بیت تا باارزش‌ترین بیت دارای خطایی با مقیاس برابر هستند و این امر باعث می‌شود جریان دقیقاً دو برابر و خطا هم دقیقاً دو برابر شود. از آنجا که در طراحی مبدل مبدل دیجیتال به آنالوگ صرفنظر از اینکه اندازه جریان LSB چقدر است، مهم این است که جریان‌های بیت‌های با ارزشتر دقیقاً توانی از دو نسبت به این جریان باشند. استفاده از این تکنیک باعث بهبود دقت مبدل شده و نیاز به تنظیم طاقت‌فرسای ترانزیستورهای بلوک‌های مختلف را رفع نموده و مبدل دیجیتال به آنالوگ به سادگی‌ترین شکل ممکن به حالت تقریباً تنظیم شده درآمده است. همچنین در مدار شکل (۳) برخلاف مدار قبل در شکل (۱) از جریان‌های بایاس یکسان برای بلوک‌های مختلف استفاده شده است.

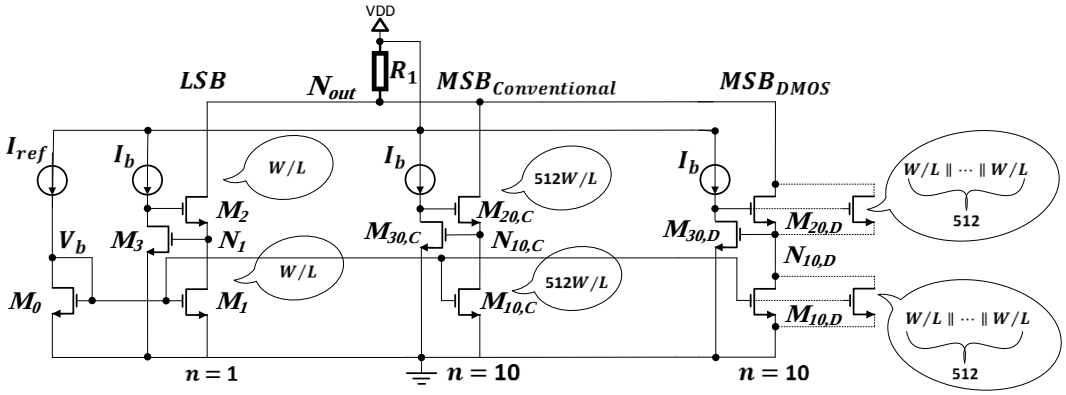
$$I_{D1} = I_U \pm I_{E1}, I_{D2} = 2I_U \pm 2I_{E1}, I_{D3} = 4I_U \pm 4I_{E1}, \dots, I_{D10} = 512I_U \pm 512I_{E1} \quad (۲)$$

۲-۲- استفاده از تکنیک DMOS برای کاهش خطای ناشی از تغییرات ولتاژ بار

در مبدل‌های مبدل دیجیتال به آنالوگ هدایت جریانی، با توجه به کد دیجیتال ورودی جریان بلوک‌های مختلف از مقاومت بار عبور کرده و لذا ولتاژ خروجی را دستخوش تغییرات شدیدی می‌کنند. هر چند استفاده از آینه جریان برهم سوار[۵] با فیدبک پایدارساز پرقدرت و بافر می‌تواند با نسبت خوبی (ضریب تعدیل $1+g_m r_{ds}$) این تغییر ولتاژ را تعدیل کرده و خطای جریانی را کاهش دهد، اما این خطا به طور کامل قابل حذف نیست.



شکل (۳): استفاده از تکنیک DMOS برای پیاده‌سازی مبدل دیجیتال به آنالوگ هدایت جریان



شکل (۴): ارزیابی ضریب تعدیل ولتاژ در دو ساختار مرسوم و DMOS

در ادامه با روابط ریاضی نشان داد شده است که ساختار DMOS شکل (۳) در مقایسه با ساختار مرسوم شکل (۱) با ایجاد نسبت تعدیل یکسان برای تمام مسیرها، شرایط قابل قبول‌تری برای مبدل بوجود می‌آورد. برای این کار شکل (۴) که در آن دو ساختار مرسوم و DMOS در کنار هم نشان داده شده‌اند را در نظر گرفته و ضریب تعدیل ولتاژ $g_m r_{ds}$، از گره خروجی Nout به گره‌های $N_{10,C}$ و $N_{10,D}$ به ترتیب برای دو حالت مرسوم و DMOS محاسبه و تغییرات ولتاژ در آنها نسبت به تغییرات ولتاژ گره N_1 مورد ارزیابی قرار می‌گیرند.

ابتدا ضریب تعدیل ولتاژ محاسبه شده و سپس براساس اطلاعات ارائه شده در مقاله[۱۳]این ضریب برای سه شاخه خروجی در شکل (۴) مورد بررسی قرار خواهد گرفت. رابطه جریان-ولتاژ ترانزیستور MOS با احتساب اثر مدولاسیون طول و عرض کانال [۵] در رابطه (۳) بیان شده است.

$$I_d = \frac{\mu c_{ox}}{2}\frac{W_{eff}}{L_{eff}}\left(V_{gs}-V_{th}\right)^2, L_{eff} = L-\Delta l, W_{eff} = W-\Delta\omega \quad (۳)$$

که در آن W_{eff} عرض موثر کانال، L_{eff} طول موثر کانال، V_{gs} ولتاژ گیت-سورس ترانزیستور، V_{th} ولتاژ آستانه ترانزیستور است.

۲-۲-۱- مقاومت دینامیکی ترانزیستور، r_{ds}

برای محاسبه ولتاژ ارلی، VA، و به تبع آن مقاومت دینامیکی ترانزیستور، rds، ابتدا از جریان ترانزیستور نسبت به ولتاژ درین-سورس، Vds، مشتق‌گیری می‌کنیم.

$$\frac{\partial I_d}{\partial V_{ds}} = \frac{\mu_n c_{ox}}{2}\left(V_{gs}-V_{th}\right)^2\left[\frac{1}{L_{eff}}\frac{\partial W_{eff}}{\partial V_{ds}} - \frac{W_{eff}}{L_{eff}^2}\frac{\partial L_{eff}}{\partial V_{ds}}\right] \quad (۴)$$

$$= I_d\left(\frac{1}{W_{eff}}\frac{\partial W_{eff}}{\partial V_{ds}} - \frac{1}{L_{eff}}\frac{\partial L_{eff}}{\partial V_{ds}}\right)$$

با انجام ساده‌سازی بر روی روابط (۳) و (۴) برای ولتاژ ارلی رابطه (۵) را می‌توان نوشت:

$$V_A = \frac{I_d}{\frac{\partial I_d}{\partial V_{ds}}} = \frac{1}{\frac{1}{W_{eff}}\frac{\partial W_{eff}}{\partial V_{ds}} - \frac{1}{L_{eff}}\frac{\partial L_{eff}}{\partial V_{ds}}} \quad (۵)$$

که می‌توان اثر ولتاژ ارلی را برای دستیابی به رابطه‌ای کامل‌تر برای جریان درین ترانزیستور ماسفت در رابطه (۳) لحاظ نمود:

$$I_d = \frac{\mu_n c_{ox}}{2}\frac{W_{eff}}{L_{eff}}\left(V_{gs}-V_{th}\right)^2\left(1+\frac{V_{ds}-V_{eff}}{V_A}\right) \qquad where\ V_{eff} = V_{gs}-V_{th} \quad (۶)$$

مقاومت دینامیکی ترانزیستور را از رابطه (۵) به صورت زیر می‌توان نوشت:

$$r_{ds} = \frac{V_A}{I_d} = \frac{1}{\frac{1}{W_{eff}}\frac{\partial W_{eff}}{\partial V_{ds}} - \frac{1}{L_{eff}}\frac{\partial L_{eff}}{\partial V_{ds}}}\cdot\frac{1}{I_d} \quad (۷)$$

۲-۲-۲- محاسبه ترارسانایی ترانزیستور، gm

با در نظر گرفتن رابطه (۶) و مشتق‌گیری از جریان درین برحسب ولتاژ گیت-سورس داریم:

$$g_m = \frac{\partial I_d}{\partial V_{gs}} = \mu_n c_{ox}\frac{W_{eff}}{L_{eff}}\left(V_{gs}-V_{th}\right)\left[1+\frac{V_{ds}-V_{eff}}{V_A}\right] \quad (۸)$$

با درنظر گرفتن رابطه (۶) و (۸) و انجام ساده‌سازی برای g_m داریم:

$$g_m = \frac{2I_d}{\left(V_{gs}-V_{th}\right)} \quad (۹)$$

۲-۲-۳- محاسبه ضریب تعدیل ولتاژ ترانزیستور، $g_m r_{ds}$

با استفاده از روابط (۷) و (۹) و انجام ساده‌سازی داریم:

$$g_m r_{ds} = \frac{2I_d}{(V_{gs}-V_{th})} \cdot \frac{1}{\frac{1}{W_{eff}}\frac{\partial W_{eff}}{\partial V_{ds}} - \frac{1}{L_{eff}}\frac{\partial L_{eff}}{\partial V_{ds}}} \cdot \frac{1}{I_d} = \frac{2}{(V_{gs}-V_{th})} \left[\frac{1}{\frac{1}{W_{eff}}\frac{\partial W_{eff}}{\partial V_{ds}} - \frac{1}{L_{eff}}\frac{\partial L_{eff}}{\partial V_{ds}}} \right] \quad (۱۰)$$

$$g_m r_{ds} = \frac{2V_A}{V_{gs}-V_{th}} \quad (۱۱)$$

در رابطه (۱۲) ضرایب تعدیل ترانزیستورهای بر هم سوار (M_2، $M_{20,C}$ و $M_{20,D}$) برای شاخه LSB (مشترک برای هر دو حالت مرسوم و DMOS)، شاخه MSB برای حالت مرسوم و شاخه MSB برای حالت DMOS در شکل (۴) بیان شده است این ضرایب در ادامه مورد ارزیابی قرار خواهند گرفت:

$$\begin{aligned} (g_m r_{ds})_2 &= \frac{2V_{A,2}}{V_{gs,2}-V_{th,2}} \\ (g_m r_{ds})_{20,D} &= \frac{2V_{A,20,D}}{V_{gs,20,D}-V_{th,20,D}} \\ (g_m r_{ds})_{20,C} &= \frac{2V_{A,20,C}}{V_{gs,20,C}-V_{th,20,C}} \end{aligned} \quad (۱۲)$$

ولتاژهای V_{th} و V_A با ابعاد و شرایط فیزیکی هر ترانزیستور مشخص می‌شوند و اندازه ولتاژ گیت-سورس، V_{gs}، ترانزیستورهای بر هم سوار (M_2، $M_{20,C}$ و $M_{20,D}$) با جریان ترانزیستورهای آینه (M_1، $M_{10,C}$ و $M_{10,D}$) تعیین می‌شود. در مبدل دیجیتال به آنالوگ هدایت جریان ده بیتی لازم است با تنظیم ابعاد کانال ترانزیستورهای ماسفت، جریان‌های $2^{n-1}I_{LSB}$ برای هر کدام از شاخه ها از LSB، (n=1) تا MSB (n=10) تولید شود. در مقاله [۵] به وضوح حصول جریان‌های مختلف از هر نسبتی با دقت بسیار بالا برای ساختار DMOS مورد بررسی و اثبات قرار گرفته است، در حالیکه اثبات شد که برای ساختار مرسوم با تغییر ابعاد ترانزیستورها خطای انتقال آینه جریان محسوس و گاهاً غیرقابل تحمل خواهد بود.

قبل از ارزیابی ضرایب تعدیل رابطه (۱۲) منابع خطای جریانی مهم در مبدل مبدل دیجیتال به آنالوگ هدایت جریان را در نظر بگیرید:

- خطای ناشی از رفتار متفاوت (Vth و VA نابرابر) ترانزیستورهای با ابعاد مختلف که برای پیاده‌سازی بلوک‌های مختلف از LSB تا MSB استفاده می‌شود،
- خطای ناشی از تغییر ولتاژ خروجی بر ایجاد جریان خطا در بلوک‌های مختلف،
- خطای ناشی از عدم انطباق ترانزیستورها

براساس یافته‌های مقاله [۵] درخصوص اندازه ولتاژ آستانه و ولتاژ ارلی، ترانزیستور MOS مرسوم و DMOS داریم:

$$\begin{aligned} V_{A,1} &= V_{A,2} = V_{A,10,D} = V_{A,20,D} \neq V_{A,10,C} = V_{A,20,C} \\ V_{th,1} &= V_{th,2} = V_{th,10,D} = V_{th,20,D} \neq V_{th,10,C} = V_{th,20,C} \end{aligned} \quad (۱۳)$$

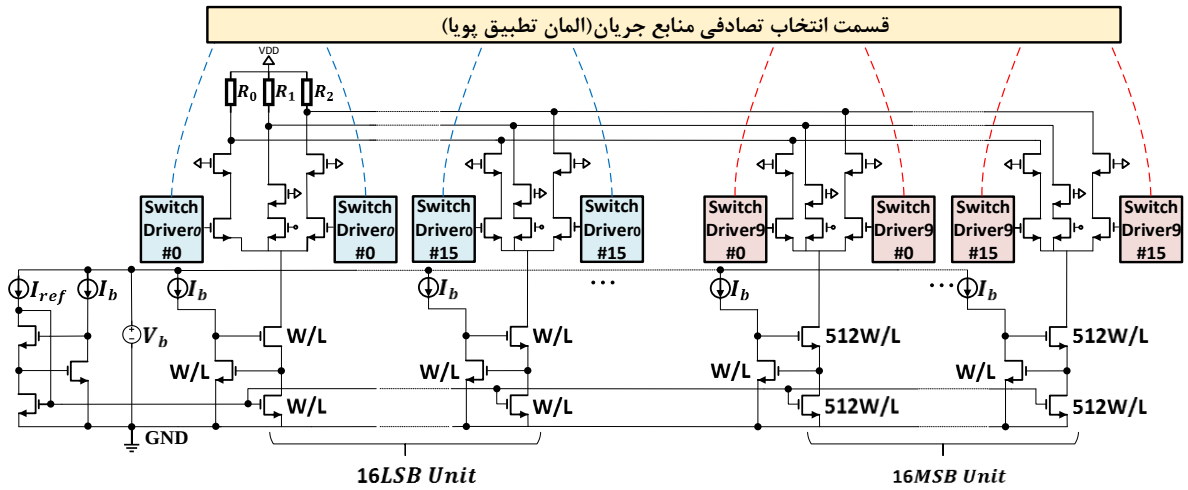
برای ترانزیستورهای آینه بلوک‌های LSB و MSB در ساختار مرسوم (به ترتیب M_1 و $M_{10,C}$) هرچند V_{gs} به خاطر اتصال پایه ها الزاما برابر می شود اما V_{th} و V_A دارای اختلاف هستند. اختلاف V_{th} سبب شارش جریان غیردقیق در دو بلوک می‌شود به نحوی که $I_{MSB} \neq 2^{n-1} I_{LSB}$ که در آن n تعداد بیت‌های مبدل است. علاوه بر عدم نسبت دقیق جریان‌ها، به خاطر اختلاف V_A ها خطاهای متفاوتی نیز به شاخه‌ها تحمیل خواهد شد. این در حالیست که برای ساختار DMOS هیچکدام از این خطاها وجود ندارد.

لذا جریان ترانزیستورهای آینه در شاخه‌های LSB و MSB برای حالت مرسوم نابرابر و برای حالت DMOS تقریباً برابر خواهد بود. به عبارت دیگر خطای اول از سه خطای فوق برای ساختار مرسوم برقرار بوده و برای حالت DMOS تقریباً حذف شده است، لذا برای ترانزیستورهای کسکود که به ترانزیستورهای آینه متصل هستند، داریم.

$$V_{gs,2} = V_{gs,20,D} \neq V_{gs,20,C} \quad (۱۴)$$

به عبارت دیگر تغییرات ولتاژ بار در اثر شارش جریان‌های متفاوت در بلوک های مختلف که با تضعیف $1+g_m r_{ds}$ در ایجاد خطای جریان در ترانزیستورهای آینه موثر هستند به خاطر اختلاف $1+g_m r_{ds}$ مسیرها در ساختار مرسوم، در بلوک‌های مختلف خطای متفاوتی ایجاد خواهند کرد. در نتیجه کنترل و بهینه‌سازی چنین خطایی در ساختار مرسوم بسیار دشوار و طاقت فرسا عملاً امکان ناپذیر است. این درحالی است که با استفاده از ساختار و آرایش DMOS مشکل نسبت جریان و خطای جریان اولیه حل شده و به خاطر $1+g_m r_{ds}$ برابر انتقال اثر ولتاژ خروجی به درین ترانزیستورهای آینه یکسان گشته و لذا جریان خطای ایجاد شده برای تمام شاخه‌ها به صورت یکسان بوده و صرفاً سبب ایجاد خطای بهره خواهد شد که این خطا وابسته به خروجی بوده و با الگوبرداری از خطا و برنامه‌ریزی جریان بایاس در صورت لزوم برای کاربردهای دقیق می‌تواند رفع شود.

خطای ناشی از عدم انطباق ترانزیستورها که همواره محدودکننده دقت مبدل‌های داده است [۷] برای ترانزیستورهای با ابعاد مختلف نسبت به ترانزیستورهای با ابعاد یکسان شرایط پیچیده‌تری را دارا است. خطای ابعاد مربوط به ترانزیستورهای با ابعاد بزرگ در مبدل‌های دیجیتال به آنالوگ هدایت جریانی به‌خصوص در بیت‌های پرارزش باعث افزایش خطای عدم انطباق جریان‌ها شده و نمی‌توان خطاهای ایجادشده ناشی از ابعاد متفاوت این ترانزیستورها را در تمامی بیت‌ها با مقیاس معینی برای حذف خطا مدیریت کرد. همانطور که پیشتر اشاره شد، برای کاهش اثر این خطا معمولاً از تکنیک‌های تطبیق پویای عناصر استفاده می‌شود. پیاده‌سازی تکنیک‌های نوین تطبیق پویای عناصر به تعداد زیادی ترانزیستور ابعاد یکسان نیاز دارد که با



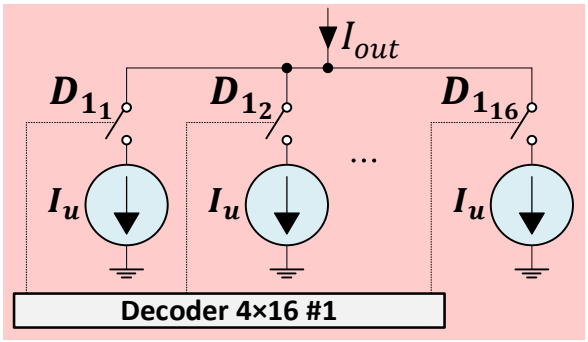
شکل (۶): نمای سطح ترانزیستوری تطبیق پویای جریان مبدل دیجیتال به آنالوگ مرسوم

الگوی تعیین شده در تولید جریان ایفای نقش می‌کنند. استفاده از ترانزیستورهای با ابعاد یکسان معمولاً برای هر بلوک صورت می‌گیرد. به عبارت دیگر تعدادی از هر بلوک در طراحی پیش‌بینی می‌شود که به صورت تصادفی برای تولید جریان مورد استفاده قرار می‌گیرند و بدین ترتیب خطای کل میانگین خطای تک تک آن بلوک‌ها بوده و کمتر از خطای حالت عادی خواهد بود. با توجه به اینکه ابعاد ترانزیستورهای تکرار شده برای بلوک‌های مختلف (مثلاً برای LSB برابر W/L و برای MSB برابر 512W/L) با هم متفاوت است لذا خطای ابعاد نیز برای آنها متفاوت خواهد بود. این امر سبب کاهش بهره‌وری روش‌های تطبیق پویای عناصر می‌شود.

تکنیک DMOS به خاطر استفاده از ترانزیستورهای با ابعاد یکسان برای همه طبقات از LSB تا MSB (که از ۵۱۲ ترانزیستور موازی هرکدام با ابعاد W/L استفاده می‌کند) سازگار با روش‌های تطبیق پویای عناصر است. با توجه به استفاده از ترانزیستورهای با ابعاد یکسان در روش DMOS دیگر نیازی به افزایش تعداد بلوک‌های با ابعاد بزرگ برای استفاده در روش تطبیق پویای عناصر وجود ندارد و صرفاً با افزایش تعداد ترانزیستورهای واحد موجود در بلوک‌های DMOS و مدیریت تعداد و ترتیب ترانزیستورهای فعال در تولید جریان می‌توان با سهولت بیشتر و هزینه کمتر از بابت مصرف توان و سطح تراشه اشغالی به همان خواسته البته با کیفیت بیشتر دست یافت. روش تطبیق پویای عناصر تحت عنوان DMOS، در ادامه مورد بررسی قرار گرفته است.

۲-۳- استفاده از تکنیک DMOS برای تطبیق پویای عناصر (DMOS)

تکنیک تطبیق پویای عناصر DMOS پیشنهادی برمبنای انتخاب تصادفی از میان تعداد معینی از بلوک‌های جریانی واحد، I_u، همان‌طور که در شکل (۵) نشان داده شده است استوار است.



شکل (۵): یک بیت متشکل از ۱۶ عدد منبع جریان هم‌وزن برای انتخاب تصادفی از میان آن‌ها

در شکل (۵) شانزده بلوک جریان واحد، I_u، برای بلوک LSB در نظر گرفته شده است که هر دفعه با رسیدن کد دیجیتال، با استفاده از یک دیکدر 16×4 یکی از آنها انتخاب و وظیفه تامین جریان را برعهده می‌گیرند. در حالت مرسوم برای بلوک LSB ابعاد ترانزیستورها برای ایجاد جریان I_u برابر W/L و برای بلوک MSB ابعاد ترانزیستورها برای ایجاد جریان I_u 512 برابر 512W/L است. حال آن که در ساختار DMOS برای بلوک MSB از 512 ترانزیستور با ابعاد W/L برای ایجاد جریان I_u 512 استفاده شده است.

اگر برای ساختار مرسوم (شکل ۶) پیاده‌سازی تطبیق پویای عناصر مستلزم استفاده از شانزده بلوک کامل MSB است، برای ساختار DMOS (شکل ۷) صرفاً می‌توان برای بلوک MSB به جای 512 ترانزیستور با ابعاد W/L از 527 ترانزیستور با ابعاد W/L استفاده کرد که در آن 511 مربوط به تعداد ترانزیستورهای حالت اولیه بوده و 16 ترانزیستور دارای همان ابعاد برای جایگزینی با یکی از ترانزیستورهای بلوک MSB در اجرای تطبیق پویای عناصر پیش‌بینی شده است. لذا در این حالت تطبیق پویای عناصر با سطح تراشه بسیار کوچک‌تری قابل پیاده سازی است. در صورت نیاز به جای 16 ترانزیستور می‌توان از تعداد بیشتری از ترانزیستورهای ابعاد یکسان

(مثلاً 16×(1+n) ترانزیستور) در تطبیق پویای عناصر بهره گرفت و تعداد ترانزیستورهای حالت اولیه را 512-n انتخاب کرد که n ترانزیستور از طریق تطبیق پویای عناصر بر روی 16×(1+n) ترانزیستور تامین می‌شود.

در ساختار تطبیق پویای عناصر بحث اصلی نحوه انتخاب عناصر است. این انتخاب‌ها در حالت ایده‌آل باید به صورت کاملاً تصادفی باشد. مدار تولید کدهای کاملاً تصادفی نیازمند ساختارهای بسیار پیچیده بوده و از نظر سطح اشغالی تراشه و توان مصرفی مقرون به صرفه نخواهد بود. ساختارهای تصادفی با تعداد کدهای محدود که با گیت‌های دیجیتال پیاده‌سازی می‌شوند، دارای کدهایی با دوره تکرار متناوب می‌باشند. این امر سبب معرفی هارمونیک‌هایی با فرکانس‌های مشخص به طیف فرکانسی سیگنال خروجی می‌شود. در ساختارهایی که به نوعی کد تصادفی تولید شده از کد ورودی نشات می‌گیرد نیز هارمونیک‌های مزاحم ضریبی از فرکانس سیگنال ورودی بوده و طیف سیگنال خروجی را خراب خواهد کرد. طراحی هوشمندانه ساختار انتخابگر تصادفی برای برقراری مصالحه‌ای بهینه میان پیچیدگی مداری و کیفیت شکل موج به دست آمده از اهمیت ویژه‌ای برخوردار است. ساختار انتخاب‌گر تصادفی پیشنهادی در بخش بعدی مورد بررسی قرار می‌گیرد.

۲-۴- ساختار انتخاب‌گر تصادفی جدید

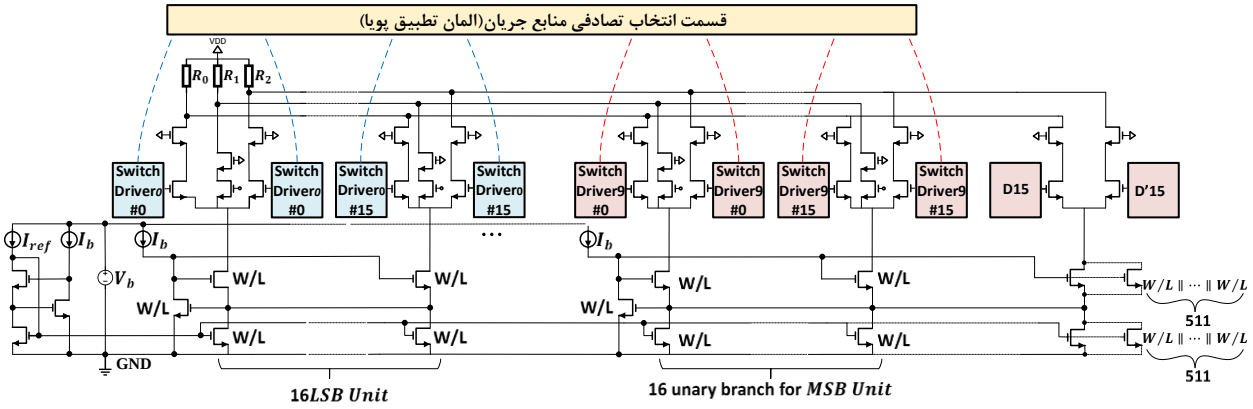
در پیاده‌سازی ساختار تطبیق پویای عناصر پیشنهادی شکل (۸) برای تصادفی‌تر کردن هر چه بیشتر کد تولیدی از یک مولد کد تصادفی و تمام جمع‌کننده‌ها، به همراه رمزگشای ۴ به ۱۶ برای تولید خروجی‌های کاملاً تصادفی برای انتخاب منابع جریان هم وزن مورد نظر استفاده شده است. مولد کد تصادفی پس از دریافت هر کد دیجیتال ورودی آن را در ثباتی که با آرایش شیفت رجیستری پیاده‌سازی شده بارگذاری می‌کند. محتویات شیفت رجیستر با فرکانس نایکوئیست چرخش پیدا کرده و لذا ارقام متفاوتی در اختیار جمع‌کننده سه بیتی قرار می‌گیرد. رقم نقلی ورودی نیز می‌تواند یک سیگنال کاملاً تصادفی یک بیتی باشد یا بیتی متغیر و تصادفی از کد دیجیتال ورودی باشد. چهار بیت خروجی جمع‌کننده سه بیتی که سه بیت جمع و یک بیت رقم نقلی است به رمزگشای ۴ به ۱۶ داده می‌شود تا خروجی فعال رمزگشا، یکی از ۱۶ منبع جریان متناظر را برای تامین جریان خروجی انتخاب نماید.

به بیان دیگر، در هر بازه زمانی عمل جمع و دخالت بیت نقلی حاصل از جمع قبلی در تمام جمع کننده بعدی باعث عوض شدن سری کد خروجی از جمع کننده‌ها در هر پالس ساعت می‌شود و کدهای ورودی به رمزگشاها در هر پالس ساعت کاملاً به‌صورت تصادفی می‌باشند. درنتیجه هر رمزگشا که وظیفه انتخاب تصادفی از بین منابع جریان هم‌وزن را بر عهده دارد یکی از منابع جریان را در هر پالس ساعت به‌صورت تصادفی انتخاب می‌کند.

در ساختار تطبیق پویای عناصر بحث اصلی نحوه انتخاب عناصر است. این انتخاب‌ها در حالت ایده‌آل باید به صورت کاملاً تصادفی باشد. مدار تولید کدهای کاملاً تصادفی نیازمند ساختارهای بسیار پیچیده بوده و از نظر سطح اشغالی تراشه و توان مصرفی مقرون به صرفه نخواهد بود. ساختارهای تصادفی با تعداد کدهای محدود که با گیت‌های دیجیتال پیاده‌سازی می‌شوند، دارای کدهایی با دوره تکرار متناوب می‌باشند. این امر سبب معرفی هارمونیک‌هایی با فرکانس‌های مشخص به طیف فرکانسی سیگنال خروجی می‌شود. در ساختارهایی که به نوعی کد تصادفی تولید شده از کد ورودی نشأت می‌گیرد نیز هارمونیک‌های مزاحم ضریبی از فرکانس سیگنال ورودی بوده و طیف سیگنال خروجی را خراب خواهد کرد. طراحی هوشمندانه ساختار انتخابگر تصادفی برای برقراری مصالحه‌ای بهینه میان پیچیدگی مداری و کیفیت شکل موج به دست آمده از اهمیت ویژه‌ای برخوردار است. ساختار انتخاب‌گر تصادفی پیشنهادی در بخش بعدی مورد بررسی قرار می‌گیرد.

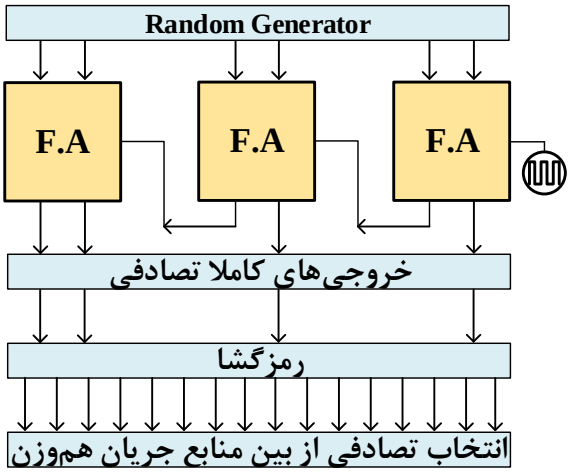
۲-۵- ساختار انتخاب‌گر تصادفی جدید

در پیاده‌سازی ساختار تطبیق پویای عناصر پیشنهادی شکل (۸)



شکل (۷): نمای سطح ترانزیستوری تطبیق پویای جریان مبدل دیجیتال به آنالوگ DMOS

برای تصادفی‌تر کردن هر چه بیشتر کد تولیدی از یک مولد کد تصادفی و تمام جمع‌کننده‌ها، به همراه رمزگشای ۴ به ۱۶ برای تولید خروجی‌های کاملاً تصادفی برای انتخاب منابع جریان هم وزن مورد نظر استفاده شده است.



شکل (۸): چگونگی تأثیرگذاری تمام جمع کننده بر انتخاب تصادفی منابع جریان

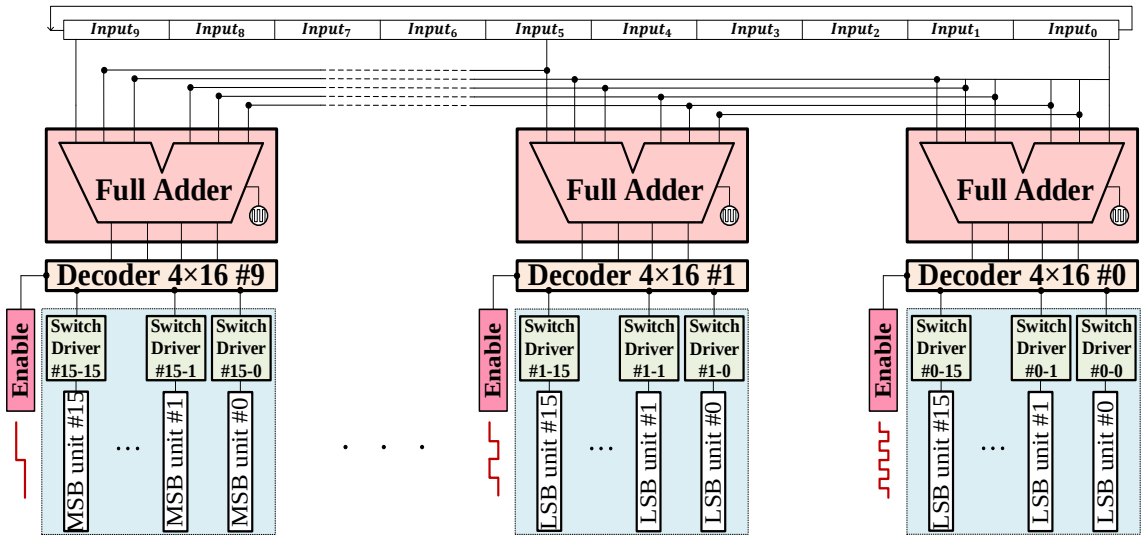
مولد کد تصادفی پس از دریافت هر کد دیجیتال ورودی آن را در ثباتی که با آرایش شیفت رجیستری پیاده‌سازی شده بارگذاری می‌کند. محتویات شیفت رجیستر با فرکانس نایکوئیست چرخش پیدا کرده و لذا ارقام متفاوتی در اختیار جمع‌کننده سه بیتی قرار می‌گیرد. رقم نقلی ورودی نیز می‌تواند یک سیگنال کاملاً تصادفی یک بیتی باشد یا بیتی متغیر و تصادفی از کد دیجیتال ورودی باشد. چهار بیت خروجی جمع‌کننده سه بیتی که سه بیت جمع و یک بیت رقم نقلی است به رمزگشای ۴ به ۱۶ داده می‌شود تا خروجی فعال رمزگشا، یکی از ۱۶ منبع جریان متناظر را برای تامین جریان خروجی انتخاب نماید.

به بیان دیگر، در هر بازه زمانی عمل جمع و دخالت بیت نقلی حاصل از جمع قبلی در تمام جمع کننده بعدی باعث عوض شدن سری کد خروجی از جمع کننده‌ها در هر پالس ساعت می‌شود و کدهای ورودی به رمزگشاها در هر پالس ساعت کاملاً به‌صورت تصادفی می‌باشند. درنتیجه هر رمزگشا که وظیفه انتخاب تصادفی از بین منابع جریان هم‌وزن را بر عهده دارد یکی از منابع جریان را در هر پالس ساعت به‌صورت تصادفی انتخاب می‌کند.

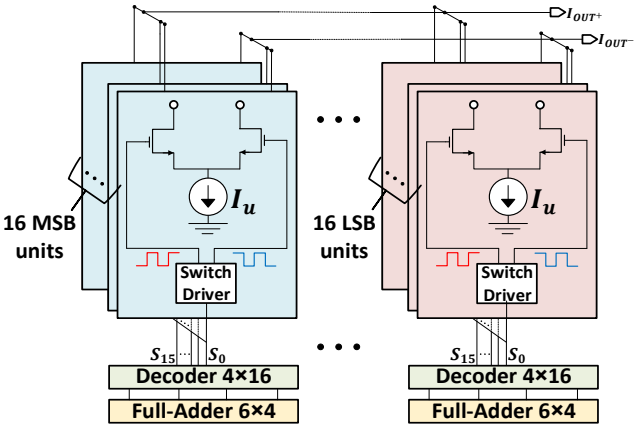
ساختار کلی انتخاب‌گر تصادفی پیشنهادی در شکل (۹) نشان داده شده است که برای افزایش مقدار محدوده‌ی دینامیکی تا اولین مؤلفه غیراصلی (SFDR) از شیفت رجیستر و تمام جمع کننده‌ها به‌صورت هم‌زمان برای تصادفی‌تر کردن ورودی‌های رمزگشا استفاده شده است. این کار سبب می‌شود تا رمزگشا که وظیفه انتخاب منابع جریان در هر پالس ساعت را در اختیار دارد بتواند به‌صورت تصادفی‌تر منابع جریان هم وزن را انتخاب کند. برای اینکه رمزگشاها در انتخاب یک‌به‌یک و تصادفی منابع جریان اشتباه نکنند، فعال‌سازها فقط به ازای ورودی معتبر و مجاز هر شاخه اجازه عمل را به رمزگشا می‌دهند. نحوه اتصال انتخاب‌گر تصادفی به مبدل در شکل (۱۰) نشان داده شده است.

۳- نتایج شبیه‌سازی

مبدل دیجیتال به آنالوگ ده بیتی پیشنهادی در تکنولوژی ۱۸۰ نانومتر CMOS پیاده‌سازی شده و با استفاده از نرم‌افزار Cadence شبیه‌سازی شده است. خروجی شیبدار در دو حالت بدون/با استفاده از روش پیشنهادی به ترتیب در شکل‌های (۱۱) و (۱۲) نشان داده شده است. با توجه به این شکل‌ها کاملاً مشخص است که هنگام استفاده از روش پیشنهادی شیب خروجی و میزان گلیچ جریان شیبدار به صورت قابل قبولی بهبود یافته است. بهبود وضعیت شیب به معنی تولید صحیح جریان‌های متناظر با هر ورودی دیجیتال از کم‌ارزش‌ترین بیت تا پرارزش‌ترین بیت است.

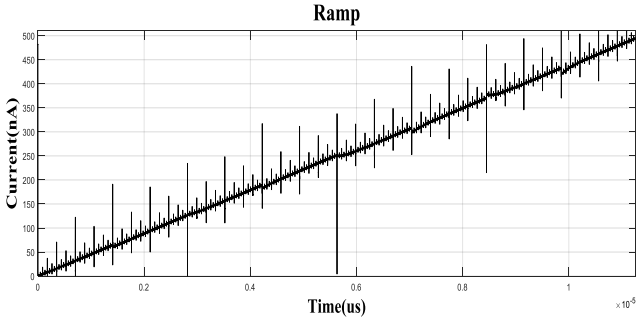


شکل(۹): ساختار کلی انتخاب‌گر تصادفی پیشنهادی

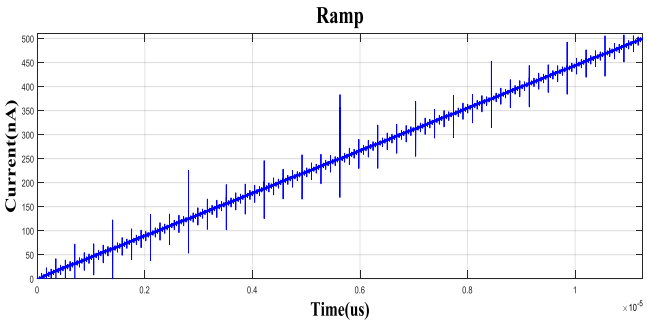


شکل (۱۰): نحوه اتصال انتخاب‌گر تصادفی به مبدل

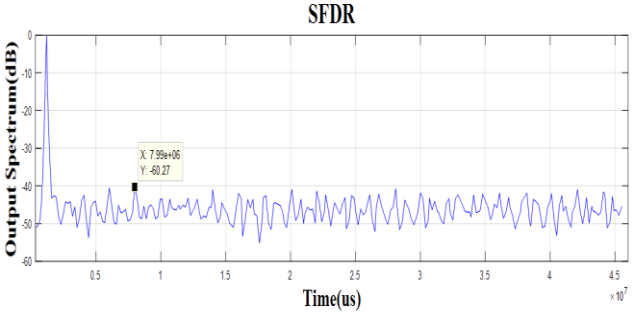
مطابق شکل (۱۳) مقدار محدوده دینامیکی تا اولین مؤلفه غیراصلی (SFDR) در حالت استفاده از روش تطبیق پویای عناصر پیشنهادی (۶۰/۲۷) دسی‌بل اندازه‌گیری شده است. این درحالی است که طبق شکل (۱۴) در صورت عدم استفاده از روش پیشنهادی در مبدل، مقدار SFDR[۶] (۳۶/۵۵) دسی‌بل به دست می‌آید.



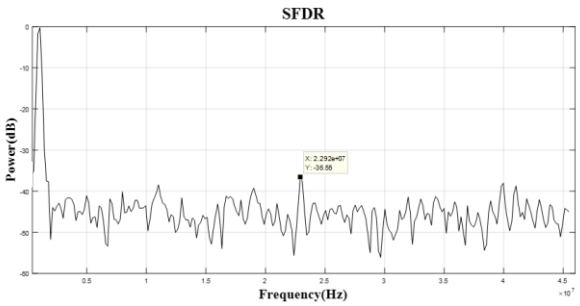
شکل (۱۱): نمودار زمانی خروجی شیبدار بدون استفاده از طرح پیشنهادی



شکل (۱۲): نمودار زمانی خروجی شیبدار با استفاده از طرح پیشنهادی



شکل(۱۳): محدوده دینامیکی تا اولین مؤلفه غیراصلی با استفاده از تطبیق پویای عناصر پیشنهادی



شکل(۱۴): محدوده‌ی دینامیکی تا اولین مؤلفه غیراصلی بدون استفاده از تطبیق پویای عناصر جدید

۴- نتیجه‌گیری

در این مقاله تکنیک ترانزیستورهای MOS توزیع‌شده با قابلیت تسهیل پیاده‌سازی تطبیق پویای عناصر ارائه شد. همان‌طوری‌که توضیح داده شد، عملکرد مبدل دیجیتال به آنالوگ هدایت جریان بوسیله عدم انطباق طول و عرض کانال ترانزیستورها و اختلاف میان ولتاژ آستانه (V_{th}) و ولتاژ ارلی (V_A) آنها ناشی از خطای پروسه ساخت، تاثیر تغییرات ولتاژ خروجی بر روی جریان شاخه ها ناشی از مقاومت خروجی محدود آینه‌های جریان، اختلاف فاز روشن و خاموش شدن کلیدهای ترانزیستوری MSB و LSB با اعمال پالس‌های دیجیتال ورودی محدود می‌شود. در تکنیک ارائه شده مبنای عملکرد انتخاب تصادفی از میان تعداد معینی از بلوک‌های جریان واحد است لذا برای تصادفی‌تر کردن هر چه بیشترکد تولیدی، از یک مولد کد تصادفی و تمام جمع کننده به همراه رمز گشای ۴ به ۱۶ استفاده شده است.

با توجه به وجود المان تطبیق پویا و شاخه های جریان بیشتر از مبدل دودویی عادی بیشترین توان مصرفی این مبدل ۱۴/۶ mW می‌باشد. این تکنیک با استفاده تکنولوژی ۱۸۰ نانو متر CMOS در ساختار یک مبدل دیجیتال به آنالوگ ۱۰ بیتی باینری پیاده‌سازی شده و شاخص SFDR مبدل آنالوگ به دیجیتال براساس شبیه‌سازی‌های انجام شده تحت نرم‌افزار Cadance Spectre ۶۰/۲۷ دسیبل به دست آمد.

مراجع

[1] C. R. Patton III and G. J. Bennett, "Digital-to-analog converter having high resolution and high bandwidth," ed: Google Patents, 2000.

[2] S.-C. Yi, "A 6-bit digital to analogue converter based on current mirrors," International Journal of Electronics, vol. 99, no. 9, pp. 1291-1298, 2012.

[3] B. Razavi, "The current-steering DAC [a circuit for all seasons]," IEEE Solid-State Circuits Magazine, vol. 10, no. 1, pp. 11-15, 2018.

[4] S.-C. Yi, "An 8-bit current-steering digital to analog converter," AEU-International Journal of Electronics and Communications, vol. 66, no. 5, pp. 433-437, 2012.

[5] Y. Liu, Y. Fu, C. Huang, H. Yang, and X. Li, "Dynamic Switching Sequence to Compensate the Integral Nonlinearity in Current-Steering DACs," in 2021

IEEE International Symposium on Circuits and Systems (ISCAS), 2021, pp. 1-5: IEEE.

[6] A. Kumar, S. K. Gupta, and V. Bhadauria, "Low-power and low glitch area current steering DAC," Engineering Science and Technology, an International Journal, 2021.

[7] حسن زاده ,دانائی "یک راهکار جدید برای کاهش جریان نشتی در کلیدهای CMOS" مجله برق و الکترونیک ایران Jan 2017 10;13(4):33-40

[8] S. Patel and U. Mehta, "A 1.8 V 5-bit Segmented Current Steering Digital-to-Analog Converter," in 2021 Devices for Integrated Circuit (DevIC), 2021, pp. 569-571: IEEE.

[9] K. Monfaredi and S. J. Mohammadi, "Dynamic foreground calibration of binary-weighted current-steering DAC," Iranian Journal of Science and Technology, Transactions of Electrical Engineering, vol. 43, no. 4, pp. 699-716, 2019.

[10] B. Razavi, Design of analog CMOS integrated circuits. Tata McGraw-Hill Education, 2002.

[11] A. I. A. Cunha, M. C. Schneider, and C. Galup-Montoro, "An MOS transistor model for analog circuit design," IEEE Journal of solid-state circuits, vol. 33, no. 10, pp. 1510-1519, 1998.

[12] J.-S. Chen and M.-D. Ker, "Circuit performance degradation of switched-capacitor circuit with bootstrapped technique due to gate-oxide overstress in a 130-nm CMOS process," IEICE transactions on electronics, vol. 91, no. 3, pp. 378-384, 2008.

[13] K. Monfaredi, "Distributed unique-size MOS technique: A promising universal approach capable of resolving circuit design bottlenecks of modern era," Circuits, Systems, and Signal Processing, vol. 38, no. 2, pp. 512-528, 2019.

[1] Metal Oxide Semiconductor Field Effect Transistor

[2] Distributed MOS

[3] Least Significant Bit

[4] Most Significant Bit

[5] Cascode

[6] Spurious Free Dynamic Range