Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 2, 2025
DOI: 10.61186/jiaeee.22.2.192

Design and Simulation of New Ten-phase Ring Oscillator by Coupling of Two Identical Voltage Controlled Oscillators

Mohammad Jafar Hemmati[1]

[1]Assistant Professor, Department of Electrical Engineering, Sirjan University of Technology, Sirjan, Iran
mj.hemati@sirjantech.ac.ir

Abstract:
In this paper, a new configuration of ten-phase ring voltage controlled oscillator (RVCO) is introduced. The introduced oscillator is realized by coupling of two identical five-stage ring oscillators. Coupling of the identical VCOs is done by reusing some of the active devices employed in the proposed circuit without using the extra components. Stages of each core VCO are derived from the current-starved delay cell. Due to the crosswise coupling, the signals at the common mode nodes of one VCO are injected into the other, and vice versa which this interaction forces the proposed circuit to generate ten output voltages with same amplitudes and frequencies. The proposed oscillator achieves a frequency tuning range of 60 % and produces ten output signals with 36o phase difference. The proposed circuit can oscillate from 1.1 GHz to 2.05 GHz by varying the controlling voltage from 0.55 V to 0.85 V. The circuit phase noise is -99.25 dBc/Hz at 1 MHz offset frequency and its figure of merit is -184 dBc/Hz.

Keywords: Ring Voltage-Controlled Oscillator (Ring VCO), Phase Noise, Frequency Tuning Range (FTR), Current-Starved Cell

Article Type: Research

Received: 14. 02. 2024

Revised: 22. 12. 2024

Accepted: 01. 03. 2025

Corresponding author: M. J. Hemmati

Corresponding author's address: Km. 2th of Baft Rd., Sirjan University of Technology. Sirjan, Kerman, Iran

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

Oscillators are used as the building blocks for generating carrier signals in transceivers and clock signals for synchronization in communication systems and digital circuits. One type of oscillator is the ring oscillator. The design of a low-phase-noise, low-power ring oscillator with high integration capability for generating multiphase signals is of great interest to circuit designers. Compared to LC-tank-based oscillators, ring oscillators offer higher integration capability and a wider frequency tuning range. As a result, ring oscillators are widely used in integrated circuit (IC) design. Ring oscillators can be classified into two categories: single-ended and differential. Compared to the differential ring oscillators which exhibit superior phase noise performance, single-ended types are simpler and consume less power. Although single-ended structures are less diverse than differential ones, numerous studies in recent years have focused on improving the performance of these oscillators.

This paper presents a new configuration of ten-phase ring voltage controlled oscillator (RVCO). The introduced oscillator is realized by coupling of two identical five-stage ring oscillators. Coupling of the identical VCOs is done by reusing some of the active devices employed in the proposed circuit without using the extra components. Stages of each core VCO are derived from the current-starved delay cell. Due to the crosswise coupling, the signals at the common mode nodes of one VCO are injected into the other, and vice versa which this interaction forces the proposed circuit to generate ten output voltages with same amplitudes and frequencies.

2. Contributions

In the paper, a technique is presented that allows the coupling of two single-output ring oscillators with an odd number of stages, resulting in a new oscillator with even-phase outputs. One of the advantages of the proposed design in this paper is its simplicity and high integrability. Specifically, an effort has been made to utilize the internal components of the ring oscillators for coupling to achieve good phase noise performance. The proposed circuit offers an acceptable frequency range, and the factors affecting frequency variation are analyzed in detail in this paper. One of the key factors influencing frequency variation is the transistor dimensions. However, it should be noted that while increasing the transistor size enhances the charge and discharge current of the load capacitor, it also leads to an increase in the load capacitor size. Therefore, transistor sizing must be carefully managed to establish a trade-off between the charge/discharge time and the load capacitor size.

3. Procedures

The performance of the designed circuit was first simulated in Cadence software using 180 nm technology. The dimensions of each transistor were determined based on the governing frequency equations, specifically the relationships related to the propagation delay of each cell. During the simulation process, key circuit characteristics, including frequency range, power consumption, phase noise, and waveform amplitude, were examined and analyzed.

To further evaluate the performance of the designed oscillator, simulations were conducted across process, voltage, and temperature (PVT) corners. In addition to these simulations, a Monte Carlo simulation was performed 100 times to assess the oscillator's frequency variations due to process variations and mismatches. Furthermore, the circuit’s performance was compared with several previously proposed ring oscillators to provide a clearer perspective on its advantages. All comparison results have been compiled into a table to facilitate an easy comparison for the readers. Some of the papers used in this comparison and analysis are listed in the references section.

4. Findings

The design and simulation of the proposed oscillator were carried out using Cadence software with 0.18 µm CMOS technology. The output voltage waveforms of the proposed circuit were analyzed at an oscillation frequency of 2 GHz. The control voltage required to achieve this frequency was set to 0.75 V. The proposed oscillator is capable of oscillating within the frequency range of 1.1 GHz to 2.05 GHz, providing a tuning range of approximately 60%. To better understand the frequency variations of the proposed oscillator, the tuning range was evaluated by varying of control voltage from 0.55 V to 0.85 V. In the designed circuit, an increase in the control voltage results in an increase in the oscillation frequency.

The phase noise of the proposed oscillator was simulated for frequency offsets ranging from 1 kHz to 10 MHz. According to the simulation results, the phase noise at a 1 MHz frequency offset is -99.25 dBc/Hz. Furthermore, to evaluate the oscillator's performance more comprehensively, the variations of phase noise with respect to the control voltage were analyzed, revealing that phase noise fluctuations remain minimal across a wide control voltage range.

Additionally, the proposed oscillator was simulated under process, voltage, and temperature (PVT) variations. The oscillation frequency, power consumption, and phase noise at a 1 MHz frequency offset were analyzed under different process conditions, including typical-typical (TT), slow-slow (SS), and fast-fast (FF) corners.

5. Conclusion

In this paper, the structure of a novel 10-phase ring oscillator is introduced and described. The proposed structure is obtained by cross-coupling two single-output 5-stage ring oscillators. The coupled oscillators are based on modified current-starved delay cells. The coupling method presented in the proposed structure can also be used in the design of other even-phase ring oscillators. In contrast, single-output ring oscillators with an odd number of stages always have an odd number of output phases. In the coupling of the proposed circuit's oscillators, no additional coupling elements are used,

which significantly contributes to reducing the layout area and phase noise of the designed circuit. As a result, the proposed oscillator features high integration capability and low phase noise. The oscillation frequency of the proposed circuit is 2 GHz, and its power consumption is 2.65 mW. The phase noise at a 1 MHz offset from the center frequency is -99.25 dBc/Hz. The oscillator's figure of merit (FoM), considering the frequency range, is -184 dBc/Hz.

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره دوم، تابستان ۱۴۰۴، صفحات ۱۹۲-۱۹۸

DOI: 10.61186/jiaeee.22.2.192

طراحی و شبیه‌سازی نوسان‌گر حلقوی ۱۰ فاز جدید با تزویج دو نوسان‌گر کنترل شونده با ولتاژ یکسان

محمد جعفر همتی[۱]

۱- استادیار- دانشکده مهندسی برق- دانشگاه صنعتی سیرجان- سیرجان- ایران

mj.hemati@sirjantech.ac.ir

چکیده: در این مقاله، ساختار یک نوسان‌گر کنترل شونده با ولتاژ حلقوی ۱۰ فاز جدید ارائه می‌شود. این نوسان‌گر با تزویج دو نوسان‌گر حلقوی ۵ طبقه تک خروجی یکسان طراحی شده است. تزویج ساختار ارائه شده با استفاده از عناصر فعال نوسان‌گرهای هسته بدون نیاز به عنصر اضافی انجام شده است. طبقات هر یک از نوسان‌گرهای تزویج شده از سلول‌های تاخیر Current-Starved الهام گرفته شده است. تزویج ضربدری نوسان‌گرها، سیگنال‌های روی گره‌های مد مشترک نوسان‌گرهای هسته را به یکدیگر تزریق کرده و مدار پیشنهادی را وادار به تولید ۱۰ خروجی با دامنه و فرکانس یکسان می‌کند. ساختار پیشنهادی با گستره تنظیم فرکانسی ۶۰ درصد، خروجی‌های با اختلاف فاز 36^{o} درجه تولید می‌کند. این نوسان‌گر قادر است از فرکانس ۱/۱ GHz تا ۲/۰۵ GHz با تغییر ولتاژ کنترلی از ۰/۵۵ V تا ۰/۸۵ V نوسان کند. نویز فاز نوسان‌گر پیشنهادی در فاصله فرکانسی ۱ MHz از فرکانس مرکزی ۲ GHz برابر ۹۹/۲۵ dBc/Hz- و ضریب شایستگی آن برابر ۱۸۴ dBc/Hz- است

کلمات کلیدی: نوسان‌گر کنترل شونده با ولتاژ حلقوی، نویز فاز، گستره تنظیم فرکانسی، سلول current-starved

نوع مقاله: پژوهشی

دریافت: ۱۴۰۲/۱۱/۲۵

بازنگری: ۱۴۰۳/۱۰/۰۲

پذیرش: ۱۴۰۳/۱۲/۱۱

نام نویسنده‌ی مسئول: دکتر محمد جعفر همتی

نشانی نویسنده‌ی مسئول: ایران – سیرجان – کیلومتر ۱ جاده بافت–دانشگاه صنعتی سیرجان– دانشکده‌ی مهندسی برق

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

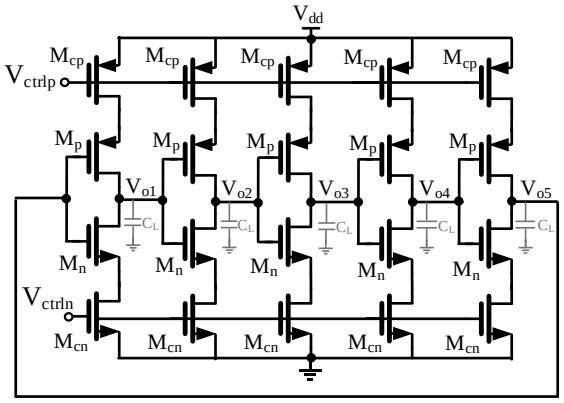
(https://creativecommons.org/licenses/by-nc/4.0/)

۱- مقدمه

نوسان‌گرها به عنوان یک بلوک کلیدی به منظور تولید سیگنال-های حامل برای فرستنده-گیرنده‌ها و سیگنال‌های کلاک برای همگام‌سازی در سیستم‌های مخابراتی و مدارهای دیجیتالی مورد استفاده قرار می‌گیرند [۱، ۲]. یکی از این نوسان‌گرها، نوع حلقوی است. طراحی نوسان‌گر حلقوی نویز فاز پایین و توان مصرفی کم با قابلیت مجتمع پذیری بالا جهت تولید سیگنال‌های چند فاز بسیار مورد توجه طراحان مدارهای دیجیتالی است. این نوسان‌گرها در مقایسه با نوسان‌گرهای مبتنی بر مدار تشدید کننده LC، از قابلیت مجتمع پذیری بالا، گستره فرکانسی وسیع‌تر برخوردار هستند [۳]. از اینرو، نوسان‌گرهای حلقوی در طراحی مدارهای مجتمع بسیار مورد استفاده قرار می‌گیرند. در مقابل، نوسان‌گرهای LC که تنوع ساختاری بالایی دارند، از ویژگی نویز فاز پایین برخوردار می‌باشند [۴، ۵]. نوسان گرهای حلقوی را می‌توان به دو دسته تک خروجی و تفاضلی طبقه-بندی نمود. در مقایسه با نوسان‌گرهای حلقوی تفاضلی که رفتار نویز فاز بسیار خوبی دارند، انواع تک خروجی از سادگی و توان مصرفی پایین برخوردار هستند [۶]. نوسان‌گرهای تک خروجی را می‌توان با N طبقه (سلول) تاخیر در یک حلقه طراحی نمود. برای نوسان کردن، تعداد طبقات باید فرد باشند که در این صورت N خروجی با اختلاف فاز ۳۶۰/N تولید می‌شوند. اگرچه ساختارهای تک خروجی نسبت به انواع تفاضلی تنوع کمتری دارند، ولی در سال‌های اخیر مطالعات متعددی جهت طراحی این نوع نوسان‌گرها با عملکرد بهبود یافته‌تر صورت گرفته است.

یکی از سلول‌های تاخیر الهام گرفته از وارونگر CMOS، ساختار Current-Starved است. این سلول از یک وارونگر CMOS سری با دو ترانزیستور کنترل کننده جریان تشکیل شده است. شکل ۱ یک نوسان‌گر حلقوی تک خروجی متشکل از ۵ طبقه Current-Starved را نشان می‌دهد. جریان هر یک از وارونگرها توسط ترانزیستورهای M_{cp} و M_{cn} کنترل می‌شود. دلیل نامگذاری فوق برای این سلول‌ها، وابستگی جریان وارونگر به ترانزیستورهای کنترلی است. در حقیقت ترانزیستورهای کنترلی، جریان پر و خالی شدن خازن خروجی هر طبقه (C_L) را که ناشی از ظرفیت‌های داخلی ترانزیستورهای آن طبقه و طبقه بعدی است تعیین می‌کند. هر اندازه هدایت ترانزیستور M_{cp} بیشتر و هدایت ترانزیستور M_{cn} کمتر باشد، خازن با سرعت بیشتری پر می‌شود. این در حالی است که با هدایت بیشتر ترانزیستور M_{cn} و هدایت کمتر M_{cp}، جریان خالی شدن خازن افزایش می‌یابد. بنابراین مدت زمان پر و خالی شدن خازن‌ها به میزان هدایت جریان ترانزیستورهای کنترلی وابسته است.

در ادامه این مقاله، ابتدا در بخش ۲، ساختار پیشنهادی ارائه و به طور کامل توصیف و تحلیل خواهد شد. نتایج شبیه‌سازی نوسان‌گر پیشنهادی در بخش ۳ ارائه می‌شوند. در این بخش عملکرد نوسان‌گر پیشنهاد شده با تعدادی از نوسان‌گرهای حلقوی مقایسه می‌شود. در بخش پایانی مقاله، نتایج حاصل از طراحی مدار به صورت مختصر بیان می‌شود.



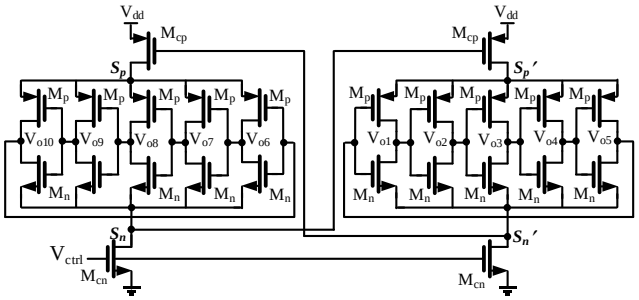
شکل (۱): نوسان‌گر حلقوی تک خروجی ۵ طبقه مبتنی بر سلول‌های Current-Starved

۲- نوسان‌گر حلقوی پیشنهادی

در بخش پیش اشاره شد که یک نوسان‌گر حلقوی تک خروجی از قرار گرفتن تعداد فردی از طبقات تاخیر در یک حلقه ایجاد می‌شود. اخیرا در [۷] نشان داده شده است که با تزویج دو نوسان‌گر حلقوی تک خروجی یکسان می‌توان به یک نوسان‌گر حلقوی با تعداد زوج خروجی دست یافت. عمل تزویج دو نوسان‌گر مشابه توسط یک مدار تزویج کننده صورت می‌گیرد که نوع مدار تزویج کننده، بر مشخصات کلی نوسان‌گر از جمله مساحت اشغالی، توان مصرفی و نویز فاز آن تاثیر گذار است. در این نوع از نوسان‌گرها، اگر تعداد طبقات مربوط به نوسان‌گرهای هسته N باشد، اختلاف فاز مربوط به ولتاژهای خروجی ۳۶۰/۲N خواهد بود. در تکنیک ارائه شده در [۷]، تزویج نوسان‌گرهای هسته از طریق گره‌های مد مشترک صورت می‌گیرد. در نوسان‌گرهای متقارن، بسته به ساختار آن‌ها، گره‌ها و شاخه‌های موجود بر روی محور تقارن شامل هارمونیک‌های زوج یا فرد از فرکانس نوسان خروجی هستند [۷].

شکل ۲ ساختار نوسان‌گر حلقوی پیشنهادی را نشان می‌دهد. این نوسان‌گر بر اساس تکنیک ارائه شده در [۷] از تزویج دو نوسان‌گر حلقوی تک خروجی ۵ طبقه حاصل شده است. نوسان‌گرهای هسته توسط پایه گیت ترانزیستورهای کنترلی نوع p به صورت ضربدری تزویج شده‌اند. به این صورت که گیت M_{cp} از نوسان‌گر سمت چپ به گره سورس مشترک (S'_n) از نوسان‌گر سمت راست متصل شده و گیت M_{cp} از نوسان‌گر سمت راست به گره سورس مشترک (S_n) از نوسان‌گر سمت چپ وصل شده است. در حقیقت، به جای آنکه پایه گیت M_{cp} در هر نوسان‌گر هسته به پایه سورس مشترک خود متصل شود به گره سورس مشترک نوسان‌گر سمت دیگر وصل شده است. این نحوه اتصال نوسان‌گرها باعث می‌شود که یک اختلاف فاز 180^o بین سیگنال‌های مربوط به گره‌های مد مشترک یکسان از دو نوسان‌گر ایجاد شود. از طرفی چون سیگنال‌های مربوط به گره‌های مد مشترک

تنها حاوی هارمونیک‌های پنجم و بالاتر هستند، وجود اختلاف فاز 180^o بین آن‌ها منجر به اختلاف فاز $180/N$ بین دو نوسان‌گر هسته می‌شود. به عبارتی در خروجی نوسان‌گر، ۱۰ ولتاژ با اختلاف فازهای $180/N$ بوجود می‌آید. با توجه به اینکه هر یک از نوسان‌گرها از ۵ سلول تاخیر تشکیل شده است، اختلاف فاز ولتاژهای خروجی 36^o خواهد بود. به دلیل اینکه هیچ عنصر اضافی برای عمل تزویج نوسان-گرهای هسته استفاده نشده است، نوسان‌گر پیشنهادی از قابلیت مجتمع پذیری بالایی برخوردار است. علاوه بر این، اتصال ترمینال گیت ترانزیستورهای M_{cp} به گره سورس مشترک ترانزیستورهای M_n منجر به افزایش زمان صعود خروجی می‌شود که همین امر باعث افزایش فرکانس نوسان مدار می‌شود [۷].



شکل (۲): نوسان‌گر حلقوی پیشنهادی با تزویج ضربدری

نوسان‌گرهای هسته مدار پیشنهادی در مقایسه با ساختار نشان داده شده در شکل ۱ دربرگیرنده ترانزیستورهای کمتری هستند. همانگونه که از شکل ۲ قابل مشاهده است، در هر یک از نوسان‌گرهای هسته، یک ترانزیستور کنترلی M_{cp} به جای ۵ ترانزیستور کنترلی شکل ۱ قرار گرفته است. به طور مشابه M_{cn} نیز جایگزین ۵ ترانزیستور کنترلی نوع n شده است. این تغییر علاوه بر اینکه منجر به کاهش مساحت اشغالی نوسان‌گرهای هسته مدار شده، باعث بوجود آمدن گره‌های مد مشترکی مانند S_n و S'_n نیز شده است. این گره‌ها امکان تزویج دو نوسان‌گر را با استفاده از سیگنال‌های مد مشترک فراهم نموده است.

۲-۱- بررسی فرکانس نوسان

فرکانس در یک نوسان‌گر حلقوی مبتنی بر وارونگرهای CMOS به صورت رابطه (۱) قابل بیان است.

$$f_{osc} = \frac{1}{2Nt_p} \qquad (۱)$$

که t_p میانگین زمان‌های انتشار پایین به بالا (t_{PLH}) و بالا به پایین (t_{PHL}) در یک سلول تاخیر است. محاسبه هر یک از زمان‌های انتشار مذکور طبق رابطه (۲) امکان‌پذیر است [۸].

$$t_{ch(dch)} = \int_{v_1}^{v_2} \frac{C_L}{i_{ch(dch)}} dv_o \qquad (۲)$$

در این رابطه، v_1 و v_2 به ترتیب سطح ولتاژهای اولیه و پایانی هر سلول و $i_{ch(dch)}$ بیان‌گر زمان‌های پر و خالی شدن خازن خروجی C_L است. با استفاده از روابط بالا و با فرض تغییر سریع وضعیت ورودی سلول‌های تاخیر از ۰ V به V_{dd} و بالعکس از V_{dd} به ۰ V، می‌توان زمان‌های انتشار پایین به بالا و بالا به پایین را به ترتیب به صورت روابط ذیل به دست آورد [۷، ۹].

$$t_{PLH} = \frac{C_L}{K_p\left(\frac{W}{L}\right)_{M_p}(V_{dd}-|V_{th,p}|)}\left(\frac{2|V_{th,p}|}{V_{dd}-|V_{th,p}|}+\ln\left(\frac{V_{dd}}{2|V_{th,p}|}\right)\right) \qquad (۳)$$

$$t_{PLH} = \frac{C_L}{K_n\left(\frac{W}{L}\right)_{Mn}(V_{dd}-V_{th,n})}\left(\frac{2V_{th,n}}{V_{dd}-V_{th,n}}+\ln\left(2-\frac{2V_{th,n}}{V_{dd}}\right)\right) \qquad (۴)$$

در این روابط داریم $K_n=\mu_nC_{ox}$ و $K_p=\mu_pC_{ox}$ که μ_n، μ_p و C_{ox} به ترتیب قابلیت تحرک پذیری حامل‌های الکترون، قابلیت تحرک‌پذیری حامل‌های حفره و ظرفیت بر واحد سطح اکسید گیت است. همچنین، W، L و V_{th} به ترتیب عرض کانال، طول کانال و ولتاژ آستانه ترانزیستورها است. بنابراین با توجه به زمان‌های فوق و رابطه (۱) قابل نتیجه‌گیری است که هر اندازه زمان‌های پر و خالی شدن خازن خروجی سلول‌ها کاهش یابد، فرکانس نوسان مدار افزایش می‌یابد. طبق آنالیز انجام شده در [۷]، اتصال پایه گیت ترانزیستورهای M_{cp} به گره سورس ترانزیستورهای M_n باعث می‌شود که خازن‌های خروجی در مدار پیشنهادی دارای زمان پر شدن پایین‌تری نسبت به خازن‌های خروجی یک سلول تاخیر از شکل ۱ باشند. شایان ذکر است که بر اساس رابطه (۱)، فرکانس نوسان مدار پیشنهادی با تعداد طبقات تاخیر در نوسان‌گر نیز رابطه معکوس دارد. از اینرو، افزایش تعداد طبقات منجر به کاهش فرکانس نوسان مدار می‌شود. طبق نتایج شبیه‌سازی، نوسان‌گر پیشنهادی نسبت به ساختار حلقوی با تزویج دو نوسان‌گر ۳ طبقه با اندازه‌های یکسان، در فرکانسی حدود ۱/۲ GHz کمتر نوسان می‌کند.

بر اساس روابط (۳) و (۴) تاثیر اندازه المان‌های مدار بر عملکرد آن قابل تامل است. طبق رابطه (۳)، افزایش اندازه ترانزیستورهای نوع P منجر به افزایش مقدار جریان پر شدن خازن بار شده و زمان انتشار پایین به بالا در سلول‌های تاخیر کاهش می‌یابد. به طور مشابه، با توجه به رابطه (۴)، با افزایش عرض کانال ترانزیستورهای نوع n، زمان انتشار بالا به پایین هر وارونگر کاهش یافته و خازن‌های بار سریع‌تر تخلیه می‌شوند. بنابراین، با افزایش اندازه ترانزیستورها، فرکانس نوسان مدار می‌تواند افزایش یابد. البته باید توجه نمود که اندازه ترانزیستورها نباید خیلی افزایش یابند. به دلیل آن‌که خازن‌های داخلی ترانزیستورها در خروجی زیاد شده و خازن بار افزایش می‌یابد. افزایش خازن بار منجر به کاهش فرکانس نوسان می‌گردد. به عبارت دیگر، برای پر و خالی کردن خازن بار بزرگ‌تر، زمان بیشتری لازم است. از اینرو، اگرچه افزایش اندازه ترانزیستورها باعث افزایش جریان پر و خالی شدن خازن بار شده اما از سوی دیگر منجر به بزرگ‌تر شدن خازن بار هم می‌گردد.

بنابراین افزایش اندازه ترانزیستورها باید با دقت و به نحوی انجام پذیرد که مطالعه‌ای بین زمان پر و خالی شدن و اندازه خازن بار برقرار شود. لازم به ذکر است که در بخش ۳ با انجام چند شبیه‌سازی تاثیر تغییر اندازه ترانزیستورها بر عملکرد نوسان‌گر آورده شده است.

۲-۲- اختلاف فاز خروجی‌های نوسان‌گر

پیش‌تر اشاره شد که در نتیجه تزویج ضربدری نوسان‌گرهای هسته، یک اختلاف فاز 180^{o} بین سیگنال‌های گره‌های مد مشترک حاصل می‌شود. برای نشان دادن این مساله، می‌توان مدار پیشنهادی را حلقه‌ای متشکل از دو نوسان‌گر هسته در نظر گرفت که هارمونیک‌های گره‌های مد مشترک در آن جاری می‌شوند. اگر اختلاف فاز بین گره‌های S_p و S_n از نوسان‌گر سمت چپ را با φ_{pn} و اختلاف فاز بین گره‌های S'_p و S'_n از نوسان‌گر سمت راست را با $\varphi_{p'n'}$ در نظر بگیریم و همچنین اختلاف فاز از پایه‌های گیت به درین ترانزیستورهای M_{cp} در نوسان‌گرهای چپ و راست را به ترتیب $\varphi_{n'p}$ و $\varphi_{np'}$ لحاظ کنیم، طبق معیار بارک هاوزن و تحلیل ارائه شده در [۱۰]، باید مجموع اختلاف فازهای حول حلقه برابر 360^{o} باشد. از اینرو داریم:

$$\varphi_{pn}+\varphi_{np'}+\varphi_{p'n'}+\varphi_{n'p}=360 \qquad (۵)$$

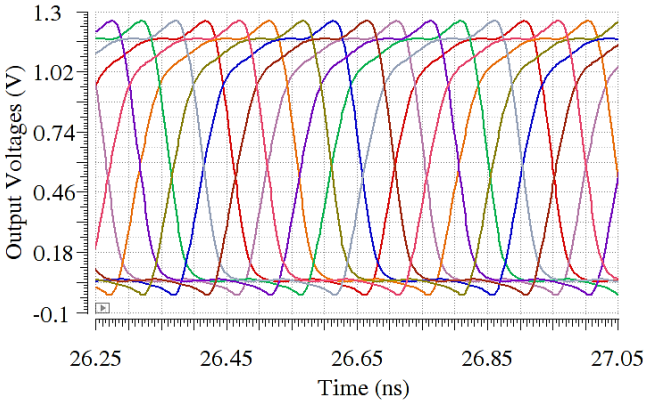
با توجه به اینکه دو نوسان‌گر یکسان هستند، φ_{pn} با $\varphi_{p'n'}$ و $\varphi_{np'}$ با $\varphi_{n'p}$ برابر هستند. از اینرو، می‌توان رابطه (۵) را به صورت رابطه زیر نوشت:

$$2\varphi_{pn}+2\varphi_{n'p}=360 \Rightarrow \varphi_{pn}+\varphi_{n'p}=180 \qquad (۶)$$

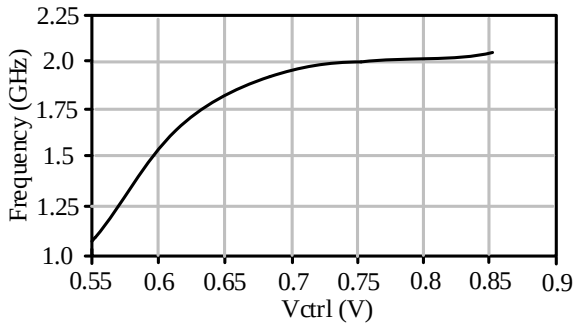
از رابطه فوق نتیجه می‌گیریم که اختلاف فاز بین گره‌های S'_n و S_n برابر 180^{o} است.

۳- نتایج شبیه‌سازی

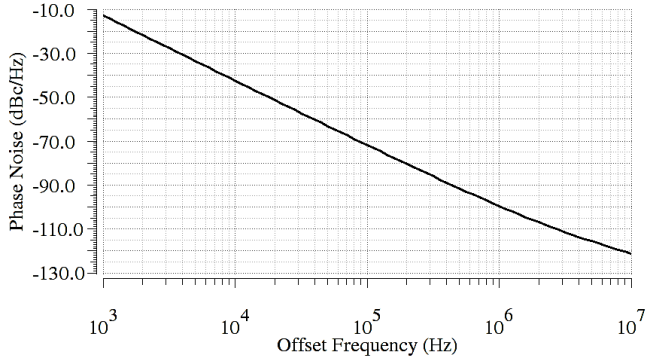
طراحی و شبیه‌سازی نوسان‌گر پیشنهادی توسط نرم افزار کیدنس و با تکنولوژی ۰/۱۸ µm CMOS انجام شده است. شکل‌موج‌های مربوط به ولتاژهای خروجی مدار پیشنهادی در شکل ۳ نشان داده شده است. این شکل‌موج‌ها در فرکانس نوسان ۲ GHz در نظر گرفته شده‌اند. ولتاژ کنترلی برای تنظیم فرکانس نوسان در مقدار فوق برابر ۰/۷۵ V بوده است. نوسان‌گر پیشنهادی قادر است از ۱/۱ GHz تا ۲/۰۵ GHz نوسان کند که در این بازه فرکانسی، گستره‌ای حدود ۶۰ درصد را فراهم می‌کند. برای درک بهتر تغییرات فرکانس نوسان مدار پیشنهادی، گستره فرکانسی آن به ازای ولتاژ کنترلی از مقدار ۰/۵۵ V تا ۰/۸۵ V در شکل ۴ نشان داده شده است. از این شکل بر می‌آید که با افزایش ولتاژ کنترلی، فرکانس نوسان نیز افزایش می‌یابد. نویز فاز نوسان‌گر پیشنهاد شده در شکل ۵ به ازای فاصله فرکانس ۱ kHz تا ۱۰MHz ترسیم شده است. طبق این نتایج شبیه‌سازی، نویز فاز مدار در فاصله فرکانسی ۱ MHz برابر ۹۹/۲۵ dBc/Hz- است. برای مشاهده بیشتر عملکرد نوسان‌گر پیشنهاد شده، تغییرات نویز فاز بر حسب ولتاژ کنترلی در شکل ۶ نشان داده شده است. مشاهده می‌شود که در بازه وسیعی از ولتاژ کنترلی، نوسان‌های نویز فاز ناچیز است. مقادیر مربوط به اندازه‌های عناصر مورد استفاده در نوسان‌گر طراحی شده در جدول ۱ آورده شده است. برای ارزیابی بیشتر عملکرد نوسان-گر طراحی شده، شبیه‌سازی آن در گوشه‌های فرایند، ولتاژ و دما (PVT) انجام شده است که نتایج آن در جدول‌های ۲ تا ۴ نشان داده شده است. در این بررسی، فرکانس نوسان، توان مصرفی و نویز فاز در فاصله فرکانسی ۱ MHz در حالت‌های مختلف معمول-معمول (TT)، کند-کند (SS) و سریع-سریع (FF) در نظر گرفته شده است.



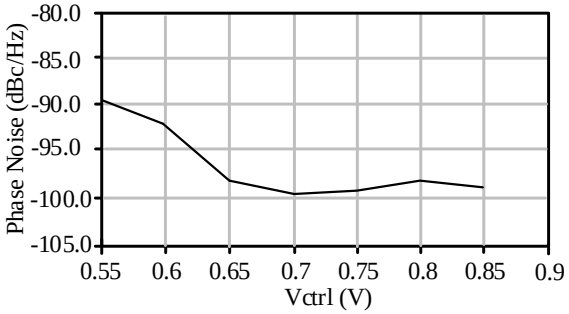
شکل (۳): شکل موج‌های ولتاژ مربوط به خروجی‌های نوسان‌گر پیشنهادی



شکل (۴): محدوده تغییرات فرکانس نوسان‌گر پیشنهادی



شکل (۵): نویز فاز نوسان‌گر پیشنهادی



شکل (۶): رفتار نویز فاز نوسان‌گر پیشنهاد شده بر حسب ولتاژ کنترلی

جدول (۱): مقادیر اندازه‌های عناصر مدار پیشنهادی

Component	M_{cp}	M_p	M_n	M_{cn}
W (µm)	۶۰	۱۵	۱۰	۴۵
L (µm)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸

جدول (۲): عملکرد نوسان‌گر پیشنهادی در حالت TT

PVT variation	V_{dd} (V) (± % ۵)	TT/-۵۰°	TT/۲۷°	TT/۵۰°
F_{osc}. (GHz)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	۲ ۲/۲۵ ۲/۴۵	۱/۸۷ ۲ ۲/۲۱	۱/۸۲ ۱/۹۹ ۲/۱۴
P_{dis}. (mW)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	۲/۲۲ ۲/۷۵ ۳/۳	۲/۱ ۲/۶۵ ۳/۱	۲/۰۸ ۲/۵۲ ۳
Phase Noise (dBc/Hz)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	-۹۹/۴۲ -۹۹/۳۲ -۹۷/۷	-۹۸/۶۳ -۹۹/۲۵ -۹۹	-۹۹/۵۳ -۹۹/۲۷ -۹۸/۷

جدول (۳): عملکرد نوسان‌گر پیشنهادی در حالت SS

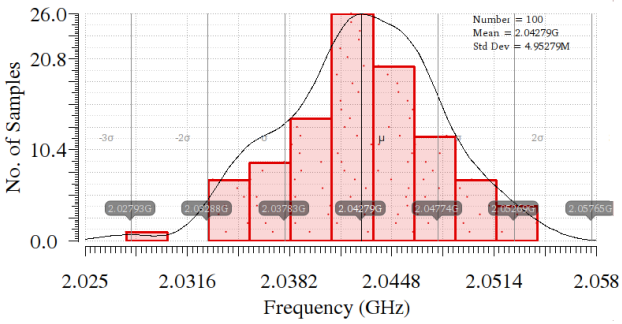
PVT variation	V_{dd} (V) (± % ۵)	SS/-۵۰°	SS/۲۷°	SS/۵۰°
F_{osc}. (GHz)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	۱/۵۳ ۱/۷ ۱/۸۷	۱/۴ ۱/۵۶ ۱/۶۹	۱/۳۷ ۱/۵۲ ۱/۶۵
P_{dis}. (mW)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	۱/۴۹ ۱/۹۶ ۲/۴۳	۱/۵۳ ۱/۸۸ ۲/۲۸	۱/۵ ۱/۸۵ ۲/۲۴
Phase Noise (dBc/Hz)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	-۹۸/۹۸ -۹۸/۵ -۱۰۰/۹۱	-۹۸/۸ -۱۰۱/۳۳ -۱۰۱	-۱۰۱/۴۵ -۱۰۱/۳ -۱۰۱/۰۲

جدول (۴): عملکرد نوسان‌گر پیشنهادی در حالت FF

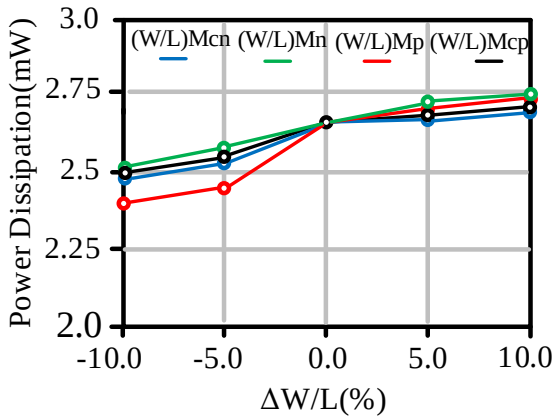
PVT variation	V_{dd} (V) (± % ۵)	FF/-۵۰°	FF/۲۷°	FF/۵۰°
F_{osc}. (GHz)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	۲/۷۲ ۲/۹۵ ۳/۱۸	۲/۴۸ ۲/۶۸ ۲/۸۶	۲/۴۲ ۲/۶۱ ۲/۷۸
P_{dis}. (mW)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	۳/۰۷ ۳/۷۲۵ ۴/۴۲	۲/۸۸ ۳/۴۵ ۴/۱	۲/۸۵ ۳/۳۸ ۳/۹۵
Phase Noise (dBc/Hz)	۱/۱۸۷۵ ۱/۲۵ ۱/۳۱۲۵	-۹۴/۴ -۹۵/۵ -۹۵/۶۶	-۹۷/۳ -۹۶/۴۸ -۹۶/۶	-۹۴/۸۳ -۹۶/۳۴ -۹۵/۴۲

علاوه بر شبیه‌سازی‌های فوق، شبیه‌سازی مونت کارلو برای ارزیابی فرکانس نوسان‌گر طراحی شده با ۱۰۰ بار اجرا با توجه به تغییرات فرایند و عدم تطبیق انجام شده است. نتایج این شبیه‌سازی در شکل ۷ آورده شده است. بر اساس این شبیه‌سازی، مقدار میانگین فرکانس نوسان برابر ۲/۰۴۲۷۹ GHz و انحراف معیار آن برابر ۴/۹۵۲۷۹ MHz است.

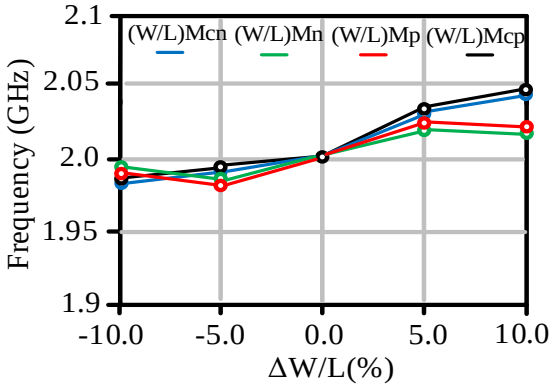
تحلیل تاثیر تغییرات اندازه ترانزیستورها بر عملکرد مدار نیز از اهمیت بالایی برخوردار است. از اینرو، در شکل‌های ۸، ۹ و ۱۰ توان مصرفی، فرکانس نوسان و نویز فاز نوسان‌گر حلقوی طراحی شده به ازای تغییر (۱۰٪- تا ۱۰٪+) در اندازه ترانزیستورها ترسیم شده است.



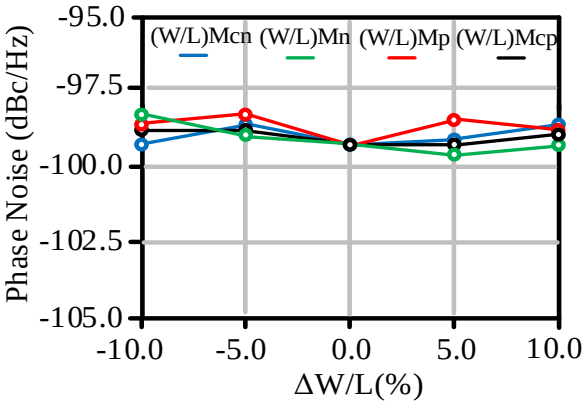
شکل (۷): شبیه‌سازی مونت کارلو برای فرکانس نوسان



شکل (۸): تغییرات توان مصرفی نوسان‌گر به ازای تغییر در اندازه ترانزیستورها



شکل (۹): تغییرات فرکانس نوسان‌گر به ازای تغییر در اندازه ترانزیستورها



شکل (۱۰): تغییرات نویزفاز نوسان‌گر به ازای تغییر در اندازه ترانزیستورها

در جدول ۵، عملکرد نوسان‌گر ارائه شده با عملکرد برخی دیگر از نوسان‌گرهای حلقوی، مقایسه شده است. در این جدول، مشخصه ضریب شایستگی بر اساس روابط (۷) و (۸) محاسبه شده است.

$$FoMT = FoM - 10\log(\frac{FTR(\%)}{\Delta V_{ctrl}}) \quad (۷)$$

$$FoM = L(\omega) + 10\log P_{DC} - 20\log(\frac{\omega_o}{\Delta\omega}) \quad (۸)$$

در روابط فوق، $L(\omega)$ نویز فاز یک طرفه مدار در فاصله فرکانسی $\Delta\omega$ از فرکانس ω_o است. P_{DC} توان مصرفی و FTC گستره فرکانسی مدار را به ازای تغییرات ولتاژ کنترلی ΔV_{ctrl} نشان می‌دهد.

جدول (۵): مقایسه عملکرد نوسان‌گر پیشنهادی با برخی از نوسان‌گرهای ارائه شده تا کنون

مدار شکل ۲	[۱۴]	[۱۳]	[۱۲]	[۱۱]	VCO
۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۳	CMOS Tech. (µm)
۱/۲۵	۱/۸	۱/۸	۱/۸	۱/۲	V_{dd} (V)
۲/۶۵	۱۰/۵۴	۳/۶	۵۰	۵/۱	P_{dis} (mW)
۲	۳/۷۱۲	۱/۵۱	۹/۲	۱۰/۱	F_{osc} (GHz)
۶۰	۷۸/۵۲	۷۹/۱۵	۱۸	۷۷	FTR (%)
-۹۹/۲۵	-۸۹	-۱۰۱/۱	-۹۹/۹	-۸۱/۵	PN (dBc/Hz)
-۱۸۴	-۱۶۹/۵	-۱۷۸/۲۸	-۱۷۳	-۱۷۴/۲۵	FoMT (dBc /Hz)

۴- نتیجه‌گیری

در این مقاله، ساختار یک نوسان‌گر حلقوی ۱۰ فاز جدید معرفی و توصیف شد. ساختار پیشنهاد شده از تزویج ضربدری دو نوسان‌گر حلقوی ۵ طبقه تک خروجی حاصل شده است. نوسان‌گرهای تزویج شده براساس سلول‌های تاخیر Current-Starved اصلاح شده‌اند. نحوه تزویج ارائه شده در ساختار پیشنهادی می‌تواند در طراحی دیگر نوسان‌گرهای حلقوی با تعداد فازهای زوج نیز مورد استفاده قرار گیرد. این در حالی است که در نوسان‌گرهای حلقوی تک خروجی با تعداد فرد طبقه، تعداد فازهای خروجی همواره فرد است. در تزویج نوسان‌گرهای مدار پیشنهادی، هیچ عنصر تزویج اضافی مورد استفاده قرار نگرفته است که همین امر در کاهش سطح اشغالی و نویز فاز مدار طراحی شده بسیار موثر است. از اینرو، نوسان‌گر پیشنهادی از قابلیت مجتمع پذیری بالا و نویز فاز پایین برخوردار است. فرکانس نوسان مدار پیشنهادی ۲ GHz و توان مصرفی آن ۲/۶۵ mW است. نویز فاز مدار در فاصله فرکانسی ۱ MHz از فرکانس مرکزی، ۹۹/۲۵ dBc/Hz- است. معیار شایستگی نوسان‌گر پیشنهاد شده با لحاظ گستره فرکانسی برابر ۱۸۴ dBc/Hz- است.

مراجع

[1] Charoosaei M, Monfaredi K, Yousefi M. A LOW POWER DUAL-MODE Reconfigurable SIGMA-DELTA MODULATOR DESIGN FOR GSM / WCDMA STANDARDS. Journal of Iranian Association of Electrical and Electronics Engineers 2024; 21 (1) :77-84

[2] Hassanpour H, Ehsanian M. A Fast and Adaptive PLL For Single Phase Grid-Connected PV Systems. Journal of Iranian Association of Electrical and Electronics Engineers 2022; 19 (1) :191-200

[3] M. Hemmati, *Introduction to Oscillators and Their Operation*. Sirjan University of Technology Press, 1st ed., 2023.

[4] A. Ataeifard, Kh. Monfaredi, and Sh. Hosseinzadeh, "Design and simulation of a class-C voltage-controlled oscillator with digital tuning and improved phase noise," *Journal of Electrical Engineering, University of Tabriz*, vol. 48, no. 2, pp. 815–823, Summer 2018.

[5] J. Arenas, J. S. Moya, E. Roa, "Analysis and design approach of wideband digital-based feedforward ring oscillators", Int J Circuit Theory Appl. 2023, Vol. 51, No. 12, pp. 5513-5528.

[6] M. Esmaeilzadeh, Y. Audet, M. Ali, M. Sawan, "A low-phase-noise CMOS ring voltage-controlled oscillator intended for time-based sensor interfaces", IEEE Access. 2022 Sep 21, Vol. 10, pp. 101186-97.

[7] M J. Hemmati, R. Dehghani, "Novel six- phase ring voltage controlled oscillator with wide frequency tuning range", International Journal of Circuit Theory and Applications, 2024, 1-13.

[8] J. M. Rabaey, Digital Integrated Circuits—A Design Perspective. 1999.

[9] M. K. Mandal, B. C. Sarkar, "Ring oscillators: characteristics and applications", Ind J Pure Appl Phys. 2010, Vol. 48, pp. 136-145.
[10] E. Ebrahimi, S. Naseh,, "A new robust capacitively coupled second harmonic quadrature LC oscillator", Analog Integrated Circuits and Signal Processing. 2011, Vol. 66, pp. 269-75.
[11] M. Parvizi, A. Khodabakhsh, and A. Nabavi, "Low-Power High-Tuning Range CMOS Ring Oscillator VCOs", IEEE International Conference on Semiconductor Electronics 2008, Nov 25, pp. 40-44.
[12] H. Q. Liu, W. L. Goh, L. Siek, "A 0.18-μm 10-GHz CMOS ring oscillator for optical transceivers", IEEE Int. Symposium on Circuits and Systems. 2005, Vol. 2, pp. 1525-1528.
[13] N. Kumar, M. Kumar, "Low power wide tuning range differential ring VCO designs with I-MOS and A-MOS varactor", AEU Int J Electron Commun. 2021 Vol. 131, pp. 153583.
[14] N. Kumar, M. Kumar, "Design of CMOS-based low-power high-frequency differential ring VCO", Int J Electron Lett. 2019, Vol. 7, No. 2, pp.143-153.