طراحی و شبیه‌سازی یک مبدل لگاریتم‌گیر جدید با استفاده از نسل دوم نقاله-های جریان

محمد نفیسی[1] علی میر[2]

۱- دانش آموخته کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه آزاد علوم وتحقیقات مرکزی -اراک- ایران
rad982020@gmail.com

۲- دانشیار- گروه الکترونیک- دانشکده فنی و مهندسی- دانشگاه لرستان- خرم‌آباد- ایران
mir.a@lu.ac.ir

چکیده: یکی از مدارهای پرکاربرد مد جریان، مدار نقاله جریان است، بطوریکه بعد از آینه‌های جریان، از پرکاربردترین مدارها در حوزهٔ آنالوگ به شمار می‌رود. قابلیت پردازش همزمان ولتاژ و جریان، پهنای باند بیشتر، حاصل‌ضرب بهره در پهنای باند بیشتر و استقلال بهره از پهنای باند، از ویژگی‌های قابل توجه این مدار است. در این مقاله اقدام به طراحی مدار لگاریتم‌گیر با نقاله‌های جریان بر اساس نظریه مد جریان کرده‌ایم، تا ضمن برطرف نمودن عیب‌های مدارهای قبلی، نوآوری‌هایی در طراحی مدارهای لگاریتم‌گیر نیز داشته باشیم. ارائه روشی جدید برای طراحی مدار لگاریتم‌گیر براساس مد جریان، استفاده از نقاله‌های جریان برای طراحی مدار لگاریتم‌گیر، استفاده از مدارهای با توان و ولتاژ کم، طراحی مداری با خروجی مستقل از دما و در نتیجه پایداری بیشتر از نتایج ارائه این مقاله است. در این روش جدید با تکیه بر روابط ریاضی که منجر به لگاریتم طبیعی ورودی می‌شود، طراحی مدار لگاریتم‌گیرجدید در فناوری ۰/۱۸ µm و در مد جریان صورت پذیرفته، جریان مصرفی مدار حدود ۵/۹۶ µA و توان مصرفی ۲/۹۸ µW، بهره ۶۹/۷ dB، با پهنای باند حدود ۸/۵ kHz بدست آمده است. عملکرد صحیح مدار طراحی‌شده با شبیه‌سازی در نرم‌افزارهای HSPICE و MATLAB مورد بررسی قرارگرفته است.

واژه‌های کلیدی: نقاله جریان، مد جریان، مدارهای ولتاژ و توان پایین، روابط ریاضی، لگاریتم‌گیر

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.19.2.81

تاریخ ارسال مقاله: ۱۳۹۹/۱۱/۸

تاریخ پذیرش مشروط مقاله: ۱۴۰۰/۰۲/۲۹

تاریخ پذیرش مقاله: ۱۴۰۰/۳/۲۲

نام نویسنده‌ی مسئول: دکتر علی میر

نشانی نویسنده‌ی مسئول: ایران – لرستان- خرم‌آباد- دانشگاه لرستان- دانشکده فنی و مهندسی

۱- مقدمه

با پیشرفت فناوری CMOS-VLSI در طراحی و ساخت قطعات جدید از جمله مدارهای مجتمع، تحولی عظیم در پردازش سیگنال‌های ورودی و خروجی بوجود آمده است. این تحول را می‌توان به خوبی در حوزه زمان طراحی، احتمال دست‌یابی به موفقیت، اجرا و محدوده عملکرد طراحی، مشاهده نمود. پیش از این تمام طراحی‌های مدارهای آنالوگ در حوزه ولتاژ صورت می‌گرفت، چرا که عملکرد افزاره‌ها در راستای تغییرات ولتاژ سنجیده می‌شد، هر چند که BJTها و FETها دارای کنترل واقعی بر روی جریان خروجی بودند.

پردازش سیگنال در مد جریان دارای امتیازاتی نسبت به مد ولتاژ است، هرچند ممکن است عملاً توجیه اقتصادی نداشته باشد [۲,۱]. چند مزیت مهم عبارتند از: پهنای باند بالاتر[۲]، سرعت عملکرد بالاتر [۲]، محدوده عملکرد دینامیکی بالا [۱] و پیچیدگی‌های کمتر معادله‌های حاکم بر مدارهای مد جریان [۳]. در حوزه جریان پیچیدگی‌ها در مدارهایی مانند جمع‌کننده‌ها، تفریق‌کننده‌ها و غیره به خاطر وجود مدارهای آینه جریان بسیار پایین‌تر از مد ولتاژی است که از تقویت-کننده‌های عملیاتی[۱] ساخته شده‌اند [۲].

نقاله جریان یک عنصر الکترونیکی با چهار یا پنج پایانه ورودی و خروجی است که با ترکیبی از سایر افزاره‌های الکترونیکی (از جمله ترانزیستورها و OP-AMPها) ساخته می‌شود و با آن می‌توان طراحی مدار و پردازش سیگنال را براساس نظریه مد جریان اجرایی کرد. قوانین طراحی مداربا نقاله‌های جریان مشابه طراحی مدارهای با تقویت‌کننده عملیاتی است. پردازش سیگنال در این روش براساس مد جریان است و از پیچیدگی کمتر و تحلیل مداری آسان‌تری برخوردار است[۴ و ۵].

اولین نقاله جریانCCI، در سال ۱۹۶۸ توسط صدرا [۶] در دانشگاه تورنتو کانادا طراحی و ساخته شد. با توجه به کاربردهای نقاله جریان در پردازش سیگنال‌ها و پیشرفت فناوری دومین نسل نقاله‌های جریان، CCII[۲]، در سال ۱۹۷۰ باز هم توسط صدرا طراحی و به بازار عرضه شد[۷]. این مدل از لحاظ ساختار شبیه نسل اول نقاله‌های جریان بود با این تفاوت که در یکی از پایانه‌های آن هیچ‌گونه جریانی جاری نمی-شد.

سومین مدل نقاله‌های جریان، CCIII[۳]، در سال ۱۹۹۵ میلادی توسط فابره طراحی و ساخته شد [۸]. این مدل از نقاله جریان شباهت زیادی به نقاله‌های نسل اول داشت با این تفاوت که جریان در دو پایانه آن، عکس یکدیگراست.

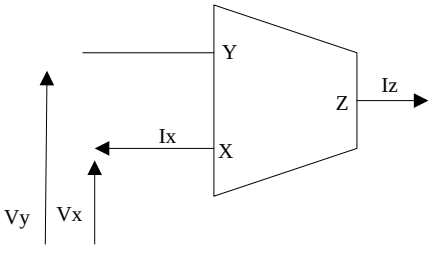
مبدل‌های لگاریتمی از رابطه نمایی جریان در پیوندهای PN سلیکونی دیودها، ترانزیستورها و LEDها منتج می‌شود. اولین‌بار طراحی مبدل لگاریتمی در دهه ۱۹۶۰ با بهره‌گیری از اجزای یادشده و قراردادن آنها در مسیر بازخورد عناصر فعال از جمله تقویت‌کننده‌های عملیاتی آغاز شد. این مدارهای با تکیه بر روش مد ولتاژ مبدل‌های لگاریتمی که با رابطه $V_{OUT}= K\times Log\ (V_{IN}/C)$ به‌هم مرتبط می‌شوند، ایجاد شدند. با پیشرفت فناوری و ساخت مبدل‌های آنالوگ بوسیله مدارهای مجتمع دامنه وسیعی از کاربرد آنها در ساخت و طراحی مدارهای الکترونیکی که کاربردهای فراوانی در صنایع مختلف از جمله در ساخت ابزارهای اندازه‌گیری [۹]، وسایل ارتباطی غیرخطی [۱۰]، تقویت‌کننده‌های تفاضلی [۱۱]، مبدل‌های آنالوگ به دیجیتال با نانوترانزیستورهای تک الکترونی [۱۲-۱۳]، تقویت‌کننده‌های عملیاتی تفاضلی دو طبقه کم-توان [۱۴]، مدارهای جمع برداری [۱۵] و فیلترهای فعال [۱۶] است.

کاربردهای عمده مدارهای لگاریتمی، عبارتند از: آشکارسازی حرارتی [۱۷]، سامانه‌های کنترلی [۱۸]، مبدل‌های فشرده‌ساز و ضدفشرده‌ساز [۱۸]، ضرب‌کننده‌ها [۱۸]، تقسیم‌کننده‌ها [۱۸] و مدارهای ریشه و توان [۱۹]، کاربردهای زیستی [۲۰-۲۱].

در این مقاله با استفاده از نظریه مد جریان، و بهره‌گیری از نقاله‌های جریان، یک مدار لگاریتم‌گیر طراحی و شبیه‌سازی می‌شود بطوریکه علاوه‌بر دارابودن قابلیت‌های نقاله‌های جریان در طراحی مدارت الکترونیکی، مشکلات مدارهای لگاریتمی قبلی، از جمله وابستگی به دما و سرعت پایین را که به واسطه رابطه نمایی در جریان عناصر فعالی مثل دیود و ترانزیستور بود، برطرف می‌سازد.

۲- روابط و طراحی ساختار پیشنهادی

نقاله جریان نسل دوم، CCII، بصورت یک شبکه با چند پایانه ورودی و خروجی مشخص می‌شود. در این شبکه، اگر ولتاژی به ورودیY اعمال شود ولتاژی برابر با آن در پایانه ورودی X نیز ظاهر می‌شود و این در حالی است که جریان وارد شده به پایانه Y برابر صفر خواهد بود. حال اگر جریان I وارد ورودی X شود به خروجی Z حمل خواهد شد بطوریکه آن را می‌توان مانند یک منبع جریان با امپدانس خروجی بالا دانست. مانند مدارهای CCI، در این مدار هم ولتاژ ظاهرشده در پایانه X که برابر ولتاژ پایانه Y است هیچگونه وابستگی به جریان جاری‌شده به پایانه X ندارد. در این مدار می‌توان امپدانس ورودی پایانه Y را بی‌نهایت فرض کرد [۶]. شکل (۱) نمایی از CCII را نشان می‌دهد.



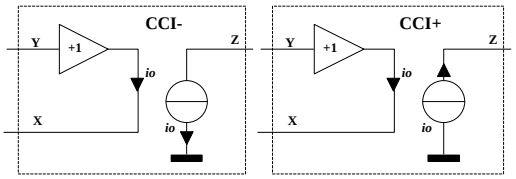
شکل(۱): ساختار شبکه نقاله جریان نسل دوم CCII [۶]

در CCII امپدانس ورودی پایانه X را می‌توان برابر صفر در نظر گرفت و این امر باعث می‌شود که جریان از یک امپدانس کم، به یک پایانه با مقاومت خروجی زیاد منتقل گردد. جریان خروجی در این مدار هم دارای قطبش مثبت (CCII+) و هم دارای قطبش منفی (CCII-)

است. وجود جریان مثبت و منفی در خروجی، و هم‌چنین مقاومت بی‌نهایت در ورودی پایانه Y باعث برتری‌های این مدار در طراحی مدارهای الکترونیکی نسبت به CCI شده است. بیان ریاضی یا شکل ماتریسی یک نقاله نسل دوم بصورت رابطه زیر است[۲].

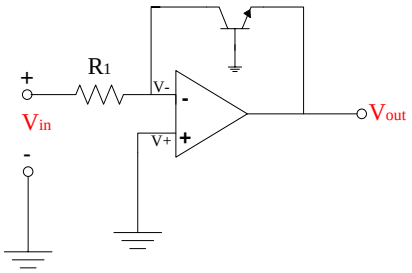
$$\begin{bmatrix} i_y \\ V_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ i_x \\ V_z \end{bmatrix} \quad (1)$$

جریان خروجی در این مدار هم دارای قطبش مثبت (+CCII) و هم دارای قطبش منفی است که این رفتار در مدار شکل ۲ آمده است.



شکل(۲): نمایی از مدار CCII+ و CCII- [۲]

عملکرد اغلب تقویت‌کننده‌های لگاریتمی مبتنی بر رابطه لگاریتمی ذاتی بین جریان کلکتور و ولتاژ V_{BE} درترانزیستورها یا جریان دیود با ولتاژ دو سر آن است. ساختار یک مبدل لگاریتمی، مبتنی‌بر ترانزیستور و تقویت‌کننده عملیاتی در شکل (۳) آورده شده است.



شکل(۳): نمایی از یک مبدل لگاریتمی با تقویت‌کننده عملیاتی [۲۲]

در این مدار ولتاژ ورودی بوسیله مقاومت R_1 تبدیل به جریان شده و در کلکتور ترانزیستور جاری می‌شود و این جریان بوسیله ولتاژ بیس-امیتر متناسب با ولتاژ ورودی، مدوله‌شده که از رابطه زیر قابل محاسبه است.

$$I_c = I_s e^{\frac{qV_{be}}{KT}} = I_s e^{\frac{V_{BE}}{V_T}} \quad (2)$$

که در آن I_S جریان اشباع معکوس، q بار الکترون، k ثابت بولتزمن، T دما برحسب کلوین و V_T انرژی حرارتی در دمای اتاق است. در این مدار، ولتاژ خروجی بصورت زیر محاسبه می‌شود.

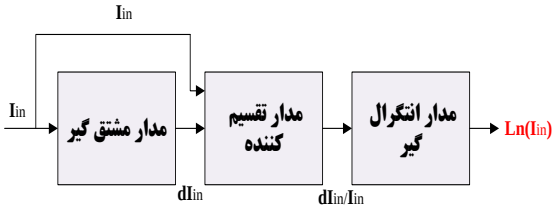
$$V_{out} = -V_T Ln(\frac{I_C}{I_S}) = -\frac{V_T}{2.3} \log \frac{V_i}{R_1 I_S} \quad (3)$$

تابع لگاریتمی بالا به دو پارامتر I_S و V_T وابسته است که هردو وابستگی دمایی دارند. این امر باعث وابستگی شدید خروجی به دمای محیط، ناپایداری و کاهش پهنای باند مدار می‌شود.

برای رفع وابستگی دمایی و ناپایداری مدار لگاریتم‌گیر، سعی می‌کنیم با بهره‌گیری از روشی جدید، این مشکل را مرتفع نماییم. ابتدا با استفاده از روابط مناسب ریاضی، که نزدیک به عملکرد مدارهای الکتریکی است، توابع ریاضی را با معادل مداری آنها در نقاله‌های جریان جایگزین می‌کنیم و در نهایت مدار لگاریتم‌گیر را با استفاده از نقاله جریان و براساس نظریه مد جریان طراحی کرده و با استفاده از نرم‌افزار HSPICE کلیه مدارهای ساخته شده را شبیه‌سازی و صحت عملکرد مدارلگاریتم‌گیر را با نرم‌افزار متلب نیز بررسی می‌کنیم.

۳- ایده اصلی طرح

در شکل (۴) ساختار کلی طرح پیشنهادی نشان داده شده است.



شکل(۴): ساختار کلی مدار لگاریتم‌گیر پیشنهادی

همانطور که از شکل پیدا است اگر یک ورودی مانند I_{in} به یک مدار مشتق‌گیر وارد شود و خروجی مشتق‌گیر را با استفاده از یک تقسیم-کننده بر ورودی تقسیم کنیم، به رابطه dI_{in}/I_{in} می‌رسیم که با اعمال آن به یک مدار انتگرال‌گیر، خروجی مدار برابر لگاریتم ورودی خواهد بود. در ادامه به طراحی توابع به‌کار رفته در این طرح بوسیله نقاله‌های جریان خواهیم پرداخت و در ابتدا طراحی جدیدی برای بهبود نقاله جریان نسل دوم در افزایش پهنای باند مدار لگاریتم‌گیر و همچنین کاهش توان مصرفی آن ارایه می‌شود.

۴- طراحی مدار نقاله جریان نسل دوم بهبودیافته

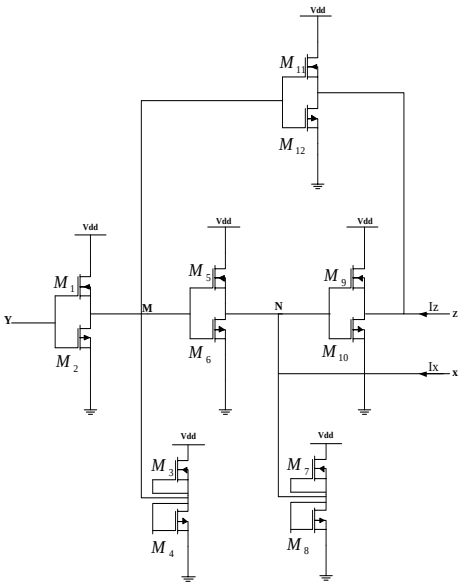
معادل مداری نقاله جریان باید به گونه‌ای باشد که رفتار و عملکرد آن را به خوبی بیان نماید. مشخصه یک نقاله جریان، که در شکل ۵ نشان داده شده، بصورت روابط (۴) است، که در آن دو شرط زیر برای طراحی مدار نقاله جریان الزامی هستند.

$$V_X = V_Y \ , \ I_Z = I_X \quad (4)$$

شکل(۵): ساختار کلی نقاله جریان

در شکل ۶ ساختار داخلی مدار نقاله جریان نسل دوم طراحی‌شده، نشان داده شده است. در این مدار، مجموعه M1 و M2 معکوس‌کننده

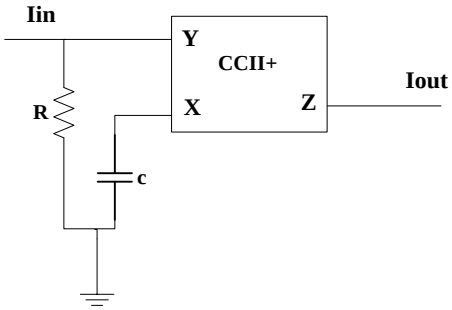
هستند که از طریق M3 و M4 طوری بایاس شده‌اند که در حالت اشباع قرار گیرند. شبیه همین قسمت، مجموعه M4 و M5، به عنوان معکوس‌کننده و M6 و M7 بعنوان مسیر تغذیه هستند که در مجموع دو معکوس‌کننده سری محسوب می‌شوند. تا این مرحله اولین شرط نقاله جریان محقق شده و برای عملی‌کردن شرط دوم، از مجموعه M9 تا M12 بهره گرفته شده است [۲۳].



شکل (۶): ساختار داخلی مدار نقاله جریان طراحی‌شده

۵- مدار مشتق‌گیر با نقاله جریان نسل دوم

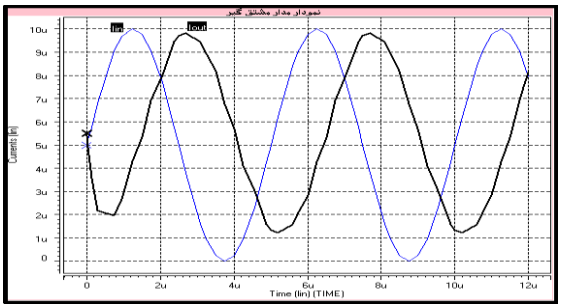
شکل (۷) مدار یک مشتق‌گیر جریان مبتنی بر CCII را نمایش می‌دهد. در این مدار اگر جریان ورودی I_{in} به پایانه Y وارد شود، با استفاده از ویژگی‌های نقاله جریان نسل دوم، به رابطه (۵) می‌رسیم:



شکل (۷): مدار مشتق‌گیر ساخته شده باCCII

$$I_{OUT} = RCsI_{in} \qquad (۵)$$

در شکل (۸) عملکرد این مدار، با نرم‌افزار HSPICS شبیه‌سازی شده، و نشان می‌دهد مشتق موج سینوس ورودی، یک موج کسینوسی است.



شکل (۸): شبیه‌سازی مدار مشتق‌گیر با HSPICE

۶- مدار تقسیم‌کننده

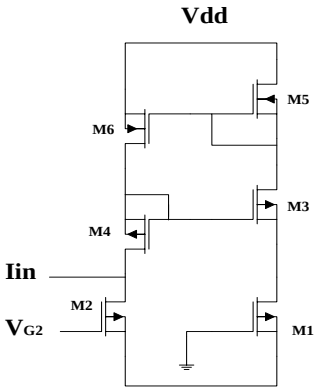
تقسیم‌کننده آنالوگ، یک بلوک الکترونیکی است که کاربردهای زیادی در پردازش مدارهای الکترونیکی مانند استفاده در شبکه‌های عصبی، کنترل‌کننده‌های فازی، مبدل‌های A/D[۴] و سامانه‌های ارتباطی دارد. اغلب تقسیم‌کننده‌ها براساس مد ولتاژ ساخته شده‌اند. در اینجا ما به تقسیم‌کننده‌ای نیاز داریم که عملکردش براساس مد جریان باشد. با در نظرگرفتن شکل (۹) و فرض اینکه دو ترانزیستور M1 و M2 در ناحیه تریود و بدون اثر بدنه هستند، جریان درین آنها از روابط (۶) و (۷) قابل محاسبه است.

$$I_1 = \frac{K_{in1}}{2}\left(-2\left(v_{ss} + v_{TN1}\right) V_{DS1} - V_{DS2}^2\right) \qquad (۶)$$

$$I_2 = I_{in} + I_4 = \frac{K_{n2}}{2}\left(2\left(v_{GS2} - V_{SS} - V_{Tn2}\right)v_{DS2} - V_{DS2}^2\right) \qquad (۷)$$

که در این مدار، آیینه‌های جریان M5 و M6 برای تولید جریان I3 و I4 به‌کار می‌رود. بنابراین رابطه (۸) را خواهیم داشت:

$$I_3 = I_4 = I_1 \qquad (۸)$$



شکل (۹): مقاومت کنترل‌شونده با ولتاژ

اگر فرض کنیم M3 و M4 کاملاً یکسان و هر دو در ناحیه اشباع باشند، روابط (۹) و (۱۰) برقرار خواهد بود.

$$V_{GS3} = V_{GS4} = \sqrt{\frac{2I}{K_{n3}}} + V_{Tn3} \qquad (۹)$$

$$V_{GS3} + V_{DS1} = V_{GS4} + V_{DS2} \quad , \quad V_{DS1} = V_{DS2} \qquad (۱۰)$$

چون منابع تغذیه M3 و M4 یکسان‌اند، با ترکیب روابط بالا، و فرض یکسان‌بودن M1 و M2 می‌توان I_{in} را از رابطه (۱۱) تعیین کرد.

$$I_{in} = K_{in} V_{GS2} V_{DS2} \qquad (۱۱)$$

با توجه به این رابطه مقاومت کنترل‌شده با ولتاژ از (۱۲) حاصل می‌شود.

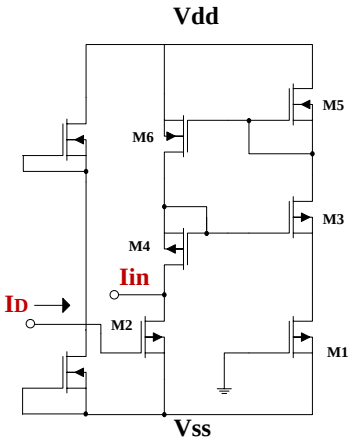
$$R_{eq} = \frac{V_{DS2}}{I_{in}} = \frac{1}{K_n V_{GS2}} \qquad (۱۲)$$

از این رابطه مشخص می‌شود که مقاومت معادل، متناسب با V_{GS} است. با درنظرگرفتن این مقاومت، مدار معادل یک تقسیم‌کننده جریان می‌تواند بصورت شکل (۱۰) باشد. اگر در این مدار، ترانزیستورهای M7 و M8 در ناحیه اشباع و کاملاً یکسان باشند و اثر بدنه را در نظر نگیریم، آنگاه خواهیم داشت:

$$V_{G2} = \frac{I_8 - I_7}{2K_P(V_{DD} - |V_{TP}|)} = \frac{I_D}{2K_P(V_{DD} - |V_{TP}|)} \qquad (۱۳)$$

با ترکیب روابط بالا، رابطه زیر بدست می‌آید:

$$V_{DS2} = \frac{I_N}{I_D} \frac{2K_P(V_{DD} - |V_{TP}|)}{K_n} \qquad (۱۴)$$

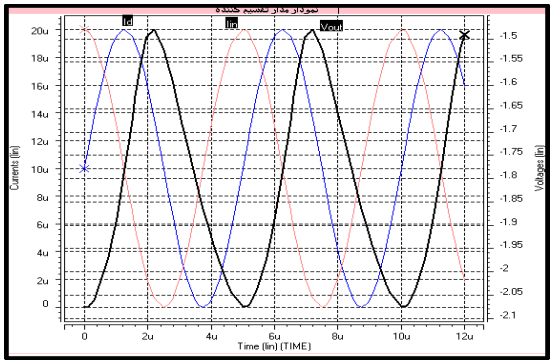


شکل (۱۰): مدار تقسیم‌کننده جریان

دیده می‌شود در این مدار، ولتاژ خروجی متناسب با تقسیم جریان است. برای عملکرد مناسب این تقسیم‌کننده، ترانزیستورهای M1 و M2 باید در ناحیه خطی و بقیه ترانزیستورها در ناحیه اشباع باشند. چون در این مدار، جریان ورودی در درین M2 جاری می‌شود، بنابراین ولتاژ گیت-سورس باید بزرگتر از صفر باشد و با توجه به رابطه (۱۴)، $I_D>0$ است، و برای اینکه M2 در ناحیه خطی است، باید داشته باشیم:

$$V_{DS2} < \frac{I_D}{2K_P(V_{DD} - |V_{TP}|)} - V_{TN2} \qquad (۱۵)$$

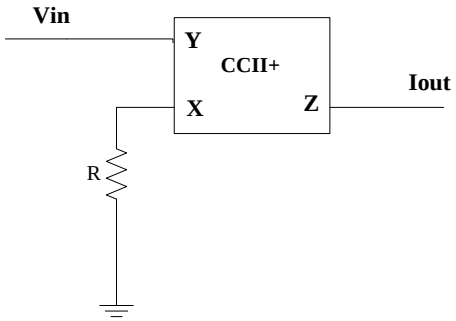
در این مدار، خروجی ولتاژ است که در بخش بعد با استفاده از مبدل ولتاژ به جریان، آن را به جریان تبدیل می‌کنیم. شکل (۱۱) خروجی شبیه‌سازی شده این مدار در نرم‌افزار HSPICE را نشان می‌دهد.



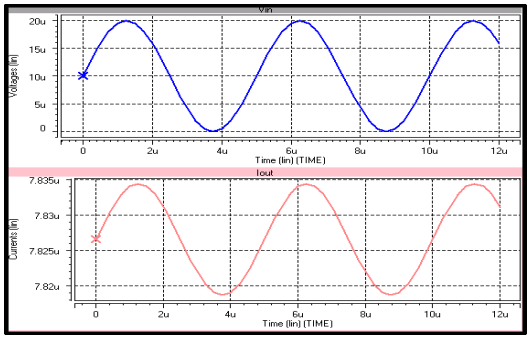
شکل (۱۱): شبیه‌سازی مدار تقسیم‌کننده با HSPICE

۷- مبدل ولتاژ به جریان با CCII

در شکل (۱۲) یک مبدل ولتاژ به جریان نشان داده شده است[۷]. در این شکل، جریان خروجی برابر نسبت V_{IN} بر مقاومت R است. شکل (۱۳) نیز نمایش خروجی آن است.



شکل (۱۲): مدار مبدل ولتاژ به جریان با CCII

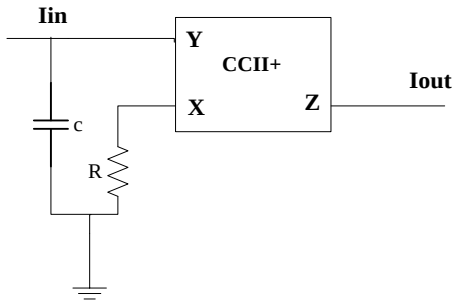


شکل (۱۳): شبیه‌سازی مدار مبدل ولتاژ به جریان با HSPICE

۸- مدار انتگرال‌گیر با CCII

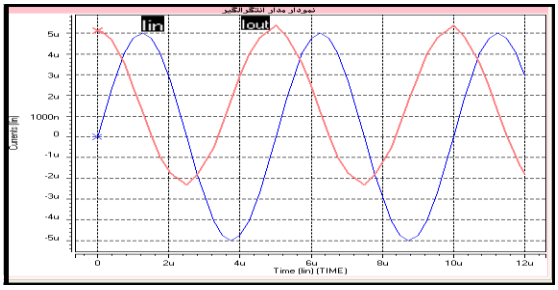
در ساختار مدار لگاریتم‌گیر، زیر مجموعه انتگرال‌گیر آخرین قسمت است. شکل (۱۴) مداریک انتگرال‌گیر را نشان می‌دهد. با توجه به این شکل و استفاده از ویژگی‌های CCII داریم:

$$I_{OUT} = \frac{1}{RC} \int I_{in} dt \qquad (۱۶)$$



شکل(۱۴): مدار انتگرال‌گیر با استفاده از فناوری CCII

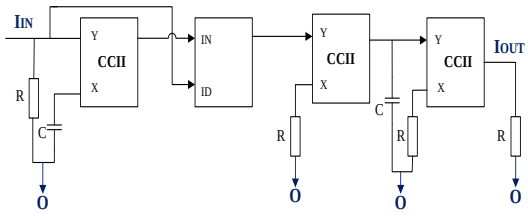
شکل (۱۵) نتایج شبیه‌سازی مدار انتگرال‌گیر را با نرم‌افزار HSPICE نمایش می‌دهد.



شکل (۱۵): نتایج شبیه‌سازی مدار انتگرال‌گیر با HSPICE

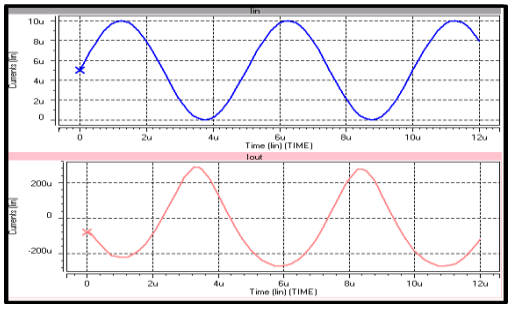
۹- مدار لگاریتم‌گیر جدید

بعد از معادل‌سازی تمام مدارهای مورد نیاز، مدار لگاریتم‌گیر به وسیله نقاله جریانCCII، و با توجه به ساختار کلی طرح پیشنهادی در شکل (۴)، و بکارگیری مدار نقاله جریان بهینه شده در شکل (۶) و جایگزینی مدارهای طراحی‌شده، مدار لگاریتم‌گیر نهایی به دست می‌آید. در شکل (۱۶) نمای کلی مدار لگاریتم‌گیر آورده شده است.

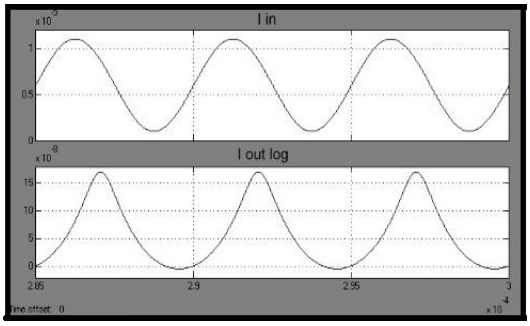


شکل (۱۶): نمای مدار لگاریتم‌گیر طراحی شده با CCII

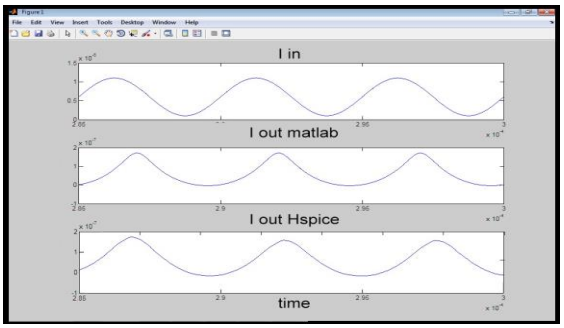
خروجی شبیه‌سازی‌شده این مدار، با درنظرگرفتن ورودی سینوسی در نرم‌افزار HSPICE در شکل (۱۷) نمایش داده شده است. برای بررسی صحت عملکرد، از نرم‌افزار متلب نیز بهره گرفتیم.



شکل(۱۷): نمودار مدار لگاریتم‌گیر شبیه‌سازی با HSPICE

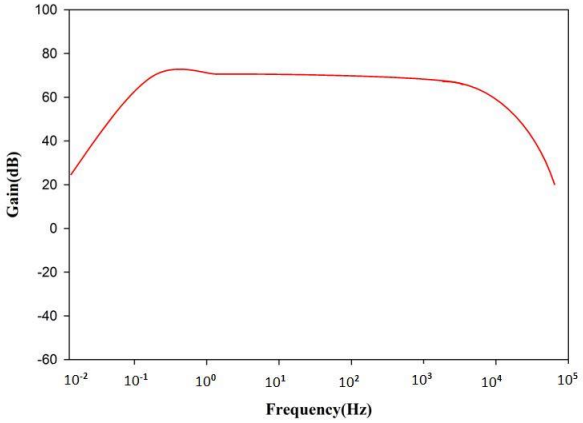


شکل (۱۸): نمودار مدار لگاریتم‌گیر شبیه‌سازی با متلب



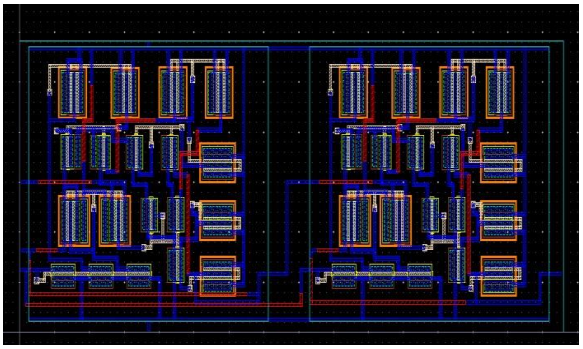
شکل(۱۹): خروجی همزمان HSPICE و متلب مدار لگاریتم‌گیر

در شکل (۲۰) پاسخ فرکانسی مدار لگاریتم‌گیر نهایی آورده شده، که دارای بهره‌ای حدود ۶۹/۷ dB با فرکانس‌های قطع پایین و بالای ۰/۲ هرتز و ۸/۵ کیلوهرتز است.



شکل (۲۰): پاسخ فرکانسی مدار لگاریتم‌گیر

جانمایی[5] مدار پیشنهادی در شکل (۲۱) ارائه شده است، که با توجه به آن ابعاد مدار ۲۷۵ µm × ۳۵۰ µm به دست می‌آید.



شکل (۲۱): جانمایی مدار لگاریتم‌گیر پیشنهادی

۱۰- مقایسه مشخصه‌های مدار لگاریتم‌گیر

با توجه به ساختار داخلی مدار لگاریتم‌گیر طراحی‌شده و براساس نقاله جریان نسل دوم بهبودیافته، و نتایج شبیه‌سازی، می‌توان به مشخصات و مقایسه آنها با مراجع دیگر در جدول (۱) اشاره نمود که در موارد زیادی بهبود قابل ملاحظه‌ای نسبت به مراجع قبلی نشان می‌دهد [۲۴- ۲۵].

جدول(۱): مشخصه‌های مدار لگاریتم‌گیر پیشنهادی و مقایسه با چند کار مشابه

پارامترهای مقایسه	[۲۴]	[۲۵]	[۲۱]	این مقاله
Technology (Process)	0.18µm	0.18µm	0.18µm	0.18µm
Operation region	Saturation	Saturation	Saturation	Sub-threshold
Operation mode	Voltage	Voltage	Voltage	Current
Voltage supply	1.3 V	1.2 V	1.5 V	0.5 V
Power dissipation	17.75 µW	3.96 µW	9.75 µW	2.98 µW
Gain (dB)	10	71.7	20	69.7
Bandwidth (Hz)	-	0.254-7kHz	4-10kHz	0.2-8.5kHz
Active Area (mm^2)	-	0.139	0.027	0.0962

۱۱- نتیجه‌گیری

در این مقاله به طراحی یک مدار لگاریتم‌گیر جدید مبتنی بر نقاله جریان پرداختیم. مدار لگاریتم‌گیر جدید در فناوری µm ۰/۱۸ و در مد جریان طراحی شده است. منبع تغذیه ورودی مدار mV ۵۰۰، جریان مصرفی حدود µA ۵,۹۶، توان مصرفی µW ۲,۹۸، و بهره dB ۶۹/۷، با پهنای باند حدود kHz ۸/۵ بدست آمد. نکته‌های قابل توجه در این طرح عبارتند از: ارائه روشی جدید در طراحی مدار لگاریتم‌گیر مبتنی بر نظریه مد جریان، خروجی مستقل از دما، و در نتیجه پایداری بیشتر نسبت به مدارهای مد ولتاژ، استفاده از عناصر LP & LV، و در نتیجه کاهش سطح ولتاژ منابع تغذیه وکاهش توان مصرفی، پیچیدگی کمتر مداری و همچنین پهنای باند فرکانسی زیاد. قابل ذکر است تا جایی که نویسندگان اطلاع دارند، طراحی مدارلگاریتم‌گیر بر اساس مد جریان و با استفاده از نقاله جریان نسل دوم برای اولین بار صورت می‌پذیرد.

مراجع

[1] C.S. Hilas and Th. Laopoulos, "Circuit design: a study on voltage-mode to current mode conversion techniques," Electro-technical Conference, vol. 3, pp. 1309-1312, 1996.

[2] A. S. Sedra, G. W. Roberts. "Current conveyor theory and practice". In Analogue IC design: The current mode approach -Peter Peregrinus, London, 1990

[3] G.H. Wang, K. Watanabe, and Y. Fukui, "Voltage-mode to current mode conversion by an extended dual transformation," IEEE Proc. Int. Symp, 2003.

[4] R. Senani, "A novel application of four-terminal floating nullors," IEEE Proc., 75, pp. 1544-1546, Oct 1987.

[5] Issa Eldbib, Ing. Jaromír Brzobohatý, Brno, "Low Voltage current conveyors design" china ques dissertation thesis, 2008.

[6] A. Sedra, K. C. Smith. "The current conveyor – A new circuit building basic block", IEEE Proceedings. No. 56, pp. 1368-1369, 28 Introduction, Aug 1968.

[7] A. Sedra, K.C. Smith, "A second generation current conveyor and its applications" IEEE Transaction on circuit theory CT-17; pp.132-134.February1970.

[8] A. Fabre, "Third-generation current conveyor: a new helpful active element", Electron. Lett. 31, pp. 338-339, 1995.

[9] K.C. Smith and A. Sedra, "A new simple wide-band Current measuring device", IEEE Trans. Instrumentation and Measurement, Vol. IM-18, pp. 125-128, June 1969.

[10] K.C. Smith and A. Sedra, "Realization of the Chua family of new nonlinear network elements using the current conveyor", No. this issue, pp.137-139, Jun 2004.

[11] R.V. Yenka, "Differential Amplifier current conveyors", IEEE Trans, Vol. 22, pp. 121-125, Oct 2014.

[12] H. Aminzadeh, M. Miralaei, M.A. Dashti, "Design and Modeling of Room-Temperature Analog-to-Digital Converters based on Nano-scale Semiconductor Quantum-dot Single Electron Transistors." Journal of Iranian Association of Electrical and Electronics Engineers, 2017; 14(2):75-86.

[13] M. Miralaee, A. Mir, "Modeling and Simulation of a Molecular Single-Electron Transistor," Journal of Iranian Association of Electrical and Electronics Engineers. 2019; 16 (2) :65-75

[14] N.Z. Yaghoobi-Karimui, A. Golmakani, R. Yaghoobi-Karimui, "A new design for improving the Slew rate of Low Power Two-Stage Operational Amplifier with Single-Ended." Journal of Iranian Association of Electrical and Electronics Engineers, 2017; 14(2): 97-105.

[15] Liu, Si, "Square-rooting and vector summation circuits using current conveyors", IEEE Trans. Instrumentation and Measurement, Vol. 142, pp. 223-226, June 1995.

[16] M. Higasimura and Y. Fukuia, "Universal active filter using plus-type CCIIs," Electron. Lett. Vol.32, No. 9, pp. 810-811, Apr. 1996.

[17] K. Koli and K. Halonen, "Temperature compensated logarithmic peak detector," Analog Integrated Circuits and signal processing, Vol. 9, Apr 1996.

[18] G. Giannini, F. and Limiti, E. "Theory and performance of parabolic true logarithmic amplifier" IEE Proceedings-Circuits Devices Systems, Vol. 144, pp. 223–228. 1997.

[19] K. Dejhan and C. Netbut, "New simple square-rooting circuits based on trans linear current conveyors", International Journal of Electronics, Vol. 94, 7, pp. 707-723, 2007.

[20] M. Zareie, M. Hosseininegad, S.J. Azhari, "A Low-Noise, Low-Power, Wide Dynamic Range Logarithmic Amplifier for Biomedical Applications", 5th Conference on Knowledge-Based Engineering and Innovation,

Iran University of Science and Technology, Tehran, Iran.

[21] Y. Sundarasaradula, A. Thanachayanont, "A Low-Noise, Low-Power, Wide Dynamic Range Logarithmic Amplifier for Biomedical Applications", Journal of Circuits, Systems, and Computers Vol. 27, No. 7 (2018) 1850104.

[22] Pallas – Areny R. & Webster, J.G. "Log and antilog amplifier analog signal processing" pp.293 - 321. 1999.

[23] محمد چناری، جواد کرمدل، "بهبود عملکرد نقاله جریان نسل دوم بر پایه معکوس‌کننده CMOS"، اولین کنفرانس ملی علوم مهندسی، ایده‌های نو، ۱۳۹۳.

[24] A. Ghanaatian jahromi, A. Abrishamifar, A. Mehdi, "A novel Voltage to Voltage logarithmic Converter with high accuracy" journal of selected Areas in Micro electronics, 1:1-5.2011.

[25] E. Bahrami, H. Shamsi, "A low- power low-noise logarithmic amplifier for bio potential signal recording applications," Tabriz Journal of Electrical Engineering, Vol. 46, No. 3, 2016.

[1] Op-Amp

[2] Second Generation of Current Conveyor (CCII)

[3] Third Generation of Current Conveyor (CCIII)

[4] Analog/Digital Converter

[5] Layout