معرفی ساختارهای جدید برای لچ و فلیپ فلاپ نوع D در تکنولوژی اتواناتای سلولی نقطه‌ای کوانتومی و استفاده از آن در مدارهای آشکارساز فاز-فرکانس، تقسیم کننده فرکانسی و شمارنده

رضا بینایی[۱] محمد غلامی[۲] ساناز مهدیان جویباری[۳]

۱-دانش آموخته کارشناسی ارشد- دانشکده مهندسی برق و کامپیوتر- موسسه آموزش عالی صنعتی مازندران-بابل- ایران
rezabinaei1373@gmail.com

۲- استادیار- دانشکده فنی و مهندسی- دانشگاه مازندران-بابلسر- ایران
m.gholami@umz.ac.ir

۳- دانشجوی دکتری- دانشکده مهندسی برق- دانشگاه آزاد اسلامی واحد سمنان-سمنان- ایران
sanazmahdiyan@gmail.com

چکیده:در این مقاله، یک ساختار جدید برای لچ نوع D در تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی که دارای پایه های نشاندن و بازنشانی است، ارائه شده است. ساختار پیشنهادی علیرغم داشتن پایه‌های نشاندن و بازنشاندن، تنها دارای ۳۵ سلول کوانتومی، تاخیری معادل با نیم سیکل کلاک و سطح مقطع اشغالی برابر با ۳۹۲۰۴ نانومترمربع است. سپس از این ساختار برای پیاده‌سازی فلیپ فلاپهای نوع D دارای پایه‌های نشاندن و بازنشاندن حساس به لبه بالارونده، پایین رونده و هر دو لبه استفاده شده است. به عنوان نمونه ساختار پیشنهادی فلیپ فلاپ نوع D حساس به لبه بالا رونده با پایه‌های نشاندن و بازنشانی دارای ۵۵ سلول کوانتومی، تاخیر ۰/۷۵ سیکل کلاک و سطح مقطع اشغالی ۶۱۴۰۴نانومترمربع است. در ادامه جهت اثبات صحت رفتاری مدار پیشنهادی در مدارهای پیچیده‌تر، این ساختارها در قالب آشکارساز فاز-فرکانس، تقسیم کننده فرکانسی و شمارنده مورد استفاده قرار گرفته است. برای ساختارهای پیشنهادی شبیه سازی پارامترهای توان نیز صورت گرفته است.

واژه های کلیدی: اتوماتای سلولی نقطه‌ای کوانتومی، تاخیر، لچ، فلیپ فلاپ، آشکارساز فاز-فرکانس، شمارنده.

نوع مقاله: پژوهشی

تاریخ ارسال مقاله: ۱۳۹۸/۰۴/۱۰

تاریخ پذیرش مشروط مقاله: ۱۳۹۹/۰۱/۱۶

تاریخ پذیرش مقاله : ۱۳۹۹/۰۲/۰۱

نام نویسنده‌ی مسئول:محمد غلامی

نشانی نویسنده‌ی مسئول: ایران –بابلسر–پردیس دانشگاه مازندران– دانشکده‌ی فنی و مهندسی

۱- مقدمه

تکنولوژی CMOS، یک تکنولوژی مهم در تولید مدار مجتمع (IC) می‌باشد. این تکنولوژی، طراحی ICرا در طول دهه‌های گذشته به علت خصوصیات کلیدی خود که شامل توان پایین، چگالی بالا و سرعت بالای آن نسبت به تکنولوژی‌های پیش از خود بوده است را متحول نموده است[۱]. درحالی‌که حتی تکنولوژی CMOSدر مقیاس نانو نیز موجود می‌باشد، مسائل مربوط به ناخالصی فضا، ضخامت اکسید، چسبندگی لایه‌ها، موانع نفوذ انتشار، اتلاف توان و نشت جریان، سؤالات عمده‌ای را در مورد امکان‌پذیر بودن کوچکسازی بیشتر در تکنولوژی CMOSدر آینده فراهم می‌آورند[۲]. مسئله اصلی در مورد نانوتکنولوژی این است که چه نوع تکنولوژی جدیدی جایگزین ترانزیستورهای CMOS استاندارد می‌گردد. یکی از این کاندیدها برای جایگزینی تکنولوژی CMOS، تکنولوژی اتوماتای سلولی کوانتوم(QCA) می‌باشد.

تکنولوژی QCA در سال ۱۹۹۳ توسط توگاو و لنت معرفی‌شده است[۳]. تکنولوژی QCA الکترونیک دیجیتال را هدف قرار داده و با توجه به مزایایی که دارد به نظر احتمال موفقیت فراوانی نسبت به دیگر رقبای خود در این زمینه دارد. این تکنولوژی از یک آرایه از سلول های کوانتوم نقطه‌ای است که توسط ارتباط الکترون‌های خود به هم مرتبط گشته‌اند. در این طرح موقعیت کوآنتوم هر سلول به منظور رمزگذاری اطلاعات باینری مورد استفاده قرار می‌گیرد. ارتباطات کولنی موقعیت یک سلول را به موقعیت سلول مجاور مرتبط می‌سازد. بنابراین مشکلات مربوط به جریانات خروجی کوچک و ظرفیت الکتریکی پارازیتی ارتباط سیم‌ها اتفاق نمی‌افتد. سیم‌های باینری که از طیف خطی از سلول‌ها تشکیل شده‌اند در عبور اطلاعات موثر بوده و کدگذاری شده اند[۴].

یکی از مزیت های عمده این ابزار این است که همان سلول‌هایی که برای ایجاد گیت منطقی به کار رفته‌اند، می‌توانند در ساخت سیم‌های حامل سیگنال منطقی به کار روند. QCA فرکانس اجرایی را در طیف تراهرتز امکان پذیر ساخته و چگالی پیوستگی ادوات در حدود ۹۰۰ برابر بیشتر از محدودیت‌های مقیاس‌گذاری CMOS می‌باشد. یکی دیگر مزیت مدارهای QCA این است که نیاز به جریان در مدار نداشته و به جای آن کلاک در QCA مسئول راه اندازی مدار و جریان آن می‌باشد. یکی از مهم ترین خصوصیات QCA توانایی ایجاد عبور سیم هم صفحه می‌باشد. این امر اجرای طرح‌های وسیع را در یک لایه خاص امکان پذیر ساخته و نیاز به اتصال لایه فلزی پیچیده را حذف می‌نماید. ازآنجایی‌که مفهوم QCA شامل انتقال الکترون‌ها نمی‌باشد، ظرفیتی بالقوه در محاسبه توان واقعاً پایین حتی پایین‌تر از KBT سنتی دارد[۵]. این مزایا دلیلی شده تا در این پژوهش از این تکنولوژی برای طراحی مدارهای دیجیتالی استفاده شود.

دو مورد از طرح‌های فلیپ فلاپ در سال ۲۰۰۹ در مقاله [۶] برای فلیپ فلاپ نوع D معرفی شد که در طرح اول از لچ پیشنهادی مقاله [۷] و یک مبدل حساسیت سطح به لبه استفاده نموده و در طرح دوم بلوک جدیدی را معرفی نموده‌اند. هم‌اکنون نیز بسیاری از طراحان از ایده مطرح شده در این مقاله برای تبدیل لچ به فلیپ استفاده می‌نمایند. اما با توجه به تأخیر مدار و فضا اشغالی و تعداد سلول زیادی که مصرف می‌نماید گزینه مناسبی برای مدارهای بزرگ نمی‌باشد. طرح پیشنهادی اصلی این مقاله نیز از تأخیر مناسبی برخوردار است که مهم‌ترین مزیت آن می‌باشد. از معایب این طرح می‌توان با تعداد سلول و فضای اشغالی زیاد اشاره نمود و خروجی گرفتن از این مدار نیز سخت می‌باشد. پایه ورودی این مدار از عبور هم صفحه استفاده نموده که آن را تضعیف نموده و در صورت استفاده در مدارهای بزرگ‌تر می‌تواند در عملکرد مدار تأثیرگذار و منجر به خروجی اشتباه شود. در [۸] نیز ساختارهای بهبود یافته‌ای از فلیپ فلاپها برای افزودن پایه نشاندن و بازنشانی مورد بررسی قرار گرفته است که از ایرادهای این ساختارها می‌توان به تعداد زیاد سلولهای و سطح مقطع اشغالی بالا آنها اشاره نمود. در [۹] نیز ساختاری برای لچ و فلیپ فلاپ نوع D ارائه شده‌اند که از مزایای آن میتوان به اضافه شدن پایه نشاندن و بازنشانی اشاره کرد و از ایرادهای آن نیز می‌توان بحث پایداری و توان مصرفی را مطرح نمود. همچنین در [۱۰] نیز فلیپ فلاپ جدید ارائه شده است که با وجود اضافه شدن قابلیت نشاندن و بازنشانی مواردی مانند تاخیر زیاد و پیچیدگی بالا از ضعفهای ساختارهای پیشنهادی است. در نهایت در [۱ و۱۱] نیز دو ساختار متفاوت برای اضافه نمودن پایه بازنشانی در فلیپ فلاپ مطرح شده است که نیاز به تعداد سلول زیاد داشته و پایه‌ی بازنشانی آنها نیز به صورت غیر همزمان است. سایر تلاشهایی که در حوزه طراحی فلیپ فلاپها صورت پذیرفته است از نقص عدم حضور پایه‌های نشاندن و بازنشاندن رنج می‌برند.

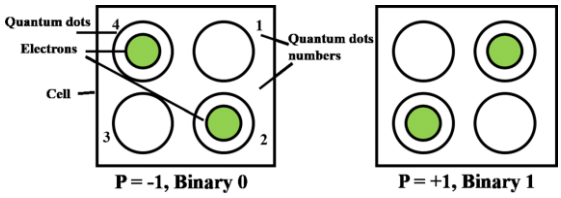
لذا در این پژوهش تلاش می‌شود تا مدارهایی برای لچ و فلیپ فلاپ نوع D با قابلیت بازنشانی و نشاندن در تکنولوژی QCA معرفی شود. هچنین تلاش گردیده تا طرح‌های پیشنهادی ازنظر پارامترهای مهم در این تکنولوژی مانند تعداد سلول و فضای اشغالی و تأخیر مناسب باشند. با توجه به این‌که لچها و فلیپ فلاپ‌ها به‌ندرتبه‌صورت جدا استفاده‌شده و معمولاً بلوکی در طراحی مدارهای ترتیبی هستند، سعی می‌شود تا مدارهای پیشنهادی در مدارهای دیگر بکار گرفته شود تا درستی و صحت عملکرد آن‌ها نشان داده شود. از مدارهای کاربردی طراحی شده در این مقاله می‌توان به آشکارساز فاز-فرکانس (PFD)، تقسیم کننده فرکانسی و شمارنده اشاره کرد.

این مقاله به صورت زیر سازمان‌دهی شده است. بخش بعد به اصول عملکردی QCA می‌پردازد. در بخش سوم لچ و فلیپ فلاپهای نوع D پیشنهادی ارائه خواهند شد. در بخش چهارم کاربردهای ساختارهای پیشنهادی بیان و ساختارهای مرتبط پیشنهاد خواهند شد. بخش

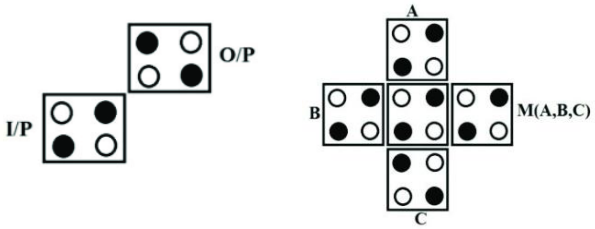
پنجم نیز به ارائه نتایج شبیه سازی طرحهای مطرح شده میپردازد. بخش ششم نیز جمع بندی و نتیجه گیری مقاله خواهد بود

۲- اصول عملکردی QCA

اصول عملکردی در QCA بر اثر کولمبی بین بارهای الکتریکی استوار است. سلولهای پایه در QCA در شکل (۱) نشان داده شده است. با توجه به نحوه دافعه الکتروستاتیکی بین بارهای همنام تنها دو حالت پایدار برای سلولها وجود دارد که طبق شکل به عنوان یک منطقی و صفر منطقی اطلاق می‌گردند.



شکل (۱): سلولهای پایه در QCA



(ب) (الف)

شکل (۲): الف- گیت اکثریت در QCA ب- گیت وارونگر در QCA

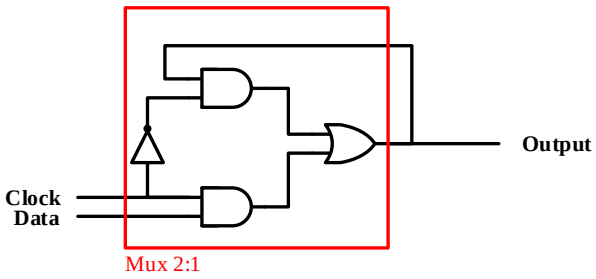
پایه‌ترین گیتها در طراحی مدارهای منطقی مبتنی بر QCA گیتهای اکثریت و گیت وارونگر هستند که نمایی از آنها در شکل (۲) نشان داده شده است. همچنین از به هم پیوستن سلولهای QCA میتوان سیمها را تشکیل داد [۹]. شایان ذکر است که انتقال داده در QCA مبتنی بر سیستم کلاک‌بندی درست می‌باشد [۱۰]. کلاک در سلولهای QCA دارای ۴ فاز می‌باشد که انتقال درست داده به شرط اتصال صحیح سلولها در کلاک بندی صورت می‌پذیرد [۹ و ۱۰].

۳- لچ و فلیپ فلاپ نوع D پیشنهادی در تکنولوژی QCA

برای طراحی مدار مورد نظر باید ابتدا بلوک دیاگرام آن را طراحی نمود. با توجه به فعالیت‌های صورت گرفته درطراحی لچ نوع D یک بلوک مرسوم موجود است. این روش که بیشتر مدارهای طراحی‌شده در تکنولوژی QCA از آن پیروی می‌نمایند، استفاده از یک مالتی‌پلکسر است که خروجی آن به یکی از ورودی‌ها متصل شده است. بدین صورت فرمول خروجی برابر با

$$output = Data.Clock + Output.\overline{Clock} \quad (۱)$$

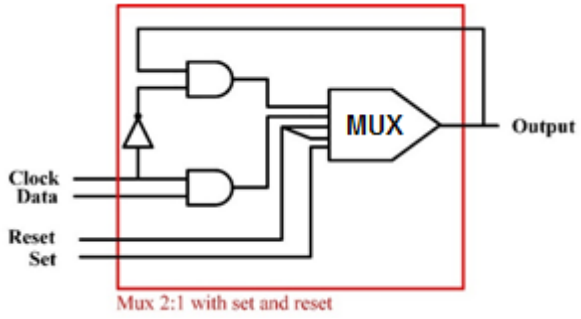
خواهد بود. مالتی‌پلکسر را نیز می‌توان از سه گیت اکثریت سه ورودی (دو گیت AND و یک گیت OR دو ورودی) و یک گیت وارونگر طراحی نمود. بلوک دیاگرام مربوط به این طرح در شکل (۳) نشان داده شده است.



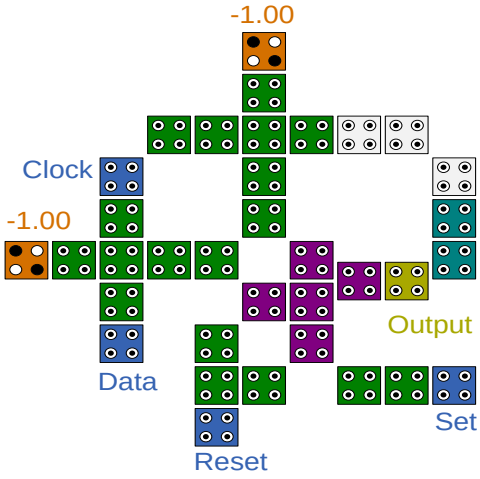
شکل (۳): بلوک دیاگرام لچ نوع D مرسوم

برای افزودن قابلیت بازنشانی و نشاندن به این طرح راه‌های مختلفی وجود دارد. یک روش این است که مداری برای تشخیص فعال شدن این قابلیت‌ها طراحی شود و به ابتدا یا انتهای مدار افزوده شود. این روش خود می‌تواند توسط یک مالتی پلکسر یا توسط مداری ساده با دو گیت اکثریت سه ورودی پیاده‌سازی شود. طرحهای پیشینی که در این راستا در تکنولوژی QCA پیشنهاد شده بودند، مشکلاتی مانند تعداد سلول، تاخیر و سطح مقطع اشغالی زیاد را داشته‌اند [۱۲].

در این پژوهش طرحی پیشنهاد می‌شود که مشکلات کمتری نسبت به روش‌های قبلی داشته باشد. در این روش به این مورد توجه شده است که برای محاسبه بازنشانی و نشاندن، مدار تأخیری اضافه را تحمل ننماید. در عمل با جایگزینی گیت OR مالتی پلکسر که در بخش انتهایی آن قرار دارد با یک گیت اکثریت پنج ورودی می‌توان قابلیت بازنشانی و نشاندن را به مالتی پلکسر افزود. در این مقاله طرحی پیشنهاد می‌شود که در آن اولویت با پایه بازنشانی می‌باشد. در این روش پایه بازنشانی به دو پایه ورودی گیت اکثریت پنج ورودی و پایه نشاندن و خروجی دو گیت AND نیز به سه پایه دیگر آن متصل می‌شوند. شکل (۴) نشان‌دهنده بلوک دیاگرام طرح پیشنهادی می‌باشد.



شکل (۴): بلوک دیاگرام پیشنهادی برای طراحی لچ نوع D باقابلیت بازنشانی و نشاندن

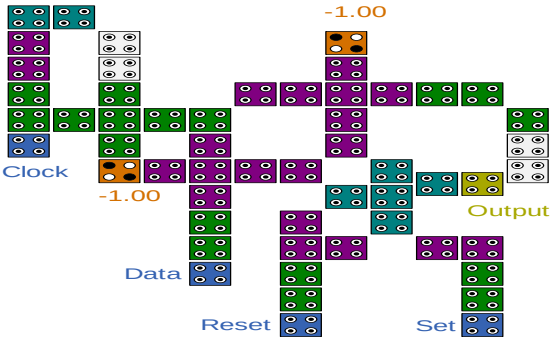


شکل (۵): لچ پیشنهادی در تکنولوژی QCA

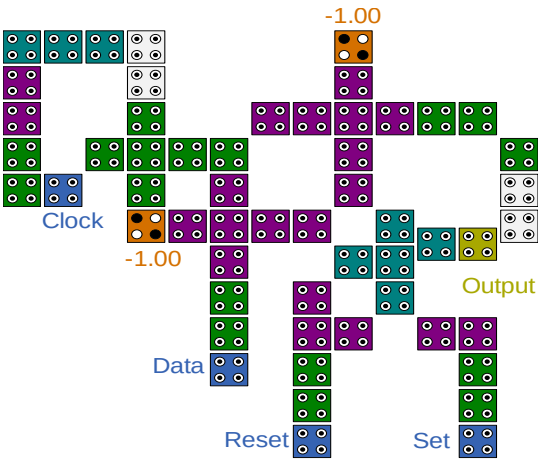
طرح لچ نوع D پیشنهادی در شکل (۵) قابل مشاهده می‌باشد. با توجه به نوع خروجی گیت اکثریت پنج ورودی علیرغم اینکه بـه‌اجبار در مسیر فیدبک از گیت وارونگر با نصف فاصله سلول استفاده شده است اما با دقت به مدار می‌توان متوجه شد که سلول‌های بعدازاین سلول در مسیر فیدبک و نوع تعیین منطقه زمانی آن‌ها موجب تقویت منطق شده و مدار کاملاً پایدار است. نتایج شبیه‌سازی‌ها نشان‌دهنده این امر می‌باشد. این طرح از ۳۵ سلول و تأخیر ۰/۵ سیکل تشکیل شده و ۳۹۲۰۴ نانومتر مربع از فضا را اشغال نموده است.

طرح فلیپ فلاپ نوع D حساس به لبه بالارونده پیشنهادی با افزودن مدار تبدیل حساسیت از سطح به لبه بالارونده با فرمول $clock\,(t)\overline{clock\,(t-1)}$ به لچ شکل (۵) مورد طراحی قرارگرفته و طرح آن در شکل (۶) نمایش داده شده است. این طرح از ۵۵ سلول و تأخیر ۰/۷۵ سیکل تشکیل شده و ۶۱۴۰۴ نانومتر مربع از فضا را اشغال می‌نماید.

همچنین طرح فلیپ فلاپ نوع D حساس به لبه پایین‌رونده پیشنهادی با افزودن مدار تبدیل حساسیت از سطح به لبه بالارونده با فرمول $\overline{clock\,(t)}clock\,(t-1)$ به لچ شکل (۵) مورد طراحی قرار گرفته و طرح آن در شکل (۷) قابل‌نمایش است. این طرح از ۵۶ سلول و تأخیر ۰/۷۵ سیکل تشکیل شده و ۶۱۴۰۴ نانومتر مربع از فضا را اشغال می‌نماید.



شکل (۶): فلیپ فلاپ نوع D حساس به لبه بالارونده پیشنهادی در تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی



شکل (۷): فلیپ فلاپ نوع D حساس به لبه پایین رونده پیشنهادی در تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی

طرح فلیپ فلاپ نوع D حساس به هر دو لبه پیشنهادی با افزودن مدار تبدیل حساسیت از سطح به لبه‌ها با فرمول $Clock(t) \oplus Clock(t-1)$ به لچ شکل (۵) مورد طراحی قرار گرفته و طرح آن در شکل (۸) قابل‌نمایش است. این طرح از ۶۴ سلول و تأخیر ۰/۷۵ سیکل تشکیل شده و ۷۶۸۸۴ نانومتر مربع از فضا را اشغال می‌نماید.

۴- کاربردهای فلیپ فلاپهای پیشنهادی در تکنولوژی QCA

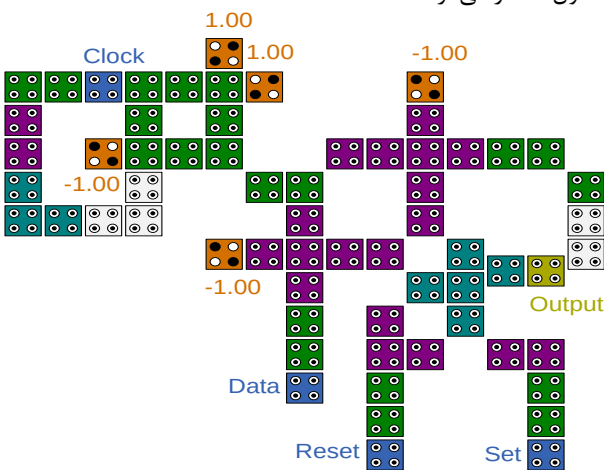
در این بخش از ساختارهای فلیپ فلاپهای پیشنهادی در مدارات دیگری استفاده خواهد شد تا نحوه بکارگیری آنها در مدارات پیچیده‌تر و ویژگی‌های آنها مورد ارزیابی قرار گیرد. در این راستا از فلیپ فلاپها در طراحی مدارهای آشکارساز فاز-فرکانس، تقسیم کننده‌های فرکانسی و شمارنده مورد استفاده قرار خواهد گرفت.

۴-۱- طراحی آشکارساز فاز-فرکانس در تکنولوژی QCA

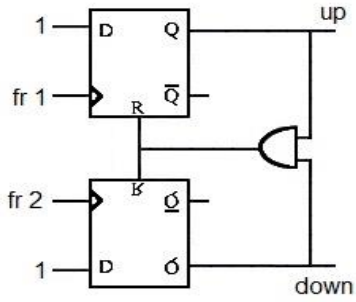
ازآنجایی‌که یکی از بلوک‌های بسیار مهم در ساختار حلقه‌های قفل‌شده فاز و حلقه‌های قفل‌شده تأخیر، آشکارساز فاز و فرکانس می‌باشد، طراحی این بلوک از اهمیت بالایی برخوردار خواهد بود.

شکل (۹) ساختار یک آشکارساز فاز و فرکانس متداول را نشان می‌دهد[۱۳ و ۱۴]. آشکارساز فاز و فرکانس مداری است که دو ورودی دریافت می‌کند و متوسط ولتاژ خروجی آن با اختلاف‌فاز بین دو ورودی آن متناسب است. همان‌طور که در شکل دیده می‌شود، این مدار متشکل از دو فلیپ فلاپ نوع D، یک گیت NAND می‌باشد که دو ورودی مربوطه به ورودی‌های کلاک فلیپ فلاپ‌های نوع D متصل می‌شوند. گیت NAND نیز زمانی که سیگنال‌های خروجی دو فلیپ فلاپ باهم یک منطقی باشند، ریست فلیپ فلاپ‌ها را فعال می‌کند و خروجی را به سمت صفر منطقی می‌برد. بدیهی است که زمانی که

سیگنال اول برابر با یک منطقی شود، ورودی D آن (یعنی یک منطقی) به خروجی می‌رود. تا زمانی که لبه بالارونده سیگنال دوم اعمال شود، این خروجی یک باقی می‌ماند. در این صورت برای یک لحظه کوتاه هر دو خروجی یک منطقی شده و گیتNAND مسیر ریست را فعال کرده و خروجی برابر با صفر منطقی خواهد شد. بنابراین به این صورت اختلاف فاز بین دو ورودی آشکارساز فاز و فرکانس متداول آشکار می‌گردد.



شکل (۸): فلیپ فلاپ نوع D حساس به دو لبه پیشنهادی در تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی



شکل (۹): بلوک آشکارساز فاز و فرکانس طرح اول

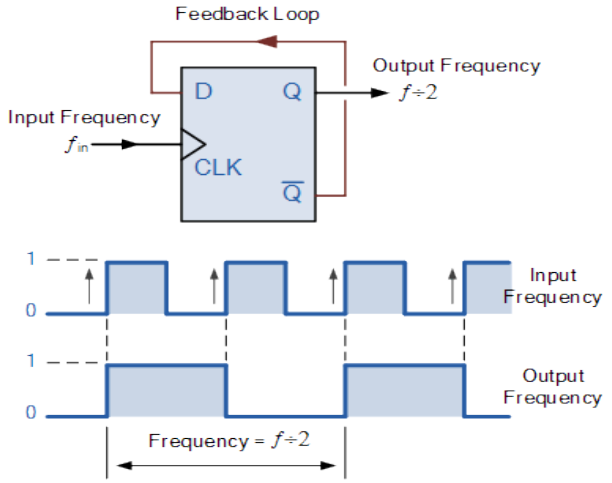
در این مقاله با استفاده از طرح فلیپ فلاپ حساس به لبه بالارونده پیشنهادی به طراحی مدار آشکارساز فاز-فرکانس پرداخته شده است. ساختار آشکارساز فاز-فرکانس پیشنهادی در تکنولوژی QCA در شکل (۱۰) نشان داده شده است. این ساختار اختلاف فاز بین لبه‌های بالارونده سیگنالهای ورودی آشکارساز فاز-فرکانس را تعیین می‌کند. مشابها اگر از فلیپ فلاپ پیشنهادی حساس به لبه بالا رونده و یا فلیپ فلاپ پیشنهادی حساس به دو لبه در ساختار بلوک دیاگرامی آشکارساز فاز-فرکانس استفاده گردد به ترتیب آشکارسازی اختلاف فاز دو سیگنال ورودی آشکارساز فاز-فرکانس در لبه‌های پایین رونده و دو لبه صورت خواهد گرفت.

۴-۲- طراحی تقسیم کننده فرکانسی در تکنولوژی QCA

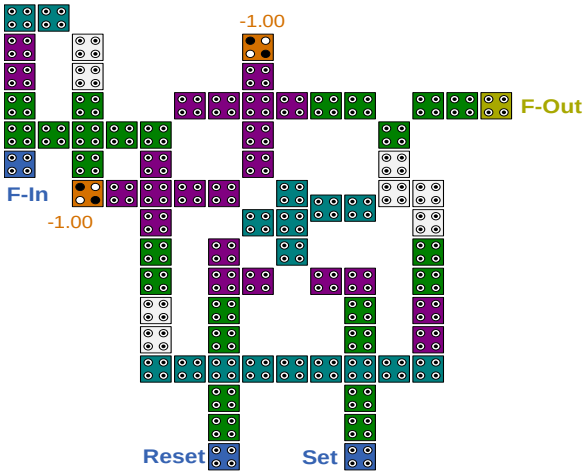
تقسیم‌کننده فرکانس مداری است که یک سیگنال را دریافت نموده و خروجی آن همان سیگنال با فرکانس تقسیم‌شده می‌باشد. ساده‌ترین مدار تقسیم‌کننده فرکانس، مدار تقسیم‌بر دو می‌باشد و بلوک دیاگرام این مدار در شکل (۱۱) نشان داده شده است. این مدار از یک فلیپ فلاپ تشکیل شده است که معکوس خروجی آن به ورودی آن متصل شده است و سیگنال ورودی به خط کنترل مدار متصل شود.

در این مقاله با استفاده از طرح فیلیپ فلاپ حساس به لبه بالارونده پیشنهادی و بلوک دیاگرام شکل (۱۱)، به طراحی مدار تقسیم کننده فرکانسی پرداخته شده است.

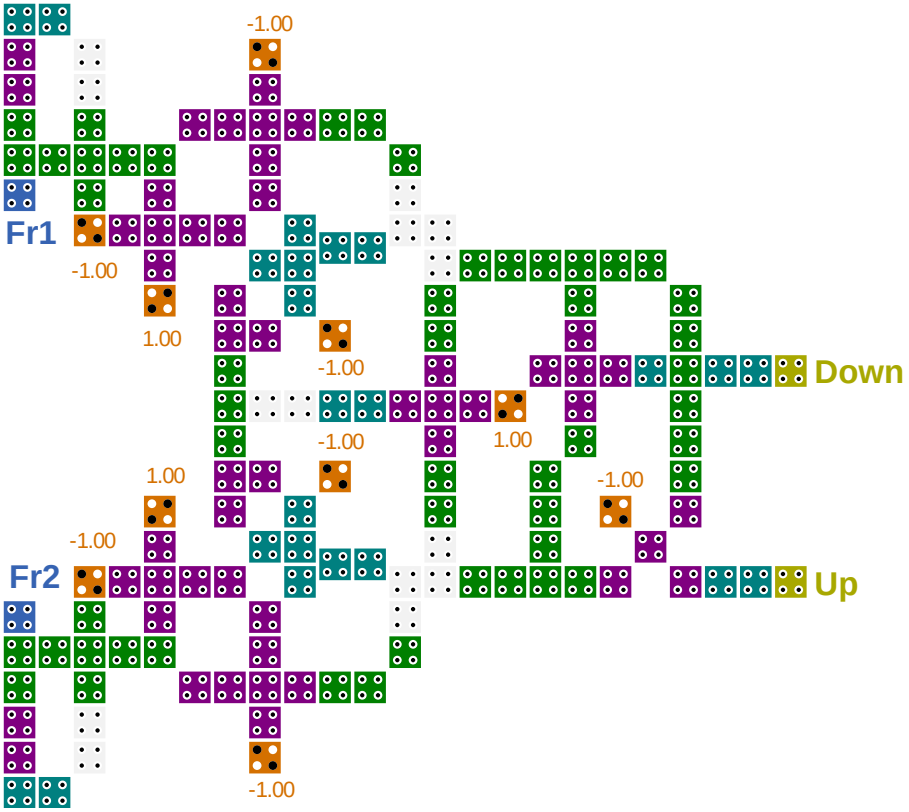
با توجه به تعداد زیاد سلول در فیدبک و هم‌زمان سازی ورودی‌ها، سیم فیدبک گرفته شده از خروجی به مناطق زمانی مختلف تقسیم شده است. مدار طراحی شده با فیلپ فلاپ نوع D پیشنهادی در شکل (۱۲) قابل مشاهده می‌باشد.



شکل (۱۱): بلوک دیاگرام تقسیم‌کننده فرکانسی



شکل (۱۲): تقسیم‌کننده فرکانس با استفاده از ساختار فلیپ فلاپ پیشنهادی

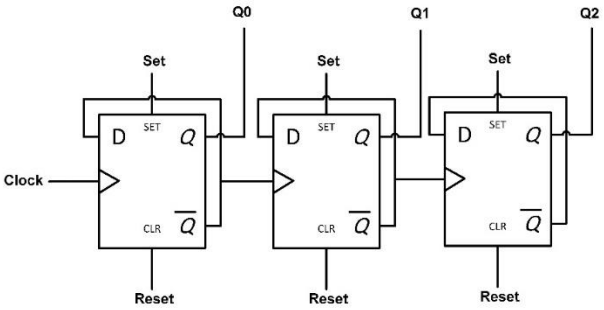


شکل (۱۰): آشکارساز فاز و فرکانس پیشنهادی با استفاده از فلیپ فلاپ پیشنهادی حساس به لبه بالارونده

۴-۳- طراحی شمارنده در تکنولوژی QCA

شمارنده‌ها از مهم‌ترین و پرکاربردترین مدارهای دیجیتال هستند. با توجه به این موضوع طراحی شمارنده‌هایی که توان شمارش از یک عدد خاص تا یک عدد خاص دیگر را داشته باشند اهمیت ویژه‌ای دارد. برای طراحی این نوع از شمارنده‌ها باید از فلیپ فلاپهایی باقابلیت بازنشانی و نشاندن استفاده نمود و مدارهای پیشنهادی این مقاله این قابلیت‌ها را دارا می‌باشند. برای طراحی شمارنده‌ها طرح‌های مختلفی وجود دارد. با استفاده از متصل نمودن چند مدار تقسیم‌کننده فرکانس می‌توان شمارنده‌ها را طراحی نمود که بلوک دیاگرام شمارنده سه بیتی در شکل (۱۳) نشان داده شده است.

در این مقاله با استفاده از فلیپ فلاپ حساس به لبه بالارونده پیشنهادی و بلوک‌دیاگرام شکل(۱۳)، به طراحی مدار شمارنده سه بیتی در تکنولوژی QCA پرداخته شده است. مدار طراحی‌شده شکل (۱۴) قابل مشاهده می‌باشد. با توجه به تعداد زیاد سلول در فیدبک و سیم پایه‌های بازنشانی و نشاندن و هم‌زمان سازی ورودی‌ها، سیم فیدبک گرفته شده از خروجی و سیم پایه‌های بازنشانی و نشاندن به مناطق زمانی مختلف تقسیم شده است.

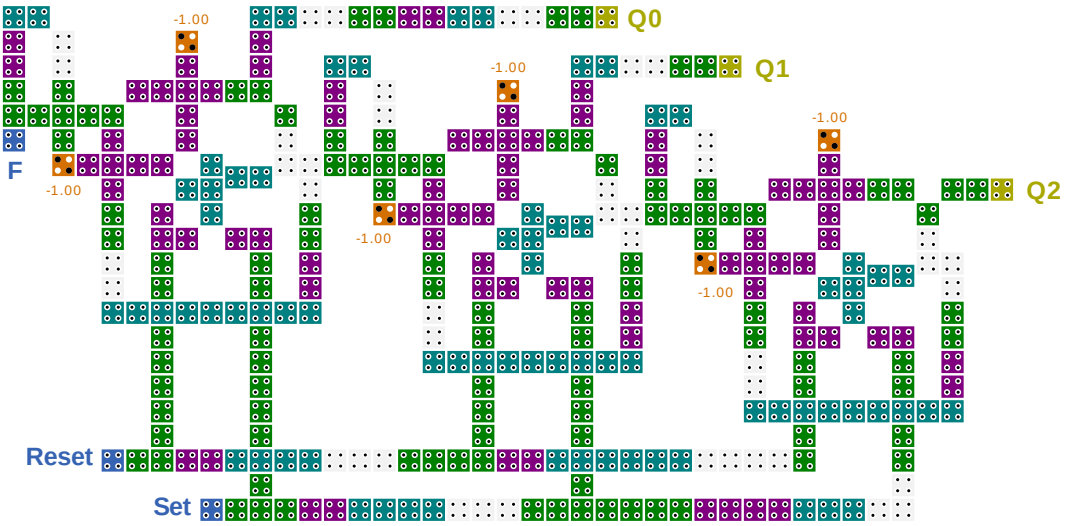


شکل (۱۳): بلوک دیاگرام شمارنده سه بیتی

۵- شبیه سازی و نتایج

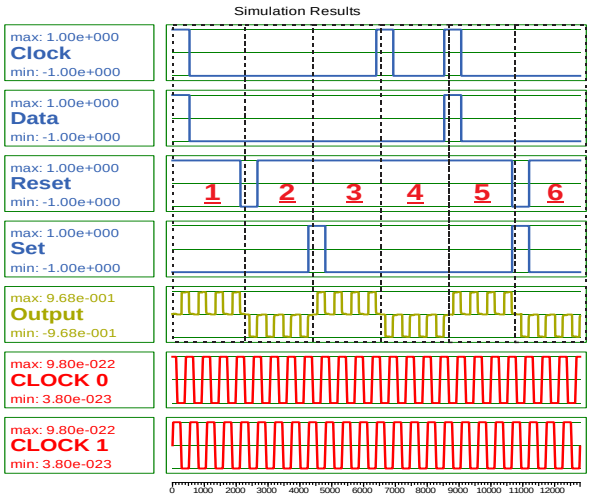
در این مقاله طرح‌های پیشنهادی توسط نرم افزارهای QCADesigmer و QCAPro به ترتیب جهت تصدیق رفتار عملکردی و بررسی میزان توان اتلافی شبیه‌سازی گردیدند.

نتیجه شبیه‌سازی مدار و نقشه توان لچ پیشنهادی به ترتیب در شکل-های (۱۵)و (۱۶) آمده است. نتایج شبیه‌سازی به ۶ بخش اصلی (شماره‌گذاری با شماره‌های ۱ تا ۶) تقسیم گشته که دلیل آن نشان دادن حالت‌های ممکن اعمال ورودی می‌باشد. این بخش‌ها به ترتیب اعمال یک منطقی به ورودی، بازنشانی، نشاندن و اعمال صفر منطقی به ورودی می‌باشد. دو حالت آخر برای نشان دادن حالت فعال شدن هم‌زمان بازنشانی و نشاندن می‌باشد. با توجه به بلوک استفاده شده انتظار می‌رود تا در صورت هم‌زمان ست و ریست خروجی صفر منطقی



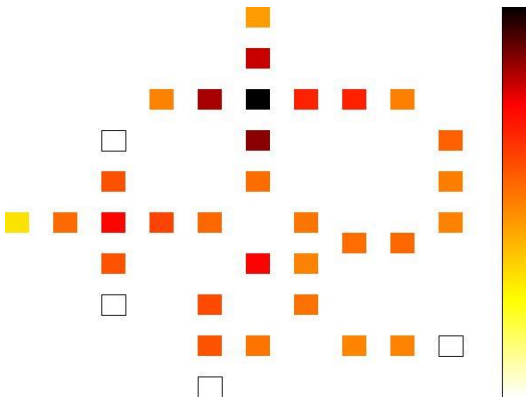
شکل (۱۴): شمارنده با استفاده از ساختار فلیپ فلاپ پیشنهادی

شود. به همین دلیل بعد از حالت اعمال صفر منطقی به ورودی، دوباره خروجی در بخش پنجم توسط اعمال ورودی یک منطقی شده و سپس دو پایه بازنشانی و نشاندن باهم فعال شده و خروجی صفر منطقی می‌شود. نکته مهم در اعمال ورودی در این طرح، فعال شدن پایه بازنشانی با صفر منطقی می‌باشد. در شکل-۱۶ که نقشه توان ساختار پیشنهادی را نشان می‌دهد، نقاط تیره‌تر معرف سلولهای با انرژی مصرفی بیشتر و نقاط روشن‌تر بیانگر سلولهای با انرژی کمتری هستند. لازم به ذکر است که تعداد ورودی، تعداد سلولهای با مقدار ثابت و ساختار مدار در میزان انرژی مصرفی موثر است.



شکل (۱۵): شبیه‌سازی لچ پیشنهادی

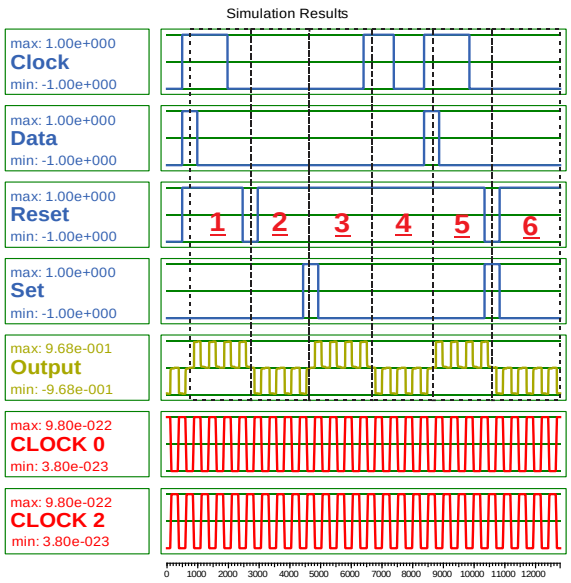
نتیجه شبیه‌سازی مدار و نقشه توان فلیپ فلاپ نوع D پیشنهادی حساس به لبه بالا رونده به ترتیب در شکل‌های (۱۷) و (۱۸) آمده است. نحوه بخش‌بندی نتیجه شبیه‌سازی مشابه شکل (۱۵) بوده اما نحوه اعمال ورودی‌ها به‌طوری بوده که حساسیت به لبه بالارونده نشان داده شود. در این ساختار انتقال اطلاعات فقط در لبه‌های بالا رونده کلاک ورودی رخ می‌دهد. به جهت جلوگیری از تکرار، شبیه سازی حالات پایین رونده و دو لبه ارائه نشده است.



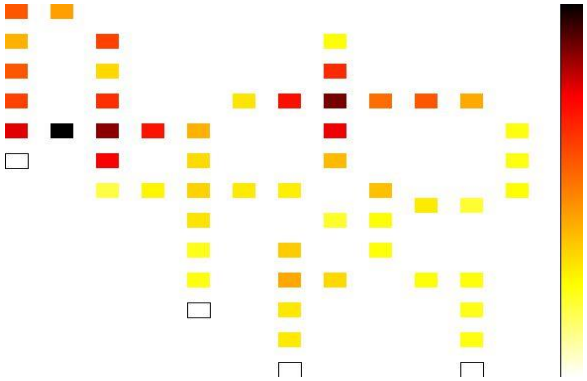
شکل (۱۶): نقشه توان ساختار لچ پیشنهادی

در جدول (۱) مقایسه بین مدار پیشنهادی به عنوان لچ و سایر مدارات ارائه شده است. با توجه به این جدول طرح پیشنهادی از نظر تعداد سلول، فضای اشغالی و تاخیر ساختار مناسبی می‌باشد. در این جدول تابع هزینه مطابق با روابط تابع هزینه در [۱۵] محاسبه شده است.

همچنین در جدول (۲) مقایسه‌ای بین فلیپ فلاپ نوع D پیشنهادی و سایر ساختارهای مشابه ارائه شده است که حکایت از برتری طرح پیشنهادی از لحاظ عملکردی نسبت به کارهای گذشته دارد. همانگونه که ملاحظه می‌گردد ساختار فلیپ فلاپ پیشنهادی علاوه بر داشتن توام پایه‌های نشاندن و بازنشانی از نظر تعداد سلول، فضای اشغالی و تاخیر رفتار مناسبی از خود نشان می‌دهد.



شکل (۱۷): شبیه‌سازی فلیپ فلاپ حساس به لبه بالارونده پیشنهادی



شکل (۱۸): نقشه توان فلیپ فلاپ حساس به لبه بالارونده پیشنهادی

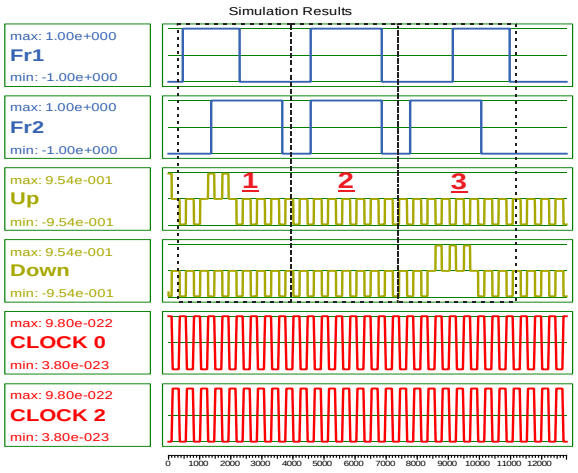
جدول (۱): مقایسه لچ‌های پیشنهادی و نمونه های مشابه پیشین

	تعداد سلول	فضا (μm^2)	تاخیر (دوره)	بازنشانی و نشاندن	Cost
[۱۶]	۴۳	۰/۰۴	۱/۲۵	-	۲۹/۶۸
[۱۷]	۵۴	۰/۰۶	۱/۵	بازنشانی	۱۸/۲
[۱۲]	۹۳	۰/۱۱	۱/۷۵	هر دو	۷۶/۵۶
[۱۸]	۴۸	۰/۰۵	۱	بازنشانی	۱۷
طرح پیشنهادی	۳۵	۰/۰۴	۰/۵	هر دو	۳

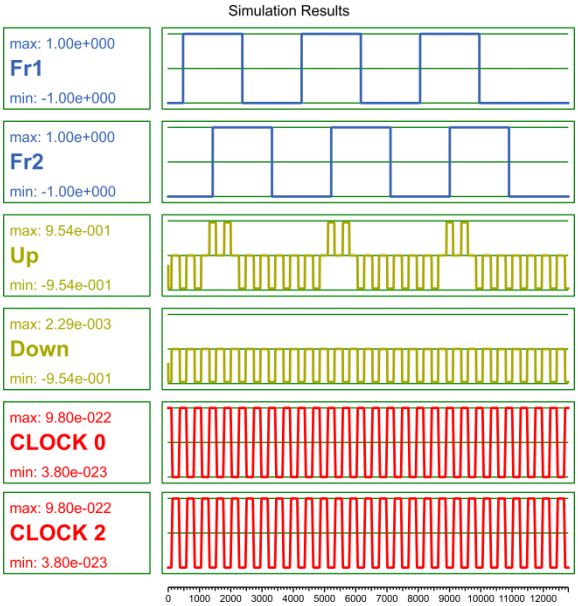
جدول (۲): مقایسه فلیپ فلاپ‌های حساس به لبه بالارونده پیشنهادی و نمونه های مشابه پیشین

	تعداد سلول	فضا (μm^2)	تاخیر (دوره)	بازنشانی و نشاندن	Cost
[۶]	۷۵	۰/۰۷	۱	-	۱۸
[۱۹]	۸۴	۰/۰۹	۲/۷۵	-	۱۳۶/۱
[۲۰]	۴۶	۰/۰۴	۱/۲۵	-	۲۸/۱۲۵
[۸]	۹۵	۰/۱۱	۱	بازنشانی	۱۹
[۸]	۱۱۲	۰/۱۳	۱	بازنشانی	۲۰
طرح پیشنهادی	۵۵	۰/۰۶	۰/۷۵	هر دو	۱۱/۲۵

جهت تصدیق رفتار آشکارساز فاز-فرکانس پیشنهادی نیز شبیه‌سازی‌های مربوطه انجام گرفته است. نتایج شبیه‌سازی مدار شکل (۱۰) در شکل (۱۹) نشان داده شده است. برای نشان دادن صحت عملکرد مدار دو شبیه‌سازی مجزا انجام شده است. شبیه‌سازی اول مربوط به سه حالت ممکن پیش‌فاز، هم‌فاز و پس‌فاز بودن دو سیگنال ورودی آ:آی:آبوده که در شکل به ترتیب با شماره‌های ۱و ۲و ۳ مشخص شده است (شکل (۱۰-الف). شبیه‌سازی‌های دیگر نیز مربوط به دو سیگنال هم فرکانس با اختلاف فاز ثابت است (شکل (۱۰-ب) که در این حالت بسته به جلو یا عقب بودن سیگنال اصلی سیگنالی متناسب با اختلاف فاز در یکی از دو خروجی Up یا Down ظاهر می‌گردد.



(الف)

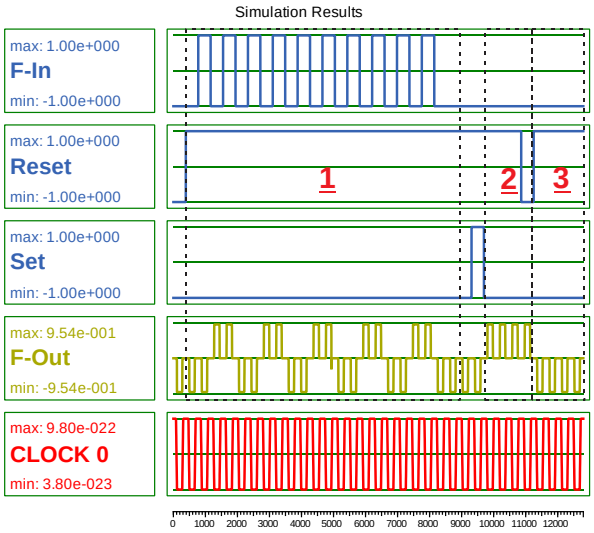


(ب)

شکل (۱۹): الف- شبیه‌سازی سه حالت مختلف در اختلاف فاز دو سیگنال ب- شبیه‌سازی آشکارساز فاز-فرکانس پیشنهادی با دو سیگنال ورودی هم فرکانس با اختلاف فاز ثابت

جهت تصدیق عملکرد تقسیم کننده فرکانسی پیشنهادی با قابلیت ست و ریست، شبیه‌سازیهای مورد نظر صورت گرفته است. نتایج شبیه‌سازی تقسیم کننده فرکانسی پیشنهادی در شکل (۲۰) قابل مشاهده می‌باشد. نتایج از سه بخش اصلی تشکیل شده که با شماره‌های ۱ تا ۳ مشخص شده‌اند. در بخش اول مدار به صورت معمولی به کار خود پرداخته و فرکانس خروجی (F-Out) نصف فرکانس ورودی (F-In) می‌باشد (مدار تقسیم بر ۲ را انجام می‌دهد). در بخش دوم خروجی مدار باید صفر منطقی باشد اما به‌واسطه فعال شدن پایه نشاندن (Set)، یک منطقی شده است. بخش سوم نیز خروجی مدار در صورت فعال شدن پایه بازنشانی(Reset) را نشان می‌دهد که خروجی مدار صفر منطقی خواهد شد. از این دو پایه می‌توان برای کنترل مدار و رساندن خروجی آن به حالت موردنظر استفاده نمود.

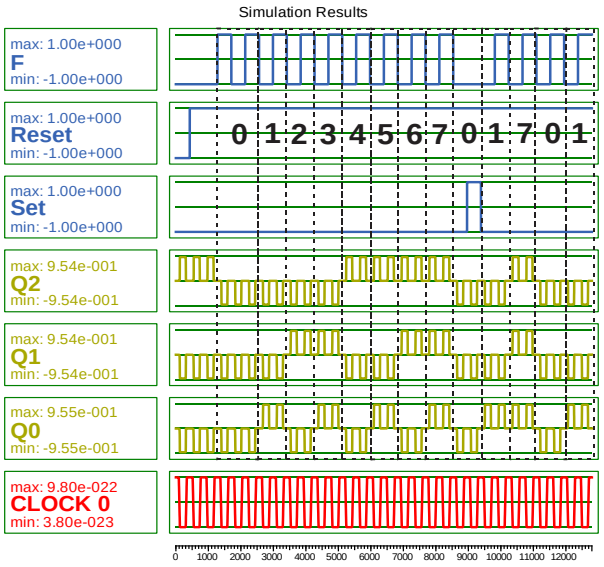
نتیجه شبیه‌سازی شمارنده ۳ بیتی پیشنهادی نیز در شکل (۲۱) قابل مشاهده می‌باشد. همان‌طور که درنتیجه شبیه‌سازی مشهود است مدار در ابتدا توسط پایه بازنشانی(Reset) به حالت صفر رفته پس‌ازآن تا هفت شمرده و دوباره به حالت صفر برگشته و شمارش را ادامه می‌دهد. در حالتی که خروجی صفر می‌باشد پایه نشاندن فعال شده و پس از دو سیکل تأخیر که به علت تأخیر سیم می‌باشد، خروجی پس از حالت یک به حالت هفت رفته و بعدازآن به حالت صفر بازگشته و شمارش را ادامه می‌دهد.



شکل (۲۰): نتیجه شبیه‌سازی تقسیم‌کننده فرکانس با مدار پیشنهادی

۶- نتیجه‌گیری

در این مقاله، یک ساختار جدید برای لچ نوع D در تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی که دارای پایه های نشاندن و بازنشانی است، ارائه شد. ساختار پیشنهادی علیرغم داشتن پایه‌های نشاندن و بازنشاندن، از نظر تعداد سلولهای کوانتومی، سطح مقطع اشغالی و تاخیر، شرایط مطلوبی داشته است. همچنین از این ساختار برای پیاده‌سازی فلیپ فلاپهای نوع D دارای پایه‌های نشاندن و بازنشاندن حساس به لبه بالارونده، پایین رونده و هر دو لبه استفاده شد. در ادامه جهت اثبات صحت رفتاری مدار پیشنهادی در مدارهای پیچیده‌تر، این ساختارها در قالب آشکارساز فاز-فرکانس، تقسیم کننده فرکانسی و شمارنده مورد استفاده قرار گرفته است. برای ساختارهای پیشنهادی شبیه سازی پارامترهای توان نیز صورت گرفته است و مدارهای ارائه شده رفتار مناسبی از لحاظ میزان اتلاف انرژی داشته‌اند.



شکل (۲۱): نتایج شبیه‌سازی شمارنده سه بین با مدار پیشنهادی

مراجع

[1] Binaei R, Gholami M. Design of Multiplexer-Based D Flip-Flop with Set and Reset Ability in Quantum Dot Cellular Automata Nanotechnology. International Journal of Theoretical Physics. 2019 Mar 15;58(3):687-99.

[2] Amirzadeh Z, Gholami M. Counters Designs with Minimum Number of Cells and Area in the Quantum-Dot Cellular Automata Technology. International Journal of Theoretical Physics. 2019 Jun 15;58(6):1758-75.

[3] Lent CS, Tougaw PD, Porod W, Bernstein GH. Quantum cellular automata. Nanotechnology. 1993 Jan;4(1):49.

[4] Tougaw PD, Lent CS. Logical devices implemented using quantum cellular automata. Journal of Applied physics. 1994 Feb 1;75(3):1818-25.19.

[5] Srivastava, Saket. "Probabilistic modeling of quantum-dot cellular automata." (2007).

[6] Shamsabadi AS, Ghahfarokhi BS, Zamanifar K, Movahedinia N. Applying inherent capabilities of quantum-dot cellular automata to design: D flip-flop case study. Journal of systems architecture. 2009 Mar 1;55(3):180-7.

[7] Khurasia A, Gambhir P. Quantum cellular automata. final project report. 2006.

[8] Zoka S, Gholami M. A novel rising Edge Triggered Resettable D flip-flop using five input majority gate. Microprocessors and Microsystems. 2018 Sep 1;61:327-35.

[9] Roshan MG, Gholami M. Novel D latches and D flip-flops with set and reset ability in QCA nanotechnology using minimum cells and area. International Journal of Theoretical Physics. 2018 Oct 1;57(10):3223-41.

[10] Binaei R, Gholami M. Design of novel D flip-flops with set and reset abilities in quantum-dot cellular automata

nanotechnology. Computers & Electrical Engineering. 2019 Mar 1;74:259-72.
[11] Zoka S, Gholami M. Two Novel D-Flip Flops with Level Triggered Reset in Quantum Dot Cellular Automata Technology. International Journal of Engineering-Transactions C: Aspects. 2017 Oct 12;31(3):415-21.
[12] Sabbaghi-Nadooshan R. A novel quantum-dot cellular automata CLB of FPGA. Journal of Computational Electronics. 2014 Sep 1;13(3):709-25.
[13] Gholami M. Phase detector with minimal blind zone and reset time for GSamples/s DLLs. Circuits, Systems, and Signal Processing. 2017 Sep 1;36(9):3549-63.
[14] Sofimowloodi S, Razaghian F, Gholami M. Low-Power High-Frequency Phase Frequency Detector for Minimal Blind-Zone Phase-Locked Loops. Circuits, Systems, and Signal Processing. 2019 Feb 15;38(2):498-511.
[15] Liu W, Lu L, O'Neill M, Swartzlander EE. A first step toward cost functions for quantum-dot cellular automata designs. IEEE Transactions on Nanotechnology. 2014 May 1;13(3):476-87.
[16] Chakrabarty R, Mahato DK, Banerjee A, Choudhuri S, Dey M, Mandal NK. A novel design of flip-flop circuits using quantum dot cellular automata (QCA). InComputing and Communication Workshop and Conference (CCWC), 2018 IEEE 8th Annual 2018 Jan 8 (pp. 408-414). IEEE.
[17] Sabbaghi-Nadooshan R, Kianpour M. A novel QCA implementation of MUX-based universal shift register. Journal of Computational Electronics. 2014 Mar 1;13(1):198-210.
[18] Purkayastha T, De D, Chattopadhyay T. Universal shift register implementation using quantum dot cellular automata. Ain Shams Engineering Journal. 2016 Mar 9.
[19] Hashemi S, Navi K. New robust QCA D flip flop and memory structures. Microelectronics Journal. 2012 Dec 1;43(12):929-40.
[20] Abutaleb MM. A novel power-efficient high-speed clock management unit using quantum-dot cellular automata. Journal of Nanoparticle Research. 2017 Apr 1;19(4):128.