آینه جریان توان پایین مبتنی بر ماسفت با گیت شبه شناور

مسعود نوری[۱] مهدی بکرانی[۲]

۱- دانش‌آموخته کارشناسی ارشد مهندسی برق الکترونیک - دانشگاه صنعتی قم - قم - ایران

nori.m@qut.ac.ir

۲- استادیار دانشکده مهندسی برق و کامپیوتر- دانشگاه صنعتی قم - قم- ایران

bekrani@qut.ac.ir

چکیده: امروزه پیشرفت فناوری و کوچک شدن افزاره‌ها و تراشه‌ها در دستگاه‌های الکترونیکی به همراه تقاضا برای قابل حمل بودن آنها و کارکرد آنها برای مدت زمان بیشتر، چالش‌های بزرگی از جمله کاهش توان مصرفی و ولتاژ تغذیه پایین را پیش روی طراحان مدارات مجتمع آنالوگ قرار داده است. آینه جریان از اجزاء مهم طراحی مدارهای آنالوگ و از پرکاربردترین آنها است که در آن مصرف توان تحت تأثیر ولتاژ تغذیه است. بنابراین، توسعه ساختارهای آینه جریان با ولتاژ پایین و توان کم برای مطابقت با الزامات طراحی CMOS ضروری است. در این پژوهش یک آینه جریان توان کم ولتاژ پایین با استفاده از ساختار کسکود و تکنیک ماسفت با گیت شبه شناور طراحی شده است که برای بالا بردن مقاومت خروجی آن از تقویت کننده دو طبقه مبتنی بر تکنیک افزاینده بهره استفاده شده است. شبیه‌سازی‌ها با محیط شبیه‌سازی SPICE و فناوری CMOS ۱۸۰ نانومتر TSMC صورت گرفته است. آینه جریان پیشنهادی با ولتاژ تغذیه ۰/۳± ولت کار می‌کند و مقاومت‌های ورودی و خروجی آن به ترتیب ۴۸ Ω و ۴۳۲ MΩ است و پهنای باند آن ۲۴۴/۲ MHz بدست آمده است. مزیت اصلی آینه جریان پیشنهادی نسبت به کارهای مشابه، توان مصرفی پایین آن به مقدار ۱۴/۰۳ µw می‌باشد.

واژه‌های کلیدی: آینه جریان، توان کم، ولتاژ پایین، گیت شبه شناور، کسکود، پهنای باند

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.21.1.27

تاریخ ارسال مقاله: ۱۴۰۱/۱۱/۲۹

تاریخ پذیرش مشروط مقاله: ۱۴۰۲/۰۱/۱۹

تاریخ پذیرش مقاله: ۱۴۰۲/۰۲/۲۳

نام نویسنده‌ی مسئول: دکتر مهدی بکرانی

نشانی نویسنده‌ی مسئول: ایران – قم – بلوار شهید خداکرم– دانشگاه صنعتی قم – دانشکده‌ی مهندسی برق و کامپیوتر

۱- مقدمه

امروزه در بازار دستگاه‌های الکترونیکی قابل حمل، جهت حفظ قابلیت تجاری یک محصول، بسیار مهم است که دستگاه عمر باتری طولانی، ابعاد کوچک برای جابجایی آسان، و دستیابی به عملکرد مورد نظر را بدون اتلاف توان قابل توجه و گرم شدن داشته باشد [۱-۶]. پیشرفت فناوری و کوچک شدن افزاره‌ها و تراشه‌ها در دستگاه‌های الکترونیکی، چالش‌های بزرگی را پیش روی طراحان مدارهای مجتمع آنالوگ قرار داده است. از جمله این چالش‌ها، کاهش توان مصرفی در مدارات الکترونیکی و کاهش ولتاژ تغذیه در طراحی مدارهای مجتمع فشرده VLSI است. از اینرو، طراحی مدارهای ولتاژ پایین و توان کم، بسیار مورد توجه می‌باشد.

آینه جریان یکی از پر استفاده‌ترین واحدهای اساسی در مدارهای مجتمع آنالوگ محسوب می‌شود که اساساً برای تامین و حفظ جریان ثابت در طبقات مختلف مدار بکار می‌رود [۷]. در آینه‌های جریان مصرف توان تحت تأثیر ولتاژ تغذیه است و بنابراین توسعه ساختار آینه‌های جریان تحت ولتاژ پایین و توان کم برای مطابقت با الزامات طراحی CMOS ضروری است. لازم به ذکر است که فناوری ماسفت، توان و مساحت ترانزیستورها را در تراشه‌ها به حداقل رسانده است و ابعاد نانومتری افزاره‌ها و عملیات زیر ولت، پتانسیل طراحی توابع منطقی با کارایی بالا را ایجاد کرده است؛ اما این افزاره‌ها در طراحی مدارهای آنالوگ از جمله طراحی آینه‌های جریان به دلیل اثر مدولاسیون طول کانال عملکرد رضایت بخشی را ارائه نمی‌دهند. علاوه بر این، ولتاژ آستانه همواره یک مانع به ویژه برای طراحی مدارهای آنالوگ ولتاژ پایین و آینه‌های جریان بوده است، چرا که حداقل ولتاژ تغذیه را نمی‌توان زیر ولتاژ آستانه ماسفت‌ها قرار داد. در این راستا چندین تکنیک برای تحقق ساختارهای جدید CMOS با ولتاژ پایین و توان پایین توسعه داده شده است.

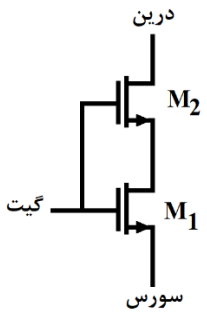
پرکاربردترین تکنیک‌های متداول عبارتند از کسکود خودبایاس[۱]، ماسفت آستانه پویا (DT-MOS[۲])، عملکرد زیر-آستانه[۳] و تغییر سطح[۴] [۸]. متأسفانه، این تکنیک‌های متداول از محدودیت ترارسانایی، عملکرد فرکانسی ضعیف و کاهش بازه نوسان ولتاژ رنج می‌برند. در سالهای اخیر، تعداد کمی تکنیک‌های ولتاژ پایین با توان کم که پتانسیل کارکرد در زیر ولتاژ آستانه را دارند، ارائه شده است که عبارتند از: تکنیک هدایت‌کننده بدنه (BD[۵]) [۹]، ساختار گیت شناور (FG[۶]) [۱۰، ۱۱]، ساختار گیت شبه شناور (QFG[۷]) [۱۲]، ساختار گیت شناور بدنه محور (BDFG[۸]) [۱۳، ۱۴] و ساختار گیت شبه شناور بدنه محور (BDQFG[۹]) [۱۵]. این تکنیک‌های ولتاژ پایین با توان کم را می‌توان به عنوان تکنیک‌های نوین طبقه بندی کرد.

۲- ساختارهای آینه جریان کسکود

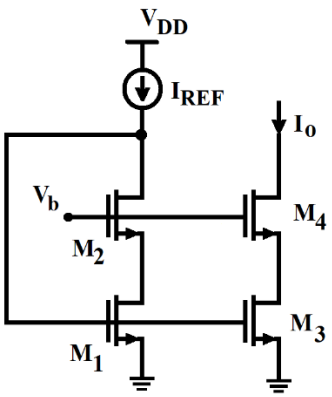
در تکنولوژی ساخت مدارهای مجتمع، امکان ایجاد ترانزیستورهای مشابه به سادگی فراهم است و ساختارهای گوناگون آینه جریان بر اساس این ویژگی طراحی می‌شوند. از طرفی لازم است امپدانس خروجی آینه جریان بالا باشد تا وابستگی آینه جریان به اثر مدولاسیون طول کانال ماسفت‌ها کم شده و در نتیجه جریان خروجی آینه جریان، حساسیت کمی به تغییرات ac ولتاژ خروجی داشته باشد. بر این اساس استفاده از ساختارهای آینه جریان کسکود در مدارهای مجتمع متداول است و در ادامه برخی ساختارهای کسکود بررسی خواهد شد.

۲-۱- بررسی ساختار کسکود متداول و کسکود مبتنی بر ماسفت QFG

ساختار کسکود از این منظر حائز اهمیت است که می‌تواند امپدانس خروجی را به طور قابل ملاحظه‌ای افزایش دهد. از آنجا که امپدانس خروجی زیاد یک ویژگی مطلوب برای آینه جریان است، استفاده از توپولوژی کسکود برای افزایش کارایی آینه‌های جریان امری اجتناب ناپذیر است. ساختار کسکود خودبایاس در شکل ۱ نشان داده شده است. نقطه ضعف اصلی این ساختار این است که نیاز به حداقل ولتاژ $V_{TH}+2V_{ds(sat)}$ به منظور بایاس مطلوب دارد که در فناوری‌های نوین، فراهم ساختن چنین ولتاژی دشوار یا ناممکن است. برای حل این مشکل، از آینه جریان کسکود اصلاح شده شکل ۲ استفاده می‌شود [۱۶].



شکل (۱): ساختار ترانزیستورهای کسکود [۱۶]



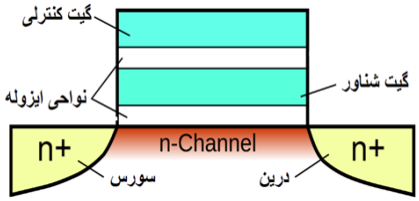
شکل (۲): آینه جریان با ساختار کسکود اصلاح شده [۱۶]

برای فعال ماندن M_2 باید $V_{gs1} > V_b - V_{TH_2}$ باشد و برای فعال ماندن M_1 باید $V_b > V_{gs2} + V_{ds1(sat)}$ باشد. در نهایت به منظور بایاس صحیح آینه جریان و در ناحیه اشباع نگاه داشتن ترانزیستورها، $V_{ds2(sat)}$ باید از V_{TH_1} کوچکتر باشد. با این حال، همچنان این مدار دارای اشکالاتی از جمله ولتاژ آستانه و نیاز به افزاره‌هایی با ابعاد بزرگ است.

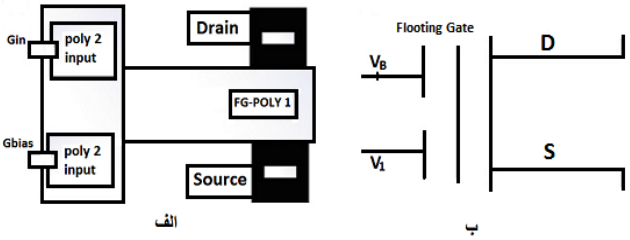
چنانچه اشاره شد، ولتاژ آستانه همواره یک مانع در طراحی مدار، به ویژه برای مدارهای آنالوگ ولتاژ پایین بوده است. اما تعداد کمی از تکنیک‌های ولتاژ پایین با توان کم، امکان کارکرد در زیر ولتاژ آستانه را دارند. در میان این تکنیک‌ها، FG و طراحی اصلاح شده آن QFG کارایی خود را در طراحی آنالوگ ولتاژ پایین با ارائه اتصال خازنی چند ورودی که به مقیاس ولتاژ آستانه کمک می‌کند، ثابت کرده است [۱۴].

۲-۲- تکنیک گیت شناور (FG-MOS)

ترانزیستور FG-MOS دو نوع گیت دارد که یکی گیت شناور و دیگری گیت کنترلی است. گیت شناور به لحاظ الکتریکی ایزوله بوده و ارتباط مستقیمی با گیت‌های کنترل و بدنه ماسفت ندارد. گیت‌های کنترل بر روی گیت شناور قرار دارند که توسط اکسید جدا شده است و ورودی-های متعددی به آنها متصل است. بنابراین، گیت‌های کنترل به صورت خازنی با گیت شناور جفت می‌شوند. FG-MOS برای کاربردهای ولتاژ کم و توان کم مناسب است، زیرا ولتاژ آستانه آن را می‌توان تنظیم کرد و نسبت به مقدار معمولی آن کاهش داد. سطح مقطع FG-MOS با یک گیت کنترلی در شکل ۳ نشان داده شده است. همچنین چینش[۱۰] و نماد ترانزیستور FG-MOS دو ورودی در شکل ۴-الف و ۴-ب نشان داده شده است.



شکل (۳): سطح مقطع ماسفت گیت شناور



شکل(۴): الف) چینش FG-MOS دو ورودی، ب) نماد FG-MOS دو ورودی [۱۵]

در ساختار FG-MOS نوع n دو ورودی، جریان درین به‌صورت زیر محاسبه می‌شود:

$$I_D = \frac{\beta}{2}\left(V_{FGS} - V_{TH}\right)^2 \quad (۱)$$

که در آن β ثابت بهره FG-MOS بوده و V_{FGS} ولتاژ موثر گیت شناور می‌باشد که به‌صورت رابطه زیر تعریف می‌شود:

$$V_{FGS} = \frac{C_A V_{BS} + C_B V_{2S} + C_{FGD} V_{DS} + C_{FGB} V_{BS} + Q_{FG}}{C_{eff}} \quad (۲)$$

که در آن C_A و C_B خازن‌های بین دو گیت کنترلی و گیت شناور هستند و C_{FGD}، C_{FGS} و C_{FGB} خازن‌های پارازیتی FG-MOS و V_{2S} ولتاژ ورودی دوم FG-MOS به سورس است و Q_{FG} مقدار بار محبوس شده در گیت شناور در طول فرایند ساخت است. این Q_{FG} ناخواسته در گیت شناور باعث ایجاد تفاوت بین افزاره‌های یکسان می‌شود. همچنین C_{eff} خازن کل در پایانه گیت FG-MOS است که با رابطه زیر حاصل می‌شود:

$$C_{eff} = C_A + C_B + C_{FGD} + C_{FGS} + C_{FGB} \quad (۳)$$

برای FG-MOS با N ورودی، اگر داشته باشیم

$$C_A + C_B >> C_{FGD}; C_{FGB}; C_{FGS}$$

در این صورت رابطه (۳) را می‌توان به صورت زیر نوشت:

$$C_{eff} \cong C_A + C_B \quad (۴)$$

بنابراین رابطه (۱) با توجه به رابطه (۲) به‌صورت زیر اصلاح می‌شود:

$$I_D = \frac{\beta}{2}\left(\frac{C_A V_{BS} + C_B V_{2S}}{C_{eff}} - V_{TH}\right)^2 \quad (۵)$$

$$= \frac{\beta}{2}\left(\frac{C_B}{C_{eff}}\right)\left[V_{2S} + \left(\frac{C_A}{C_B}\right)V_{BS} - \frac{C_{eff}}{C_B}V_{TH}\right]^2 \quad (۶)$$

رابطه (۶) را می‌توان به صورت زیر بازنویسی کرد،

$$I_D = \frac{\beta}{2}\left(\frac{C_B}{C_{eff}}\right)\left(V_{2S} - V_{TFG}\right)^2 \quad (۷)$$

که در آن ولتاژ آستانه موثر V_{TFG} برابر است با

$$V_{TFG} = \left(\frac{C_{eff}}{C_B}\right)\left[V_{TH} - \left(\frac{C_A}{C_{eff}}\right)V_{BS}\right] \quad (۸)$$

رابطه (۸) را می‌توان به صورت زیر بازنویسی کرد:

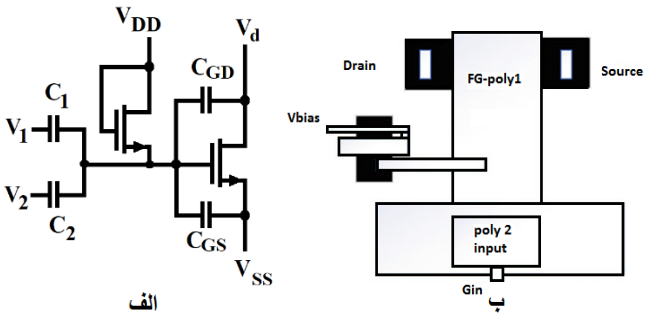
$$V_{TFG} = \frac{1}{\alpha_2}\left(V_{TH} - \alpha_1 V_{BS}\right) \quad (۹)$$

که $\alpha_1 = \frac{C_A}{C_{eff}}$ و $\alpha_2 = \frac{C_B}{C_{eff}}$ است. بنابراین با توجه به روابط (۷) و (۹)، ولتاژ آستانه ترانزیستور FG-MOS (V_{TFG}) را می‌توان با تغییر ولتاژ در گیت کنترل و نسبت‌های خازنی α_1 و α_2 کنترل کرد. با تنظیم ولتاژ ورودی، ولتاژ آستانه را می‌توان تا مقدار صفر کاهش داد. با این مزیت، FG-MOS برای مدارهای ولتاژ پایین و قابل تنظیم ترجیح داده می‌شود [۱۷].

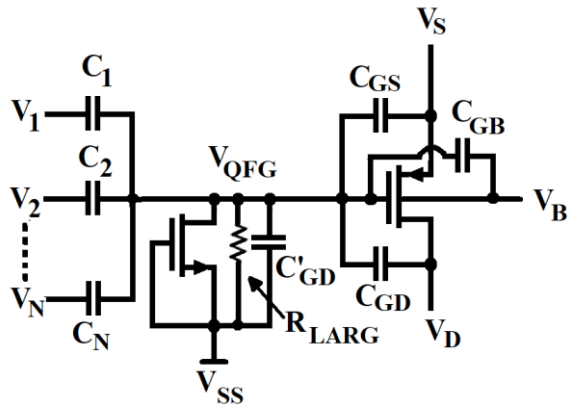
۲-۳- تکنیک گیت شبه شناور(QFG-MOS)

FG-MOS دارای معایبی مانند خازن بایاس بالا است که باعث کاهش ترارسانایی و پهنای باند افزاره و افزایش سطح سیلیکون روی تراشه می‌شود. علاوه بر این، FG-MOS دارای شارژ اولیه در گیت شناور است. تمام این ایرادات با QFG-MOS بهبود می‌یابد که به مساحت سیلیکون کمتری نیاز دارد و مشکل بارهای به دام افتاده را ندارد و مقاومت خروجی بالایی ارائه می‌دهد. در QFG-MOS گیت شناور به ولتاژ بایاس با مقاومت بالا متصل می‌شود. پیاده‌سازی مقاومت بزرگ در تراشه نیاز به مصرف ناحیه بزرگی از سیلیکن دارد. برای اجتناب از این مساله، این مقاومت بزرگ با ماسفت معمولی که در ناحیه قطع کار می کند تحقق می‌یابد. بنابراین، نقطه بایاس DC در مورد QFG-MOS شناور نیست.

اتصال به منبع تغذیه در گیت شبه شناور بر مشکل شارژ اولیه مرتبط با FG-MOS غلبه کرده و ولتاژ تغذیه را کاهش داده است [۱۸]. ترانزیستورهایی که برای بایاس استفاده می‌شوند عموما با حداقل اندازه انتخاب می‌شوند تا خازن پارازیتی موثر در گیت کاهش یابد. مزیت دیگر آن اینست که بایاس گیت شناور QFG-MOS امکان نوسان سیگنال ولتاژ تا مقادیر ولتاژ منابع تغذیه موجود در مدار را فراهم می‌کند. تغییر سطح ولتاژ DC مرتبط با حداقل و حداکثر ولتاژ که توسط منابع تغذیه فراهم می‌شود، برای تنظیم ولتاژ آستانه استفاده شده و امکان استفاده از ولتاژهای تغذیه کمتر از ولتاژ آستانه را فراهم کرده است. ماسفتی که در ناحیه قطع کار می‌کند و به گیت QFG-MOS متصل است، جایگزین خازن بزرگ مورد استفاده در مورد FG-MOS می‌شود که باعث کاهش سطح تراشه و افزایش پهنای باند شده است. بنابراین، مدارهای مبتنی بر QFG-MOS امکان عملیات با مساحت بسیار کم را فراهم می‌کنند که پهنای باند وسیعی دارد. در QFG-MOS نوع n، مقاومت بایاس با استفاده از ماسفت نوع p در ناحیه قطع بوجود می‌آید. شکل ۵-الف و ۵-ب به ترتیب QFG-MOS دو ورودی اصلی و چینش QFG-MOS را نشان می‌دهد. شکل ۶ نیز ترانزیستورQFG-MOS نوع p با N ورودی را نشان می‌دهد [۱۹].



شکل (۵): الف) QFG-MOS دو ورودی، ب) چینش QFG-MOS دو ورودی [۱۷]



شکل (۶): QFG-MOS نوع p با N ورودی [۱۹]

در شکل ۶، R_{LARG} و C'_{GD} به ترتیب مقاومت معادل و خازن پارازیتی معادل افزاره را نشان می‌دهند. مجموعه خازن‌های C_i (i =1,2,…,N) خازن‌های بین گیت‌های کنترل و گیت شناور را نشان می‌دهند. ورودی‌های سیگنال V_i (i = 1, 2,…,N)ولتاژهایی هستند که به گیت‌های کنترل اعمال می‌شوند. C_{GS} خازن گیت به سورس، C_{GB} خازن گیت به بدنه و C_{GD} خازن گیت به درین است. ترکیب مقاومت R_{LARG} و خازن C'_{GD} منجر به یک فیلتر بالاگذر (HPF) با تابع انتقال زیر می‌شود:

$$T_S = \left(\frac{SR_{LARG}C_T}{1+SR_{LARG}C_T}\right) \quad (۱۰)$$

که در آن $\sum_{i=1}^{N} C_i + C_{GD} + C_{GB} + C_{GS} + C'_{GD}C_T$. فرکانس گوشه (F_C) فیلتر HPF به صورت $F_C = \frac{1}{2\pi R_{LARG}C_T}$ است. با توجه به مقدار R_{LARG} بزرگ، فرکانس گوشه بسیار کوچک است [۱۵]. بنابراین برای سیگنال‌های ورودی با فرکانس‌های بالاتر از این فرکانس گوشه، خازن امپدانس بسیار کمتری را در مقایسه با R_{LARG} نشان می‌دهد. بنابراین ولتاژی که در گیت شناور (V_{QFG}) ظاهر می‌شود مجموع وزن خازنی ولتاژهای ورودی مختلف است که بر روی ولتاژ بایاس V_{SS} قرار می‌گیرند و داریم:

$$V_{QFG} = V\left(\frac{SR_{LARG}C_T}{1+SR_{LARG}C_T}\right) \quad (11)$$

که در آن $V = \frac{1}{C_T}\left(\sum_{i=1}^{N} C_i V_i + C_{GD}V_D + C_{GB}V_B + C_{GS}V_S\right)$ است. از آنجایی که فرکانس قطع HPF بسیار کوچک است، رابطه (۱۱) به‌صورت زیر ساده می‌شود:

$$V_{QFG} = \frac{1}{C_T}\left(\sum_{i=1}^{N} C_i V_i + C_{GD}V_D + C_{GB}V_B + C_{GS}V_S\right) \quad (12)$$

با نادیده گرفتن خازن‌های پارازیتی، رابطه (۱۲) به شکل زیر ساده می‌شود:

$$V_{QFG} = \frac{1}{C_T}\sum_{i=1}^{N} C_i V_i \quad (13)$$

از رابطه (۱۳) مشهود است که ولتاژ در گیت شبه شناور، میانگین وزنی ولتاژهای ورودی است. قابلیت برنامه‌ریزی ولتاژ آستانه نیز در مورد QFG-MOS امکان‌پذیر است. ولتاژ آستانه موثر در مورد افزاره برابر است با $V_{TH,eff} = \frac{V_{TH}-K_C V_{Bias}}{K_1}$ که در آن K_1 و K_C نسبت تزویج خازنی هستند. نسبت $K_C = \frac{C'_{GD}}{C_T}$ به C'_{GD} بستگی دارد و مقدار V_{Bias} مربوط به منبع ولتاژی است که گیت شبه شناور به آن متصل است [۱۹].

۲-۴- ساختارکسکود با تکنیک گیت شبه شناور

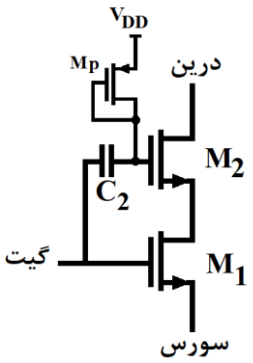
در ساختار کسکود خودبایاس شکل ۱، M_1 در حالت خطی عمل می‌کند و M_2 در حالت اشباع است. همان‌طور که مشخص است، ترارسانایی حداکثر به دست آمده زمانی است که M_1 نیز در حالت اشباع عمل کند، که می‌تواند در طراحی مدارهای با بهره بالا استفاده شود. اگر $V_{TH_2} < V_{TH_1}$ باشد، امکان افزایش ولتاژ درین-سورس M_1 وجود خواهد داشت. شرط لازم برای اینکه هر دو ماسفت کسکود در ناحیه اشباع باشند عبارت است از:

$$V_{DS_2(sat)} \geq V_{TH_1} - V_{TH_2} \quad (14)$$

برای ارضای شرط (۱۴) در ساختار کسکود، مطابق شکل ۷، از ماسفت QFG استفاده می‌شود. در این حالت ماسفت M_2 به ماسفت QFG تبدیل می‌شود و ولتاژ آستانه موثر M_2 به‌صورت زیر بدست می‌آید:

$$V_{TH_2,eff} = \frac{C_{T,QFG}}{C_2}V_{TH_2} - \frac{C'_{GD,MP}}{C_2}V_{DD} \quad (15)$$

که در آن $C_{T.QFG}$، خازن کل مشاهده شده در گره QFG مربوط به M_2 و $C'_{GD.MP}$، خازن پارازیتی M_P است. خازن C_2 و ماسفت M_P برای تحقق M_2 در حالت QFG استفاده می‌شود. با این روش ولتاژ آستانه موثر M_2 کاهش می‌یابد، که امکان ارضای شرط (۱۴) را افزایش می‌دهد و ماسفت M_1 وارد حالت اشباع می‌شود. بنابراین هر دو ماسفت کسکود خودبایاس در حالت اشباع قرار می‌گیرند و در نتیجه ترارسانایی موثر افزایش می‌یابد [۱۷].



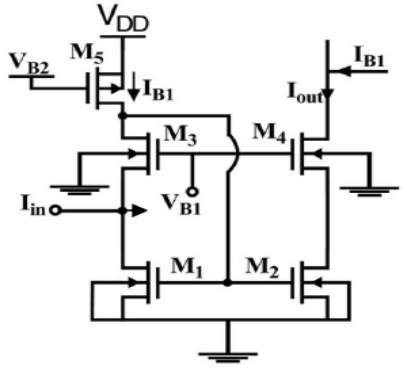
شکل (۷): ساختار کسکود با ماسفت QFG [۲۰]

۳- آینه جریان پیشنهادی

در این بخش با استفاده از آینه جریان با ساختار دنبال‌کننده ولتاژ برگشتی (FVF)[11] که در ادامه بررسی می‌شود، یک آینه جریان با تحریک از پایه گیت[12] با استفاده از ماسفت‌های با گیت شبه شناور (GD-QFG-MOS)[13] که یک توپولوژی جدید می‌باشد، معرفی می‌شود. توپولوژی ماسفت گیت محور با گیت شبه شناور به ما کمک می‌کند که بتوانیم مداری طراحی کنیم که با ولتاژ تغذیه کمتری (زیر ولتاژ آستانه ماسفت‌ها) کار کند و در نتیجه توان مصرفی مدار کاهش خواهد یافت.

۳-۱- آینه جریان FVF

مدار آینه جریان FVF در شکل ۸ نشان داده شده است. آینه جریان FVF ولتاژ پایین، مقاومت ورودی بسیار پایین و مقاومت خروجی بالایی دارد. این ساختار به دلیل فیدبک منفی تشکیل شده توسط ترانزیستور M_3 و ترانزیستور M_5 و منبع جریان I_{B1}، امپدانس ورودی کمی دارد. جریان درین در ترانزیستور M_3 به دلیل منبع جریان I_{B1} ثابت است. بنابراین تغییرات جریان ورودی توسط ترانزیستور M_1 جذب می‌شود و متعاقبا تغییرات مناسبی در ولتاژ گیت سورس ایجاد می‌کند که آن را در جریان خروجی(I_{out}) منعکس می‌کند [۸].



شکل (۸): مدار آینه جریان FVF [۸]

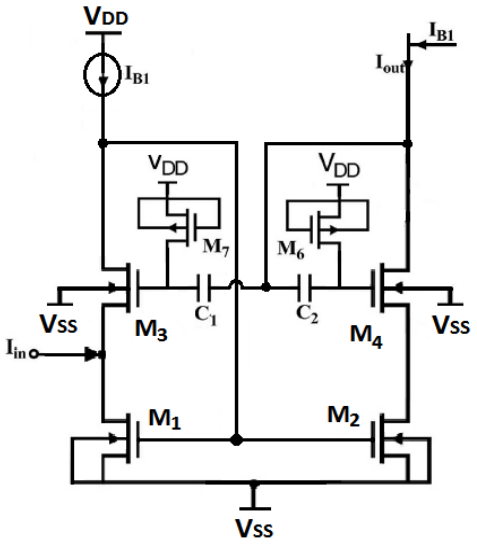
۳-۲- آینه جریان پیشنهادی با تکنیک GD-QFG

با وجود ویژگی‌های خوب آینه جریان FVF، توان بالای مصرفی و ولتاژ تغذیه بالا دو چالش مهم آن است. در این مقاله، با اعمال تغییراتی در ساختار مدار FVF، یک ساختار اصلاح شده که از ساختار کسکود و تکنیک ماسفت با گیت شبه شناور مبتنی بر تحریک گیت (GD-QFG-MOS) بهره برده است، طراحی شده است. ساختار GD-QFG پیشنهادی منجر به عملکرد همه ماسفت‌ها در ناحیه اشباع می‌شود و در نتیجه منجر به بهبود عملکرد نسبت به ساختار کسکود متداول می‌شود.

مدار آینه جریان کسکود پیشنهادی در شکل ۹ نشان داده شده است، که شامل دو ماسفت QFG می‌باشد. سیگنال ورودی I_{in} توسط درین ترانزیستور M_1 جذب می‌شود. گیت‌هایM_3 و M_4 به خازن C_1 و C_2 و یک مقاومت با مقدار بالا که با ترانزیستورهای کانال p M_6 و M_7 ساخته شده و در ناحیه قطع کار می‌کند، متصل هستند. خازن‌های C_1 و C_2 به همراه ترانزیستورهای M_6 و M_7، ماسفت‌های M_3 و M_4 را به ماسفت QFG تبدیل می‌کند. ترانزیستور M_1 و M_2 در حالت معمولی نگه داشته می‌شوند. ترانزیستورهای GD-QFG دارای ترارسانایی نزدیک به ترارسانایی ماسفت متعارف هستند. مقاومت خروجی آینه جریان شکل ۹ برابر است با:

$$R_{out}=\frac{V_{out}}{I_{out}}=\left(gmb_4+gm_4\right)ro_4ro_2+ro_2+ro_4$$

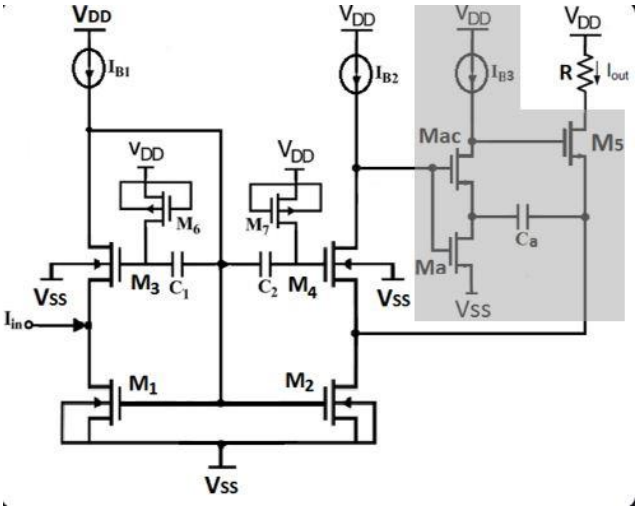
$$\Rightarrow R_{out}\cong gm_4ro_4ro_2+ro_2+ro_4 \qquad (۱۶)$$



شکل (۹): مدار آینه جریان پیشنهادی GD-QFG

۳-۳- آینه جریان پیشنهادی GD-QFG اصلاح شده

آینه جریان پیشنهادی شکل ۹ دارای مقاومت ورودی کم و پهنای باند وسیعی است، اما مقاومت خروجی پایینی دارد. به همین دلیل، با استفاده از تکنیک افزاینده بهره[۱۴]، آینه جریان پیشنهادی را اصلاح می‌کنیم. به این منظور با استفاده از دو طبقه افزاینده بهره که از سه ماسفت کانال n با نام‌های M_{ac} و M_a و M_5 تشکیل شده است، مقاومت خروجی را ارتقا می‌دهیم. شماتیک این آینه جریان در شکل ۱۰ نشان داده شده است.



شکل (۱۰): آینه جریان پیشنهادی GD-QFG اصلاح شده با تکنیک افزاینده بهره و خازن C_a

ترانزیستور خروجی M_5 توسط درین M_{ac} از طریق تقویت‌کننده کسکود که توسط I_{B2} و M_{ac} و M_a حاصل شده است، هدایت می‌شود. استفاده از افزاینده بهره باعث افزایش بیشتر امپدانس خروجی شده است؛ اما تقویت کننده افزاینده بهره یک اثر خازنی میلر[۱۵] ایجاد می‌کند که پهنای باند را محدود کرده است. برای لغو چنین اثری از یک خازن C_a متصل به گره میانی طبقه کسکود افزاینده بهره (بین سورس M_{ac} و درین M_a) و سورس ماسفت M_5 استفاده شده است که در شکل ۱۰ مشاهده می‌شود. افزودن این خازن پهنای باند را به طور چشمگیری بهبود می‌دهد.

لازم به توجه است که ما برای افزایش پهنای باند از خازن C_a به هزینه افت بهره، استفاده کردیم. اما برای افزایش بیشتر عرض باند ناچاریم یا از طبقه افزاینده بهره صرف نظر کنیم که این کار باعث کاهش قابل توجه مقاومت خروجی می‌شود و ثبات آینه جریان را به خطر می‌اندازد، یا با طراحی یک طبقه افزاینده بهره دیگر و افزایش بیشتر مصرف توان، پهنای باند را افزایش دهیم.

با وجود ماسفت‌های QFG و قرار دادن اندازه آنها در مقادیر کوچک، ماسفت‌های M_1 و M_2 را می‌توان در ناحیه فعال کنترل نمود که باعث می‌شود هسته اصلی در حالت خطینگی مناسبی کار کند و همچنین با تنظیم اندازه ماسفت‌های طبقه افزاینده بهره، از غیر خطینگی بیشتر این طبقه جلوگیری می‌شود.

۴- تجزیه و تحلیل سیگنال کوچک

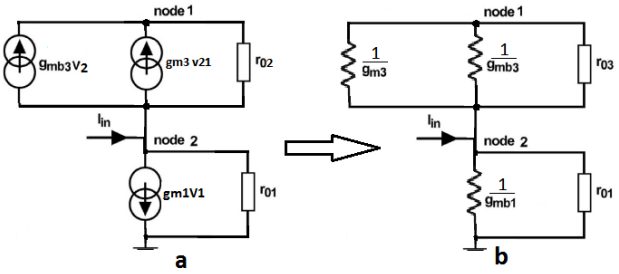
برای تحلیل سیگنال کوچک مدار معادل سیگنال کوچک آینه جریان پیشنهاد شده با توجه به بایاس ترانزیستورها و تبدیلات صورت گرفته، به دست آمده است. در این پژوهش همه ترانزیستورهای مورد استفاده در ناحیه اشباع هستند؛ به جز M_6 و M_7 که در ناحیه قطع کار می‌کنند.

۴-۱- مقاومت ورودی

مدل سیگنال کوچک برای محاسبه مقاومت ورودی مدار پیشنهادی در شکل ۱۱-الف نشان داده شده است، و مقاومت ورودی آن از رابطه زیر بدست می‌آید:

$$R_{in}=\frac{V_{in}}{I_{in}} \qquad (۱۷)$$

با توجه به مدار معادل AC و مقدار ولتاژی که دو سر منابع جریان وابسته قرار گرفته و اتصال دیودی بودن ماسفت M_3 مدار معادل AC نهایی از دید ورودی به شکل ۱۱-ب در آمده است.



شکل (۱۱): الف- مدار معادل سیگنال کوچک برای مقاومت ورودی، ب) مدار معادل نهایی برای مقاومت ورودی

بنابراین داریم:

$$R_{in}=\frac{V_{in}}{I_{in}}=\frac{\left(I_{in}-gm_1V_1\right)ro_1}{I_{in}} \qquad (۱۸)$$

در گره ۱ داریم:

$$V_1=gmb_3V_2\frac{1}{gm_3}+V_2\Rightarrow V_1=V_2\left(1+\frac{gmb_3}{gm_3}\right) \qquad (۱۹)$$

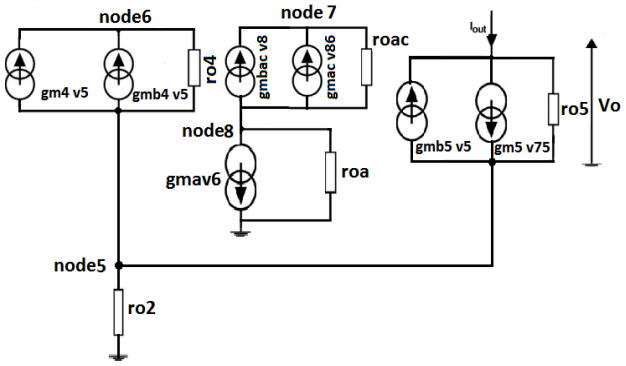
به دلیل اندک بودن مقدار $\frac{gmb_3}{gm_3}$ از آن صرف نظر می‌کنیم؛ در نتیجه ولتاژ در گره‌های ۱ و ۲ برابر می‌شود. در نهایت با توجه به برابری ولتاژ ورودی با ولتاژ گره ۱ و ۲ مقاومت ورودی به صورت زیر ساده می‌شود:

$$R_{in}=\frac{V_{in}}{I_{in}}\cong\frac{1}{gm_1} \qquad (۲۰)$$

در نتیجه می‌توان با کنترل مقدار ترارسانایی در ماسفت M_1 مقاومت ورودی را تنظیم کرد.

۴-۲- مقاومت خروجی

مدل سیگنال کوچک برای محاسبه مقاومت خروجی آینه جریان پیشنهادی QFG-MOS در شکل ۱۲ نشان داده شده است.



شکل (۱۲): مدار معادل سیگنال کوچک برای مقاومت خروجی

برای ولتاژ خروجی داریم:

(۲۱)

$$V_{out}=\left(I_{out}-gm_5V_{75}+gmb_5V_5\right)ro_5+V_5$$

که V_{75} اختلاف ولتاژ بین گره‌های ۷ و ۵ است. همچنین در گره‌های ۵ تا ۸ به ترتیب داریم:

$$V_5=I_{out}ro_2 \qquad (۲۲)$$

$$V_6=\left(gmb_4+gm_4\right)ro_4V_5+V_5 \qquad (۲۳)$$

$$V_7=\left(gm_{ac}ro_{ac}\right)V_{86}+\left(gmb_{ac}ro_{ac}\right)V_8+V_8$$

(۲۴)

$$V_8=-\left(gm_aro_a\right)V_6 \qquad (۲۵)$$

که V_{86} اختلاف ولتاژ بین گره‌های ۸ و ۶ بوده و gm_{ac} و gmb_{ac} به ترتیب ترارسانایی و اثر بدنه ماسفت M_{ac} است. همچنین gm_a ترارسانایی ماسفت M_a است. از روابط (۲۲) تا (۲۵) داریم:

$$V_7\cong\left(gm_{ac}ro_{ac}gm_aro_a\right)\left(gm_4ro_4\right)ro_2I_{out}$$

(۲۶)

و در نهایت از روابط (۲۱) و (۲۲) و (۲۶) داریم:

$$V_{out}\cong\left(gm_{ac}ro_{ac}gm_aro_agm_4ro_4gm_5ro_5\right)ro_2I_{out}$$

(۲۷)

در نتیجه مقدار مقاومت خروجی به‌صورت زیر بدست می‌آید:

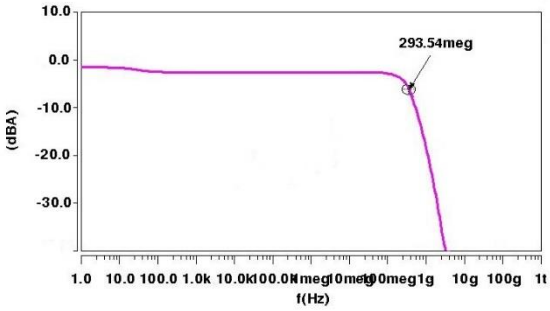
$$Rout = \frac{V_{out}}{I_{out}} \cong \left(gm_{ac} ro_{ac} gm_a ro_a gm_4 ro_4 gm_5 ro_5 \right) ro_2 \quad (۲۸)$$

بنابراین مقاومت خروجی با افزودن طبقه افزاینده بهره، با ضریب $gm_{ac} ro_{ac} gm_a ro_a gm_5 ro_5$ افزایش می‌یابد.

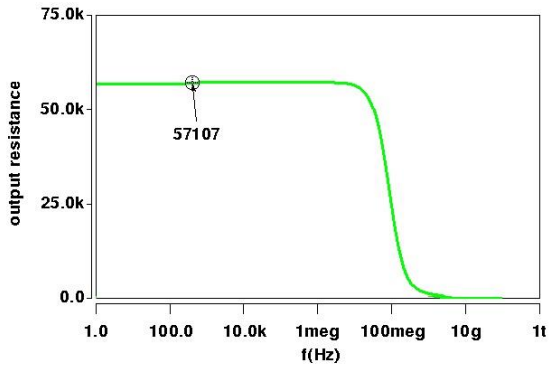
۵- شبیه‌سازی

در این بخش نتایج شبیه‌سازی شده با نرم افزار Hspice و فناوری ۱۸۰ نانومتر TSMC تشریح می‌شود. ابعاد ترانزیستورها و سایر پارامترهای آینه جریان پیشنهاد شده در جدول شماره ۱ آمده است. ولتاژ تغذیه ۰/۳± ولت متقارن در نظرگرفته شد. لازم به ذکر است که مدل استفاده شده برای ماسفت‌های QFG در کتابخانه ۱۸۰ نانومتر TSMC وجود ندارد و از مدار معادل برای شبیه‌سازی استفاده شده است.

در ابتدا مشخصات آینه جریان پیشنهادی با تکنیک QFG ارائه شده در شکل ۹ بررسی می‌شود. نمودار بهره و پاسخ فرکانسی آینه جریان شکل ۹ در شکل ۱۳ آورده شده است و مشاهده می‌شود که پهنای باند آن ۲۹۳ مگاهرتز بدست می‌آید. همچنین نمودار مقاومت خروجی آن در شکل ۱۴ نشان داده شده است و مقدار آن برابر حدود ۵۸ کیلواهم است. مقاومت ورودی آن نیز در باند عبور، ۴۸ اهم می‌باشد.



شکل (۱۳): نمودار پاسخ فرکانسی آینه جریان با ماسفت QFG

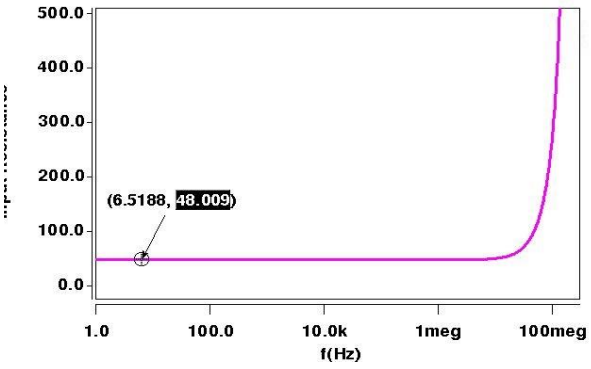


شکل (۱۴): نمودار مقاومت خروجی آینه جریان با ماسفت QFG

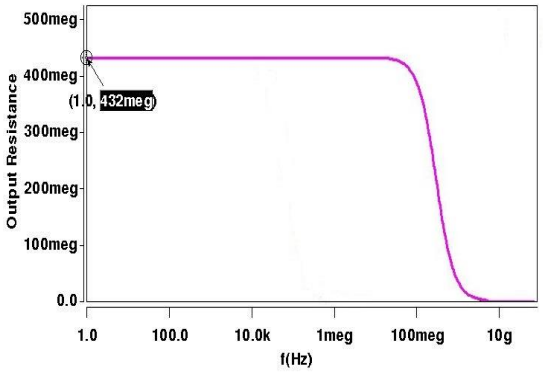
در ادامه مشخصات آینه جریان پیشنهادی QFG اصلاح شده در شکل ۱۰ بررسی می‌شود. شکل‌های ۱۵ و ۱۶ به ترتیب مقاومت‌های ورودی و خروجی آینه جریان را بر حسب فرکانس نشان می‌دهد. از شکل مشاهده می‌شود که مقدار مقاومت ورودی و خروجی آینه جریان پیشنهاد شده در حالت DC به ترتیب ۴۸ Ω و ۴۳۲ MΩ به دست آمده است. شکل۱۷نمودار پاسخ فرکانسی مدار آینه جریان پیشنهادی را نشان می‌دهد. مطابق شکل، بهره آینه جریان پیشنهادی برابر ۰/۵ دسی‌بل و پهنای باند 3dB- آن برابر با ۲۴۴/۲ مگاهرتز است، که فرکانس قطع بالای آن هم به حساب می‌آید. همچنین توان مصرفی آینه جریان پیشنهادی بسیار کم و برابر ۱۴/۰۳ µw است.

جدول (۱): ابعاد ترانزیستورها و سایر مشخصات آینه جریان پیشنهادی

ترانزیستور	نوع	ابعاد W/L(µm)	ترانزیستور	نوع	ابعاد W/ L(µm)
M1	N	۱۳/۰/۵۴	M6	P	۰/۵۴/۰/۵۴
M2	N	۱۳/۰/۵۴	M7	P	۰/۵۴/۰/۵۴
M3	N	۲/۲/۰/۵۴	Mac	N	۱/۳۶/۰/۵۴
M4	N	۱/۳۶/۰/۵۴	Ma	N	۰/۵۴/۰/۵۴
M5	N	۱/۰/۵۴	VDD=0.3 VSS=-0.3	IB1=9 µA, IB2= IB3=6 µA	
Ca=100fF			C1=C2 =100fF		



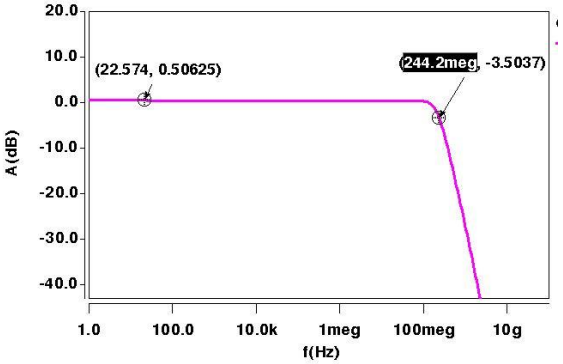
شکل(۱۵): نمودار مقاومت ورودی آینه جریان پیشنهادی



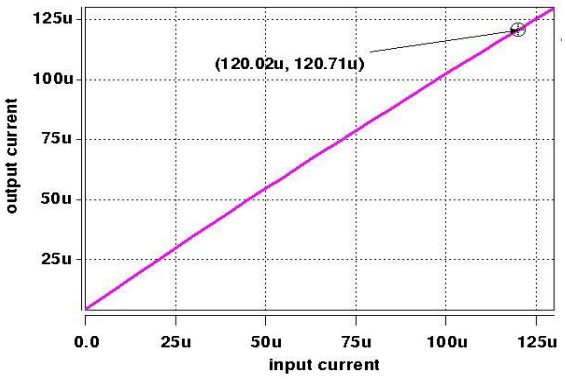
شکل(۱۶): نمودار مقاومت خروجی آینه جریان پیشنهادی

نمودار جریان خروجی بر حسب جریان ورودی در بازه صفر تا ۱۲۵ میکرو آمپر در شکل ۱۸ آمده است. با مشاهده این نمودار ملاحظه می‌شود که آینه جریان از دقت نسبتا خوب و مقدار خطای کمی با توجه به رابطه ۲۹ در حدود ۰/۵۷ درصد در جریان ۱۲۰ میکروآمپر برخوردار است. مقدار خطا از رابطه زیر حاصل می‌شود:

$$e = \frac{I_{in} - I_{out}}{I_{in}} \times 100 \qquad (۲۹)$$

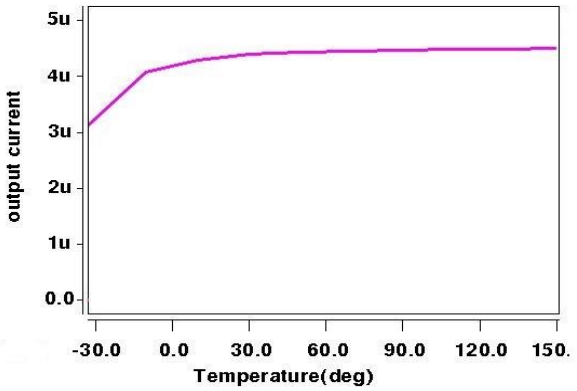


شکل(۱۷): نمودار پاسخ فرکانسی آینه جریان پیشنهادی

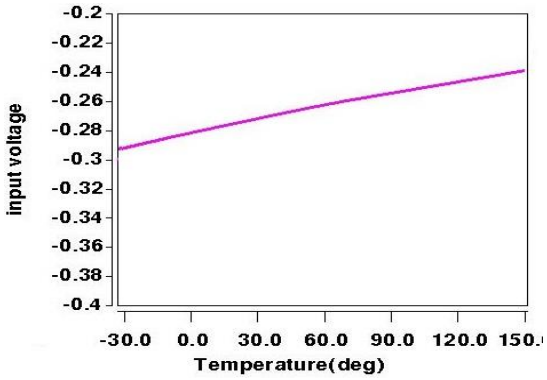


شکل (۱۸): نمودار جریان خروجی بر حسب جریان ورودی آینه جریان پیشنهادی

در شکل‌های ۱۹ و ۲۰ به ترتیب، نمودار جریان خروجی و ولتاژ ورودی بر حسب تغییرات دما در بازه ۳۰- درجه تا ۱۵۰+ درجه نشان داده شده است. مطابق نمودار شکل ۱۹، وابستگی جریان خروجی به دما برای دماهای بالاتر از صفر درجه بسیار ناچیز بوده و حدود ۰/۲٪ در هر درجه سانتی‌گراد می‌باشد که پایداری جریان خروجی را در دماهای مختلف نشان می‌دهد. همچنین مطابق شکل ۲۰، تغییرات ولتاژ ورودی بر حسب دما برابر ۰/۳ میلی ولت در هر درجه سانتی‌گراد است. بهره آینه جریان پیشنهادی در این بازه دمایی تقریبا ثابت و برابر ۰/۵ دسی‌بل است، که بیانگر حساسیت کم آینه جریان به تغییرات دما می‌باشد.



شکل (۱۹): نمودار جریان خروجی آینه جریان پیشنهادی در دماهای مختلف



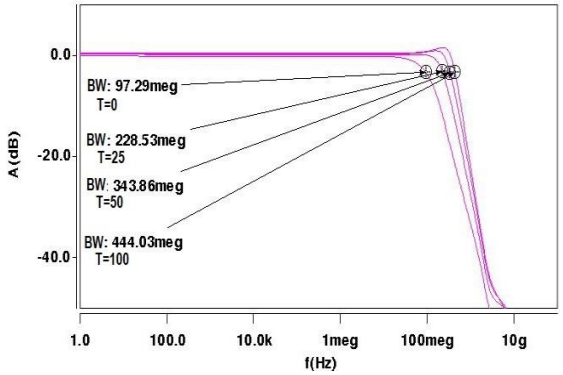
شکل (۲۰): نمودار ولتاژ ورودی آینه جریان پیشنهادی در دماهای مختلف

در شکل ۲۱ نمودار پاسخ فرکانسی آینه جریان پیشنهادی در دماهای ۰ و ۲۵ و ۵۰ و ۱۰۰ درجه سانتی‌گراد نشان داده شده است. مشاهده می‌شود با افزایش دما بهره تقریبا ثابت است، اما پهنای باند کاهش می‌یابد. در شکل ۲۲ نمودار مونت کارلو پاسخ فرکانسی با ۵۰ اجرا با ۵ درصد تغییرات در اندازه ترانزیستورها نشان داده شده است. نتایج نشان می‌دهد که تغییرات فرایند می‌تواند منجر به کاهش پهنای باند آینه جریان تا حدود ۹۵ MHz شود.

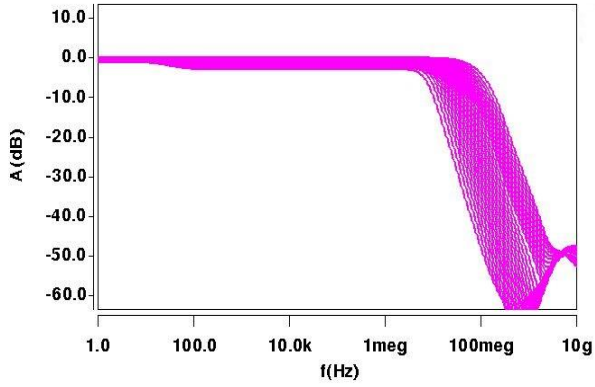
شکل‌های ۲۳ تا ۲۵ به ترتیب، نمودار پاسخ فرکانسی، مقاومت ورودی و مقاومت خروجی را با ۵ درصد تغییر در منابع تغذیه نشان می‌دهند. در این شکلها، نمودار سبز رنگ مربوط به کاهش و نمودار بنفش مربوط به افزایش مقدار منابع است. مطابق شکل ۲۳، تغییر منابع، روی بهره اثر ناچیزی دارد، اما پهنای باند را به مقدار قابل

توجهی تغییر می‌دهد. مقدار مقاومت ورودی در باند عبور، با افزایش مقدار منابع اندکی افت می‌کند. همچنین مقدار مقاومت خروجی با کاهش مقدار منابع اندکی کاهش می‌یابد که در نمودار شکل ۲۵ نشان داده شده است.

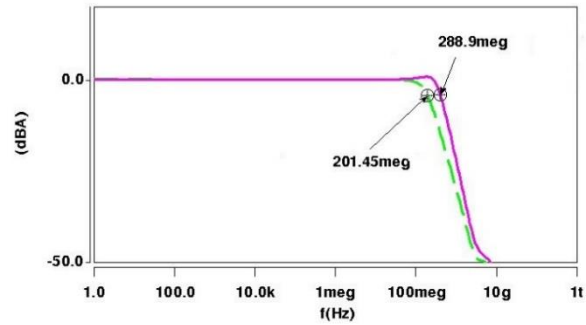
در شکل ۲۶ نمودار جریان خروجی بر حسب جریان ورودی با ۵ درصد کاهش و افزایش در منابع تغذیه نشان داده شده است. مطابق نمودار، بهره آینه با افزایش مقدار منبع تغذیه تغییری نداشته است، اما با کاهش مقدار منبع، بهره آینه اندکی افت کرده است که نشان می‌دهد قدری از خطینگی نمودار کاهش یافته است و این امر منجر می‌شود جریان خروجی، خطینگی خود را با جریان ورودی از دست بدهد.



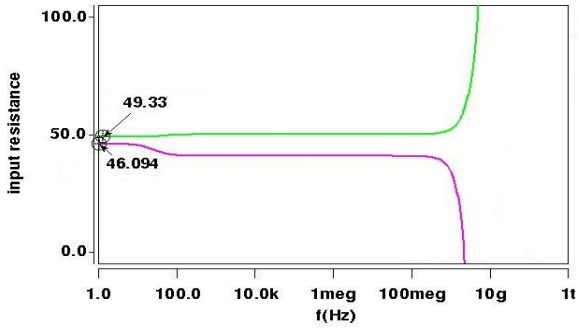
شکل (۲۱): نمودار پاسخ فرکانسی آینه جریان پیشنهادی در دماهای مختلف



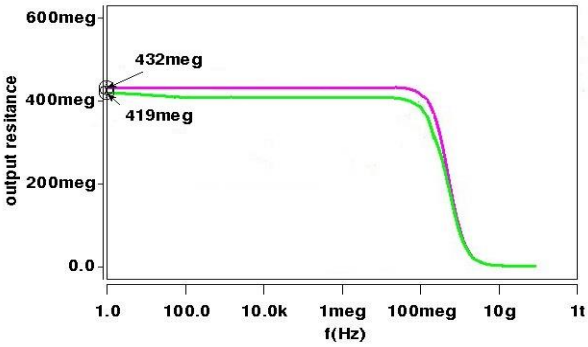
شکل (۲۲): نمودار مونت کارلو پاسخ فرکانسی آینه جریان پیشنهادی با ۵۰ اجرا برای ۵ درصد تغییرات در اندازه ترانزیستورها



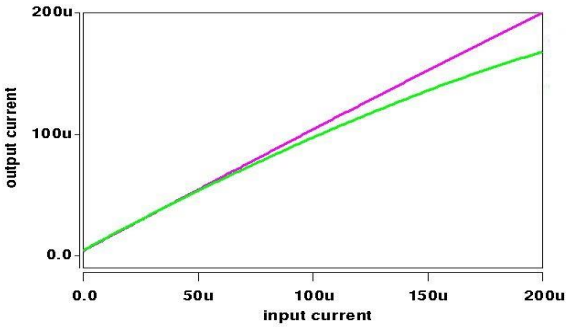
شکل(۲۳): نمودار پاسخ فرکانسی آینه جریان پیشنهادی با ۵٪ تغییر در مقدار منابع



شکل(۲۴): نمودار مقاومت ورودی آینه جریان پیشنهادی با ۵٪ تغییر در مقدار منابع تغذیه

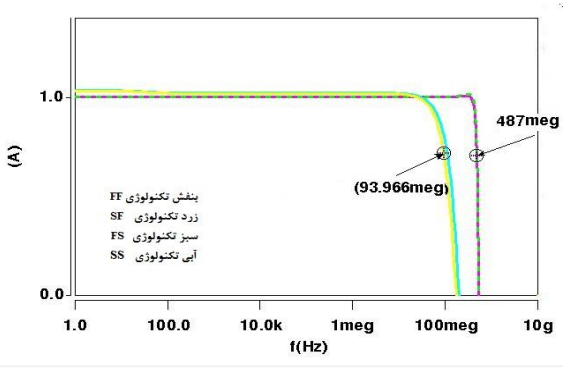


شکل (۲۵): نمودار مقاومت خروجی آینه جریان پیشنهادی با ۵٪ تغییر در مقدار منابع تغذیه



شکل (۲۶): نمودار جریان خروجی بر حسب جریان ورودی آینه جریان پیشنهادی با ۵٪ تغییر در مقدار منابع تغذیه

شکل ۲۷ نمودار پاسخ فرکانسی آینه جریان پیشنهادی را برای گوشه-های مختلف فرایند نشان می‌دهد. مشاهده می‌شود که برای حالتهای FF و FS، آینه جریان پیشنهادی عملکرد بهتری دارد. در حالتهای SS و SF به ازای افزایش اندکی در بهره، پهنای باند افت کرده است.



شکل(۲۷): نمودار گوشه‌های فرایند در آینه جریان پیشنهادی

۵-۱- مقایسه

آینه جریان پیشنهادی با ساختار کسکود و ماسفت با گیت شبه شناور مبتنی بر تحریک گیت (GD-QFG-MOS) تحت ولتاژ تغذیه متقارن ۳/۰± ولت با دیگر کارها در جدول ۲ مقایسه شده است. مشاهده می‌شود که آینه جریان پیشنهادی در بین تمام کارهای آورده شده در جدول ۲ دارای کمترین توان مصرفی و ولتاژ تغذیه پایینی است. از مهمترین نقاط قوت این آینه جریان پهنای باند بسیار مناسب در حدود ۲۴۴/۲ مگاهرتز و توان مصرفی ۱۴/۰۳ µw است.

جدول(۲): مقایسه آینه جریان پیشنهادی با چند پژوهش دیگر

مرجع و سال	توان (µw)	ولتاژ تغذیه(V)	پهنای باند (Hz)	امپدانس خروجی Ω	امپدانس ورودی Ω	سطح فناوری(nm)	تکنیک
[8] 2020	۷۹/۳۳	۰/۸	۲/۷ G	۹/۵G	۱۳۰	۱۸۰	BD-QFG
[21] 2020	۴۲/۵	۱	۲۱۱ M	۱۲۱/۳ G	۱۰	۱۸۰	Feedback +&-
[22] 2016	۱۶۵	۰/۲	۲۲۵ M	۲۲۰ M	۴۰۵	۱۸۰	BD-FG
	۱۶۵	۰/۲	۴۱۵ M	۲۱۲ M	۳۰۰	۱۸۰	BD-QFG
[23] 2019	۱۵	۱	۴۳۱ M	۴۳/۲ G	۴/۵۵	۱۸۰	BD
[24] 2018	۲۲/۸	۱	۲۴۰ M	۱۳۰ K	۴۲/۴۷	۱۸۰	DT-MOS
[25] 2019	۲۶/۳	۰/۴	...	۱/۶۶ M	...	۱۸۰	FG
	۳۹/۴۳	۰/۴	...	۳/۳۳ M	...	۱۸۰	MOS
[17] 2021	...	±۰/۵	۱/۹۳ G	۲/۷۷ M	۳۴۹۰	۱۸۰	QFG
[26] 2017	۱۵۴	±۰/۹	۱۸۱ M	۱ M	۴۹۶	۱۸۰	RBCM
[27] 2019	....	۱/۸	....	۱ M	....	۱۸۰	Cascade
[20] 2021	۱۹/۴۳	۰/۷۵	۷۴۸ M	۲۵۰ G	۴۳/۷	۹۰	P-MOS
این کار	**۱۴**	**±۰/۳**	**۲۴۴ M**	**۴۳۲ M**	**۴۸**	**۱۸۰**	**GD-QFG**

۶- نتیجه‌گیری

در این پژوهش یک آینه جریان ولتاژ پایین توان پایین با استفاده از تکنیک QFG-MOS طراحی شده است. آینه جریان پیشنهاد شده از تکنیک ماسفت با گیت شبه شناور مبتنی بر تحریک گیت استفاده می‌کند که باعث می‌شود تمامی ترانزیستورها در ناحیه اشباع و با ولتاژ تغذیه کمتری کار کنند. ولتاژ تغذیه آینه جریان پیشنهاد شده ۰/۳± ولت است که باعث شده است توان مصرفی آن کاهش یابد و به مقدار ۱۴/۰۳ میکرو وات برسد. همچنین آینه جریان پیشنهاد شده دارای مقاومت ورودی و خروجی به ترتیب ۴۸ Ω و ۴۳۲ MΩ است. پهنای باند آینه جریان برابر با ۲۴۴/۲ MHz است. شبیه‌سازی‌ها با نرم‌افزار SPICE و فناوری ۱۸۰ نانومتر TSMC انجام شده است.

مراجع

[1] Wang, Y.A.O., Yao, M., Guo, B., "A low-power high-speed dynamic comparator with a trans conductance-enhanced latching stage", IEEE Access, Vol. 7, pp. 93396-93403, 2019.

[2] Bahramali, A., Lopez-Vallejo, M., "A low power RFID based energy harvesting temperature resilient CMOS-only reference voltage", Integrate. VLSI J. Vol. 67, pp. 155–161, 2019.

[3] Rastegar, H., Zare, S., Ryu, J., "A low-voltage low-power capacitive-feedback voltage controlled oscillator", Integrate. VLSI J. Vol. 60, pp. 257–262, 2018.

[4] Salehi, N., Bekrani, M., Zayyani, H., Taskhiri, M. M., "A Fully Differential Ultra Wideband Common-Gate Low Noise Amplifier", Electronics Industries, Vol. 10, No. 3, pp. 43-58, 2019.

[5] Bekrani, M., Hamiyati-Vaghef, V., "An Improved Ultrasonic Imaging Method for Weld Inspection", Journal of Iranian Association of Electrical and Electronics Engineers, Vol. 17, No. 1, pp. 45-59, 2020.

[6] Amraee, M., Farshidi, E., Kosarian, A., "Design of Power-Efficient Adiabatic Charging Circuit in 0.18µm CMOS Technology", Journal of Iranian Association of Electrical and Electronics Engineers, Vol. 20, No. 1, pp. 119-127, 2023.

[7] Ashok, D., Vidhate, S., "Low Power High Performance Current Mirror – A Review", Journal of Physics: Conference Series 1804, 2021.

[8] Bchir, M., Aloui, I., Hassen, N., "A bulk-driven quasi-floating gate FVF current mirror for low voltage, low power applications", Integrat. VLSI J., Vol. 74, pp. 45–54, 2020.

[9] Chang, M., Wu, C., Kuo, C., Shen, S., "A low-voltage bulk- drain-driven read scheme forsub-0.5 V 4 Mb 65 nm logic-process compatible embedded resistive RAM (ReRAM) macro", IEEE J. Solid State Circ., Vol. 48, pp. 2250–2259, 2013.

[10] Ziegler, M., Günther, R., Kohlstedt, H., "Complementary floating gate transistors with memristive operation mode", IEEE Electron. Device Lett., Vol. 37, pp. 186–189, 2016.

[11] Sharma, S., Rajput, S. S., Mangotra, L. K., Jamuar, S. S., "FGMOS current mirror: behavior and bandwidth enhancement", Analog Integrate. Circuits Signal Process., Vol. 46, pp. 281–286, 2006.

[12] Angulo, J., Martín, A., Carvajal, R., Chavero, F., "Very low-voltage analog signal processing based on quasi-floating gate transistors", IEEE J. Solid State Circ., Vol. 39, pp. 434–442, 2004.

[13] Khateb, F., "Bulk-driven floating-gate and bulk-driven quasi-floating-gate techniques for low-voltage low-power

analog circuits design", AEU. Int. J. Electron. Commun., Vol. 68, pp. 64–72, 2014.
[14] Khateb, F., Khatib, N., "Connection of FG MOS and QFG MOS transistors for analogous integrated circuits". National patent application, Industrial Property Office in the Czech Republic, registration number: 303698, 2013.
[15] Khateb, F., "The experimental results of the bulk-driven quasi-floating-gate MOS transistor", Int. J. Electron. Commun., Vol. 69, pp. 462–466, 2015.
[۱۶] امین زاده حامد، مدارهای مجتمع خطی CMOS از طراحی تا پیاده‌سازی، مشهد، انتشارات خط اول، ۱۳۹۷.
[17] Kumar, A. P., Tamil, S., Raj, N., "Design of Low Voltage Quasi Floating Self Cascode Current Mirror", U. Porto Journal of Engineering, Vol. 7, No. 4, pp. 33-45, 2021.
[18] Gupta, R., Sharma, S., "Quasi-floating gate MOSFET based low voltage current mirror", Microelectronics Journal, Vol. 43, No. 7, pp. 439–443, 2012.
[19] Ren, L., Zhu, Z., Yang, Y., "Design of ultra-low voltage op amp based on quasi-floating gate transistors". In Proc. 7th IEEE international conference on solid-state and integrated circuits technology, Beijing, China, pp. 1465–1468, 2004.
[20] Jamb, M., "Ultra low power current mirror design with enhanced bandwidth", Microelectronics Journal, Vol. 113, 105063, 2021.
[21] Monfaredi, K. H., Faraji-Baghtash, H., "An Extremely Low-Voltage and High- Compliance Current Mirror", Circuits, Systems, and Signal Processing, Vol. 39, pp. 30–53, 2020.
[22] Raj, N., Singh, A. K., Kumar Gupta, A., "Low voltage high performance bulk driven quasi-floating gate based self-biased cascade current mirror" Microelectronics Journal, Vol. 52, pp. 124–133, 2016.
[23] Mishra, A., Gupta, M., "QFGMOS Based Current Mirror with High Bandwidth and Low Input Impedance", International Conference on Computing, Power and Communication Technologies (GUCON), pp. 161-164, 2019.
[24] Chaudhary, A., "A Low Power DTMOS Based Modified Current Mirror for Improved Bandwidth Using Resistive Compensation Technique", 9th International Conference on Computing, Communication and Networking Technologies (ICCCNT), pp. 1-5, 2018.
[25] Mishra, M., Bhat, M. V., Pai, P. K., Kamath, D. V., "Implementation of Low Voltage Floating Gate MOSFET based Current Mirror Circuits using 180nm technology", Third International Conference on Inventive Systems and Control (ICISC), pp. 268-272, 2019.
[26] Safari, L., Minaei, S. H., "A Low-Voltage Low-Power Resistor-Based Current Mirror and Its Applications", Journal of Circuits, Systems, and Computers, Vol. 26, No. 11, 1750180, 2017.
[27] Chunfeng, B., Xingyue, S., Donghai, Q., Heming, Z., "A Compact Low Voltage CMOS Current Mirror with High Output Resistance", International Conference on IC Design and Technology (ICICDT), pp. 1-3, 2019.

[1] Self-biased Cascode
[2] Dynamic Threshold MOSFET
[3] Sub-threshold
[4] Shift-level
[5] Bulk-Driven
[6] Floating-Gate
[7] Quasi Floating-Gate
[8] Bulk-Driven Floating-Gate
[9] Bulk-Driven Quasi Floating-Gate
[10] Lay-out
[11] Flipped Voltage Follower
[12] Gate-Driven
[13] Gate-Driven QFG-MOS
[14] Gain Boosting
[15] miller capacitance