Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 3, 2025
DOI: 10.61882/jiaeee.22.3.56

Design and Implementation of a New Switched Capacitor 17-Level Inverter with Reduced Devices and Limited Charge Current

Majid Hosseinpour [1], Masumeh Derakhshandeh[2], Mahdi Shahparasti [3]

[1] Associate Professor, Department of Electrical Engineering, Faculty of Engineering, University of Mohaghegh Ardabili, Ardabil, Iran
hoseinpour.majid@uma.ac.ir
[2] M.Sc, Department of Electrical Engineering, Faculty of Engineering, University of Mohaghegh Ardabili, Ardabil, Iran
derakhshandemasoume@gmail.com
[3] Assistant Professor, School of Technology and Innovations, University of Vaasa, 65200 Vaasa, Finland
hoseinpour.majid@uma.ac.ir

Abstract:
This paper presents a novel switched-capacitor multilevel inverter with a voltage gain of 4. The proposed design achieves 17 output voltage levels using a single DC source, 11 switches, and a diode. It features three capacitors capable of self-balancing their voltages through a series/parallel connection with the input source. Switching pulses are managed using the Pulse Width Modulation Level Shift (PWM-LS) technique. A detailed comparison is conducted between the proposed design and recent similar structures, considering factors such as voltage gain, the number of DC sources and semiconductor devices, Maximum Blocking Voltage (MBV), and Total Standing Voltage (TSV). Key advantages of the proposed design include its reduced number of semiconductor components, cost efficiency, and appropriate voltage gain. To further enhance performance, a soft charging technique is implemented to control the inrush current of capacitors. The analysis of power losses indicates the structure's efficient energy use. Finally, an experimental prototype was developed and tested under diverse conditions, with results confirming its reliable performance.

Keywords: Multilevel inverter, Switched-capacitor, Self-balancing voltage, Inrush current

Article Type: Research

Received: 28. 11. 2023

Revised: 10. 09. 2024

Accepted: 12. 12. 2024

Corresponding author: Majid Hosseinpour

Corresponding author's address: Daneshgah Ave., Faculty of Engineering, University of Mohaghegh Ardabili, Ardabil, Iran.

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

Multilevel inverters (MLIs) have gained popularity due to their various advantages, such as improved harmonic performance, higher efficiency, and reduced voltage stress on switches. These inverters are widely used in applications like power transfer from distributed generation sources, including wind turbines and photovoltaic systems, as well as in other fields such as electric transportation, variable-speed motor drives, and reactive power compensation [1]-[2]. However, conventional multilevel inverters face limitations for high-voltage applications, leading to increased costs and complexity. Switched-capacitor multilevel inverters (SC-MLIs) provide a promising alternative among advanced multilevel inverter technologies, designed to overcome the constraints of traditional systems [3]. Key advantages of SC-MLIs include the ability to generate the maximum number of output voltage levels, achieve high voltage gain without the need for large transformers or inductors, reduce the number of semiconductor devices, and minimize the maximum voltage stress on switches.

2. Contributions

In this paper, a novel 17-level switched-capacitor inverter with a voltage gain of 4 is proposed. The design utilizes a single DC source, 11 power switches, 1 diode, and 3 capacitors that are capable of automatically balancing their voltages. This automatic voltage balancing is achieved through a self-regulating mechanism that allows the capacitors to work efficiently without the need for external control. One of the key benefits of the proposed structure is its ability to generate a large number of output voltage levels, enhancing the overall performance of the inverter. Additionally, the proposed structure significantly reduces inrush current to the capacitors, which is a common issue in capacitor-based circuits, thereby improving the reliability and efficiency of the system. The design also optimizes Total Standing Voltage (TSV) and Maximum Blocking Voltage (MBV), ensuring that the voltage stress on switches remains within safe limits, which helps to extend the lifespan of the components. Another significant feature of the proposed inverter is its capability to generate negative voltage levels without the need for a traditional H-bridge circuit. This eliminates the complexity and additional components typically required in multilevel inverter designs, making the proposed structure more cost-effective and simpler to implement while maintaining high efficiency.

.

3. Procedures

The proposed structure is composed of 11 power switches (S_1-S_{11}), a diode (D), three capacitors (C_1, C_2, and C_3), and a single DC source with a voltage of (V_{in}), which is shown in Fig. 1. In this design, the capacitors automatically balance their voltages without the need for complex control techniques or additional circuits, by using a series/parallel connection method. The voltages across capacitors C_1, C_2, and C_3 are automatically adjusted to V_{in}, $2V_{in}$, and $0.5V_{in}$, respectively. During the design phase, since the maximum discharge of the capacitors occurs under a pure resistive load, the capacitor values are calculated assuming a resistive load condition. The Pulse Width Modulation Level Shift (PWM-LS) strategy is employed to control the switches in the proposed structure. Power loss analysis is conducted to evaluate the performance of the proposed 17-level inverter. To assess the strengths and weaknesses of the proposed inverter, various switched-capacitor multilevel inverter structures are compared based on parameters such as voltage gain, the number of DC sources, and number of semiconductor devices, Maximum Blocking Voltage (MBV), and Total Standing Voltage (TSV). Lastly, the cost function CF [4] is used to further evaluate the multilevel inverters.

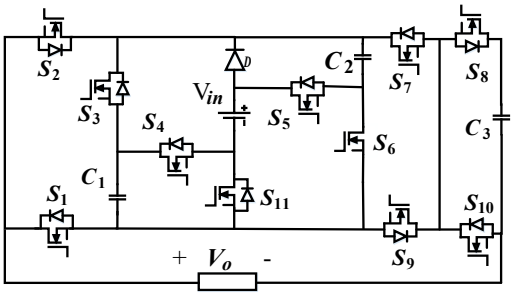


Fig (1): The structure of the proposed multilevel inverter

4. Findings

Based on the results from the implementation, it can be concluded that the proposed inverter structure operates effectively under different power factor conditions. Figure 2 shows the voltage and output current waveform under dynamic load change conditions. The suitable performance of the proposed MLI when the load varies from a pure resistive load to R-L load can be demonstrated from Fig. 2. The inverter demonstrates stable and accurate performance as the modulation index is adjusted, showing that the system is robust and capable of maintaining its functionality under varying operating conditions. It is evident that the voltages across the capacitors are automatically balanced to their respective values (V_{in}, $2V_{in}$, and $0.5V_{in}$), and the ripple in the capacitor voltages remains within the permissible limits, ensuring the reliability of the system. Moreover, the method of soft charging has been confirmed to effectively limit the inrush current during capacitor charging, which is a common challenge in capacitor-based inverter designs. This not only improves the overall system efficiency but also contributes to the longevity of the components by preventing excessive stress on the capacitors. Overall, the results validate the performance of the proposed inverter, showcasing its efficiency and reliability across a range of operating conditions.

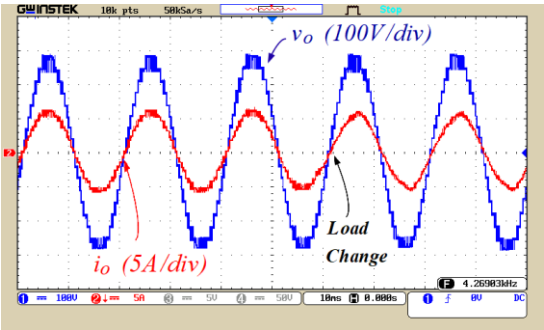


Fig (2): Voltage and output current waveform under dynamic load change conditions

5. Conclusion

In this paper, a switched-capacitor multilevel inverter is introduced, which generates a 17-level output with a voltage gain of 4. The proposed structure consists of a DC source, 11 power switches, 1 diode, and 3 capacitors. These three capacitors in the proposed structure automatically balance their voltage without the need for complex control techniques or additional circuits. A comparative analysis of the proposed topology with several recent 17-level inverter structures is presented, considering various parameters. Compared to the other 17-level configurations, the proposed design features fewer semiconductor devices, a suitable voltage gain, and a simpler, more cost-effective structure, as demonstrated by the cost function. The comparisons show that the cost function of the proposed structure has improved by at least nine percent with both weighting factors when compared to recent structures. Furthermore, the power loss analysis of the proposed structure is discussed, confirming its competitive efficiency relative to similar designs. To validate the performance of the proposed inverter, a laboratory prototype was developed, and the experimental results under various conditions confirm the proper functioning of the structure. The laboratory tests indicate that the capacitors maintain automatic voltage balancing even with changes in the load and modulation index.

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره سوم، پائیز ۱۴۰۴، صفحات ۵۶-۶۸

DOI: 10.61882/jiaeee.22.3.56

طراحی و پیاده‌سازی یک اینورتر ۱۷ سطحی کلیدزنی خازنی جدید با تعداد ادوات کاهش یافته و جریان شارژ محدود

مجید حسین‌پور[۱]، معصومه درخشنده[۲]، مهدی شاهپرستی[۳]

۱- دانشیار- دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

hoseinpour.majid@uma.ac.ir

۲- دانش آموخته کارشناسی ارشد- دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

derakhshandemasoume@gmail.com

۳- استادیار- دانشکده فناوری و نوآوری - دانشگاه واسا- واسا- فنلاند

mahdi.shahparasti@univaasa.fi

چکیده: در این مقاله یک اینورتر چندسطحی کلیدزنی خازنی جدید با بهره ولتاژ ۴ پیشنهاد شده است. ساختار پیشنهادی از یک منبع DC، ۱۱ سوئیچ و یک دیود برای رسیدن به سطوح ولتاژ خروجی ۱۷ سطحی استفاده می‌کند. ساختار پیشنهادی شامل سه خازن با قابلیت تعادل خودکار ولتاژ می‌باشد. خازن‌ها با استفاده از روش اتصال سری/موازی با منبع ورودی به تعادل خودکار ولتاژ دست می‌یابند. برای کنترل پالس‌های کلیدزنی سوئیچ‌ها از استراتژی مدولاسیون پهنای پالس شیفت سطح (PWM-LS)[۱] استفاده شده است. یک ارزیابی مقایسه‌ای بین ساختار پیشنهادی با ساختارهای ارائه شده در مقالات اخیر از حیث پارامترهای مختلف مانند بهره ولتاژ، تعداد منابع dc، تعداد ادوات نیمه‌رسانا، حداکثر ولتاژ مسدودکنندگی (MBV)[۲] و ولتاژ مسدودکنندگی کل (TSV)[۳] انجام شده است. با توجه به این مقایسه، تعداد کم ادوات نیمه‌رسانا برای تولید خروجی ۱۷ سطحی با بهره ولتاژ مناسب و به ویژه مقرون به صرفه بودن ساختار مزایای عمده ساختار پیشنهادی می‌باشند. علاوه بر این، از یک روش شارژ نرم برای محدودسازی جریان هجومی خازن‌ها استفاده شده است. در ضمن تلفات توان ساختار پیشنهادی بررسی شده است که نشان دهنده راندمان مناسب آن می‌باشد. در نهایت، برای تحلیل و تایید عملکرد ساختار پیشنهادی، نمونه آزمایشگاهی پیاده‌سازی شده و در شرایط مختلف مورد ارزیابی قرار گرفته است. نتایج حاصل بیانگر عملکرد مطلوب ساختار پیشنهادی در شرایط عملکردی متفاوت می‌باشد.

کلمات کلیدی: اینورتر چندسطحی، کلیدزنی خازنی، تعادل خودکار ولتاژ، جریان هجومی

نوع مقاله: پژوهشی

دریافت: ۱۴۰۳/۰۲/۰۳

بازنگری: ۱۴۰۳/۰۶/۲۰

پذیرش: ۱۴۰۳/۰۹/۲۱

نام نویسنده‌ی مسئول: مجید حسین پور

نشانی نویسنده‌ی مسئول: دانشکده فنی مهندسی- دانشگاه محقق اردبیلی- اردبیل- ایران

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

۱- مقدمه

اینورترهای چندسطحی [۴](MLIs) به دلیل مزایای متعددی مانند عملکرد هارمونیکی بهتر، راندمان بیشتر و تنش ولتاژ کمتر روی سوئیچها توسعه یافته‌اند. این اینورترها به دلیل مزایای ذکر شده در کاربردهای مختلفی شامل انتقال توان منابع تولید پراکنده همچون توربین‌های بادی، سیستم فتوولتائیک و در کاربردهای دیگر مانند تجهیزات حمل و نقل الکتریکی، درایوهای موتور الکتریکی سرعت متغیر و جبران‌ساز توان راکتیو مورد استفاده قرار می‌گیرند [۱]-[۴]. به طور کلی اینورترهای چندسطحی به سه نوع توپولوژی خازن شناور [۵](FC) ، توپولوژی نقطه خنثی مهار شده دیودی [۶](NPC) و توپولوژی پل H آبشاری [۷](CHB) طبقه‌بندی می‌شوند. هر یک از این سه توپولوژی مرسوم، علاوه بر عملکرد مناسب دارای محدودیت‌هایی مانند عدم تعادل ولتاژ خازن در توپولوژی‌های NPC و FC و نیاز به تعداد زیاد منابع DC مجزا در توپولوژی پل H آبشاری می‌باشد [۵]-[۷]. بنابراین محدودیت‌های اینورترهای چندسطحی مرسوم برای کاردبردهای ولتاژ بالا منجر به افزایش هزینه و پیچیدگی این ساختارها می‌شود.

اینورترهای چندسطحی کلیدزنی خازنی [۸](SC-MLIs)، ساختارهای جدیدی هستند که یک جایگزین مناسب از میان اینورترهای چندسطحی بهبودیافته برای غلبه بر محدودیت‌های ساختارهای سنتی می‌باشند[۸]. از ویژگی‌های قابل توجه اینورترهای چندسطحی کلیدزنی خازنی می‌توان به مواردی مانند تولید حداکثر تعداد سطوح ولتاژ خروجی و بهره ولتاژ بالا بدون استفاده از ترانسفورماتور یا سلف حجیم، کاهش تعداد ادوات نیمه‌رسانا و کاهش حداکثر تنش ولتاژ روی سوئیچها اشاره کرد. با این حال فرایند شارژ خازن‌ها از محدودیت‌های اینورترهای چندسطحی کلیدزنی خازنی می‌باشد. جریان هجومی بزرگ در لحظه شارژ خازن‌ها باعث افزایش تنش جریان سوئیچ‌های درگیر در مسیر شارژ می‌شود که منجر به کاهش بازده کلی مبدل می‌شود [۹]. اخیرا ساختارهای متعددی برای اینورترهای چندسطحی کلیدزنی خازنی ارائه شده است. اگرچه هر ساختار در کنار مزایای خود دارای محدودیت‌هایی می‌باشد. در مرجع [۱۰] یک ساختار ۱۳ سطحی کلیدزنی خازنی با تعادل خودکار ولتاژ خازن‌ها ارائه شده است. این ساختار برای کاربردهای ولتاژ بالا مناسب می‌باشد. با این حال تعداد ادوات مورد نیاز آن برای تولید بهره ولتاژ خروجی ۳ نسبتا زیاد است که مطلوب نیست. مرجع [۱۱] یک ساختار ۲۵ سطحی کلیدزنی خازنی جدید با بهره ولتاژ ۲ ارائه می‌دهد. این ساختار دارای قابلیت تعادل خودکار ولتاژ خازن‌ها و قابلیت تعمیم برای تولید سطوح ولتاژ بالاتر می‌باشد. با این حال، ساختار نیازمند چندین منبع DC مجزا است. در مرجع [۱۲] یک ساختار ۲۱ سطحی با قابلیت تعادل خودکار ولتاژ خازن‌ها ارائه شده است. ساختار ارائه شده برای کاربردهای ولتاژ متوسط/بالا مناسب است و برای تولید سطوح منفی ولتاژ نیازی به پل H ندارد. با این حال نیازمند تعداد زیادی خازن و کلیدهای قدرت می‌باشد که این امر منجر به افزایش حجم و هزینه ساختار می‌شود. در مرجع [۱۳] ساختار ۱۳ سطحی با بهره ولتاژ ۶ ارائه شده است. از ویژگی‌های این ساختار می‌توان به قابلیت تعادل خودکار ولتاژ خازن‌ها، تولید سطوح منفی ولتاژ بدون نیاز به پل H و استفاده از تنها یک منبع DC اشاره کرد. با این حال ۹ سوئیچ در ساختار ارائه شده حداکثر ولتاژ مسدودکنندگی را تحمل می‌کنند. در ساختارهای بررسی شده بالا راهکاری برای محدودسازی جریان هجومی ارائه نشده است. جریان هجومی زیاد ایراد اصلی ساختارهای مراجع بالا است که منجر به تنش جریان زیاد روی کلیدها و کاهش قابلیت اطمینان می‌شود. بنابراین کاهش/کنترل تنش جریان/تلفات سوئیچها با استفاده از روش‌های مختلفی ضروری می‌باشد.

روش‌هایی در خصوص چالش اینورترهای چندسطحی کلیدزنی خازنی (کاهش جریان هجومی در مرحله شارژ خازن‌ها) ارائه شده است. از جمله این روش‌ها، روش‌های مبتنی بر شارژ نرم یا مدولاسیون پهنای پالس هیبریدی می‌باشد. به طور مثال ساختارهایی برای محدودسازی جریان هجومی با استفاده از این روش‌ها در مراجع [۱۴]، [۱۵] و [۱۶] ارائه شده است. در ساختار ۱۷ سطحی ارائه شده در مرجع [۱۴]، ساختار تنها با یک منبع DC، 12 سوئیچ، ۵ دیود و ۴ خازن بهره ولتاژ ۸ ارائه می‌دهد. این ساختار با استفاده از روش شارژ شبه نرم برای خازن‌ها، تنش ولتاژ روی ادوات را کاهش داده و جریان هجومی بالا را محدود می‌کند. با این حال، از محدودیت‌های ساختار، می‌توان به ولتاژ مسدودکنندگی کلی نسبتا زیاد و ۴ خازن ولتاژ بالای مورد نیاز اشاره کرد. در مرجع [۱۵] یک ساختار ۹ سطحی با ویژگی مدولار بودن، تقویت ولتاژ ورودی، حذف جریان نشتی و مناسب برای کاربردهای سیستم فتوولتائیک ارائه شده است. این ساختار به منظور حذف جریان هجومی بالای خازن‌ها دو توپولوژی مختلف برای شارژ خازن‌ها با استفاده از سلف سری با منبع ورودی، دیود و سوئیچ ارائه می‌دهد. در مقابل تعداد ادوات مورد نیاز این ساختار بسیار زیاد می‌باشد که منجر به افزایش هزینه، حجم و کاهش قابلیت اطمینان ساختار می‌شود. در ساختار ارائه شده در مرجع [۱۶] با استفاده از یک سلف در مسیر شارژ خازن‌ها و چندین دیود شارژکننده، جریان هجومی بالا محدود شده است. این ساختار به طور خاص برای کاردبردهای سیستم فتوولتائیک مناسب می‌باشد. سلف شارژ در این ساختار سه کاربرد فیلتر کردن هارمونیک‌های جریان ورودی، جلوگیری از جریان هجومی خازن و تسهیل فرآیند ردیابی حداکثر توان را دارد. در مقابل این ساختار از تعداد زیاد دیود و خازن با ظرفیت نامی ولتاژ بالا رنج می‌برد.

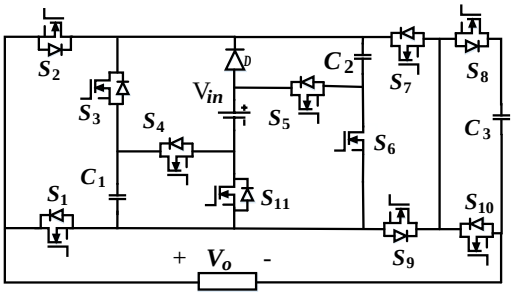
در این مقاله یک ساختار جدید اینورتر ۱۷ سطحی کلیدزنی خازنی با بهره ولتاژ ۴ پیشنهاد شده است. از مزایای ساختار پیشنهادی می‌توان به استفاده از تنها یک منبع DC، 11 کلید قدرت، ۱ دیود، ۳ خازن با قابلیت تعادل خودکار ولتاژ، کاهش جریان هجومی خازن‌ها و مقدار مناسب TSV و MBV اشاره کرد. ساختار پیشنهادی قادر به تولید سطوح منفی بدون نیاز به پل H می‌باشد. ادامه مقاله به شرح زیر

سازماندهی شده است: ساختار اینورتر پیشنهادی از جمله عملکرد مدار آن، محاسبه ظرفیت خازن‌ها، استراتژی مدولاسیون و روش شارژ نرم در بخش ۲ به طور مفصل توضیح داده شده است. در بخش ۳ و ۴ به ترتیب تحلیل تلفات توان و یک ارزیابی مقایسه‌ای انجام گرفته است. در بخش ۵ نتایج آزمایشگاهی ساختار پیشنهادی به منظور امکان‌پذیر بودن و صحت عملکرد آن ارائه شده است و در نهایت نتیجه‌گیری در بخش ۵ ارائه شده است.

۲- توپولوژی پیشنهادی

۲-۱- تشریح مدار

ساختار اینورتر ۱۷ سطحی کلیدزنی خازنی با بهره ولتاژ ۴ در شکل ۱ نشان داده شده است. ساختار پیشنهادی از ۱۱ کلید قدرت (S_1-S_{11})، یک دیود D، سه خازن (C_1، C_2 و C_3) و تنها یک منبع dc با اندازه (V_{in}) تشکیل شده است. در ساختار پیشنهادی هر سه خازن مورد استفاده بدون نیاز به روش‌های کنترلی پیچیده یا مدارات جانبی به صورت خودکار با استفاده از روش اتصال سری/موازی به تعادل می‌رسند. در ساختار پیشنهادی ولتاژ خازن‌های C_1، C_2 و C_3 به ترتیب در مقادیر V_{in}، $2V_{in}$ و $0.5V_{in}$ به صورت خودکار تنظیم می‌شوند. در این ساختار دو کلید S_1 و S_2 و همچنین دو کلید S_8 و S_{10} مکمل همدیگر می‌باشند. با توجه به این ویژگی و همچنین ویژگی تنظیم ذاتی ولتاژ خازن‌ها پیچیدگی کنترل اینورتر پیشنهادی کاهش می‌یابد.



شکل (۱): ساختار اینورتر پیشنهادی

۲-۲- اصول عملکرد

حالت‌های مختلف کلیدزنی اینورتر پیشنهادی در جدول ۱ بیان شده است. مسیر جریان و حالت‌های عملیاتی برای رسیدن به سطوح مختلف ولتاژ خروجی در شکل ۲ نشان داده شده است. مسیر حلقه شارژ خازنی به رنگ آبی و مسیر دشارژ خازن و تولید سطح ولتاژ خروجی به رنگ قرمز نشان داده شده است. مطابق شکل ۲ برای تایید تعادل خودکار خازن‌ها و عملکرد صحیح ساختار اینورتر پیشنهادی مدار پیشنهادی به صورت زیر تحلیل می‌شود:

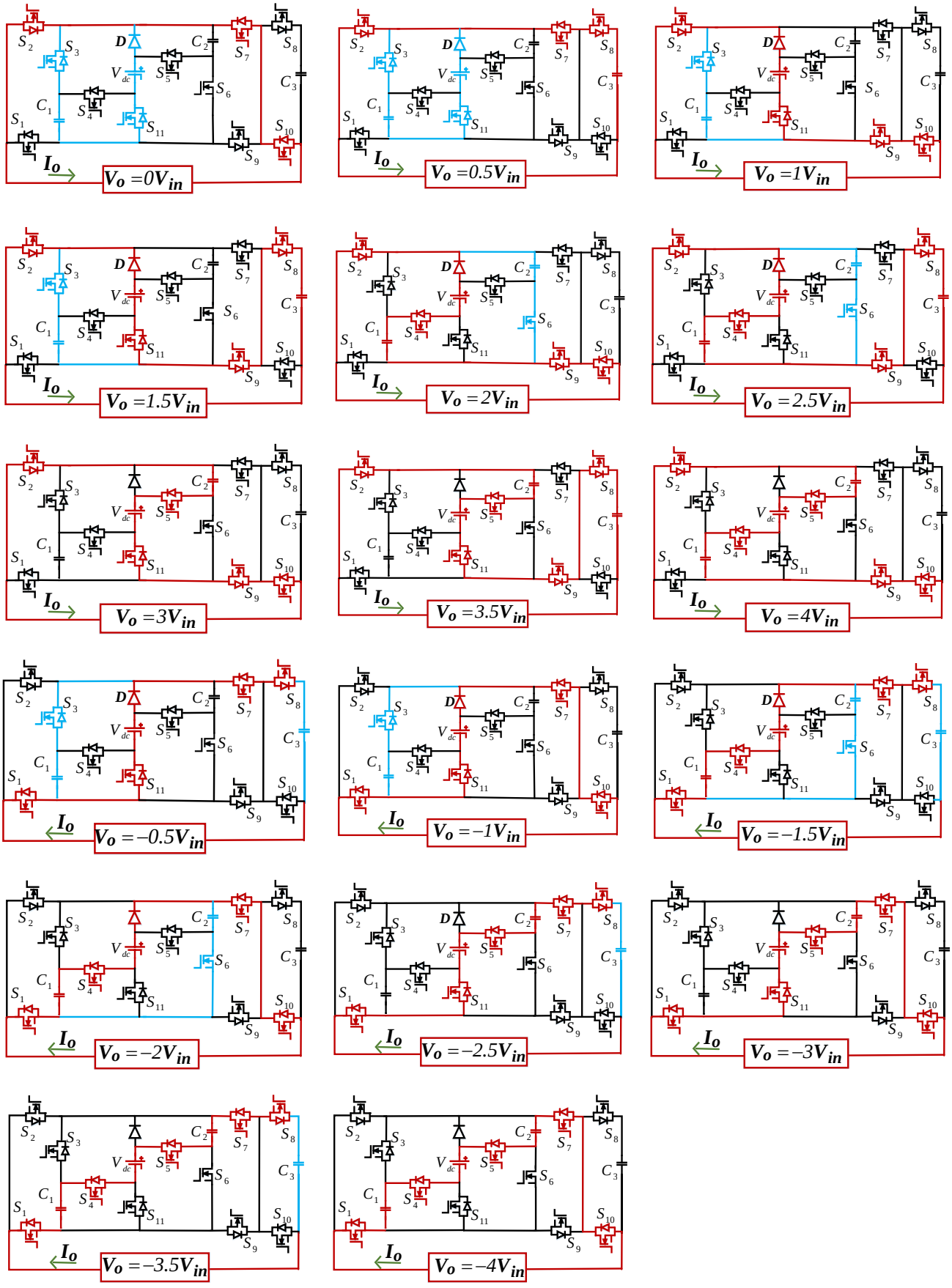
خازن C_3 در تمام سطوح فرد نیم سیکل مثبت دشارژ و تمام سطوح فرد نیم سیکل منفی شارژ می‌شود. خازن C_1 در اتصال موازی با منبع dc به اندازه (V_{in}) شارژ و در اتصال سری با منبع dc دشارژ می‌شود. خازن C_2 با اتصال سری مجموع ولتاژ منبع dc و ولتاژ خازن C_1 به اندازه ($2V_{in}$) شارژ و در اتصال سری با منبع dc دشارژ می‌شود.

جدول (۱): حالت‌های کلیدزنی اینورتر پیشنهادی

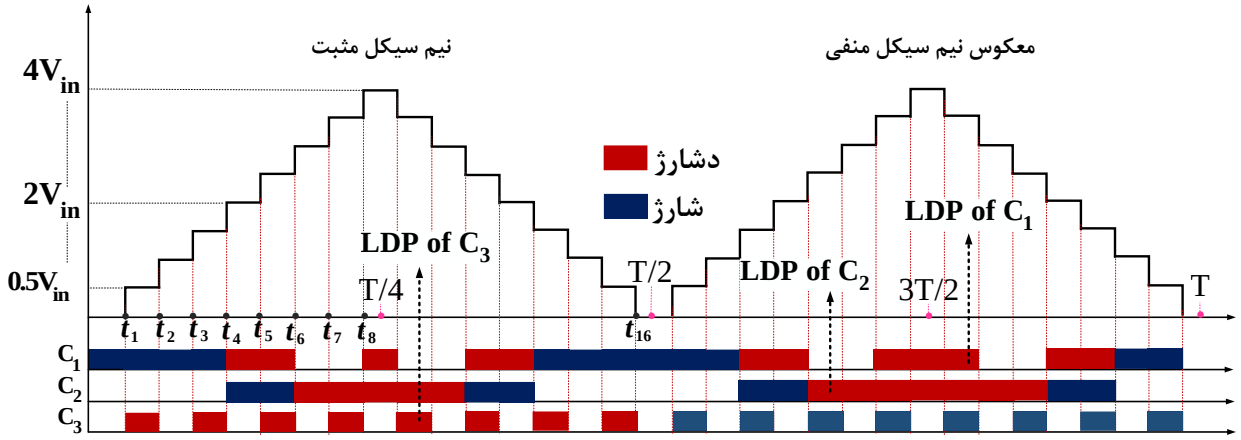
ولتاژ خروجی	کلیدهای روشن	ولتاژ خروجی	کلیدهای روشن
$0.5V_{in}$	S_2,S_3,S_7,S_8	$-0.5V_{in}$	S_1,S_3,S_7,S_8,S_{11}
$1V_{in}$	$S_2,S_3,S_9,S_{10},S_{11}$	$-1V_{in}$	$S_1,S_3,S_7,S_{10},S_{11}$
$1.5V_{in}$	S_2,S_3,S_8,S_9,S_{11}	$-1.5V_{in}$	S_1,S_4,S_6,S_7,S_8
$2V_{in}$	S_2,S_4,S_6,S_9,S_{10}	$-2V_{in}$	S_1,S_4,S_6,S_7,S_{10}
$2.5V_{in}$	S_2,S_4,S_6,S_8,S_9	$-2.5V_{in}$	S_1,S_5,S_7,S_8,S_{11}
$3V_{in}$	$S_2,S_5,S_9,S_{10},S_{11}$	$-3V_{in}$	$S_1,S_5,S_7,S_{10},S_{11}$
$3.5V_{in}$	S_2,S_5,S_8,S_9,S_{11}	$-3.5V_{in}$	S_1,S_4,S_5,S_7,S_8
$4V_{in}$	S_2,S_4,S_5,S_9,S_{10}	$-4V_{in}$	S_1,S_4,S_5,S_7,S_{10}
$0V_{in}$	S_2,S_7,S_{10}	$0V_{in}$	S_1,S_9,S_{10}

۲-۳- طراحی خازن

در شکل ۳، بزرگترین بازه زمانی شارژ و دشارژ خازن‌ها و ۱۷ حالت عملکردی ولتاژ خروجی در یک دوره تناوب نشان داده شده است. از آنجا بیشترین دشارژ خازن‌ها در بار مقاومتی خالص اتفاق می‌افتد، محاسبه ظرفیت خازن‌های ساختار پیشنهادی در بار مقاومتی خالص انجام می‌شود. عوامل مختلفی مانند حداکثر بازه زمانی دشارژ خازن‌های C_1 و C_2، کل بازه زمانی دشارژ خازن C_3 در نیم سیکل مثبت، ریپل ولتاژ خازن و فرکانس نامی در مقدار ظرفیت خازن تاثیر می‌گذارند. بنابراین ضروری است در ساختار پیشنهادی جهت بهبود کیفیت ولتاژ و کاهش تلفات توان، ریپل ولتاژ خازن کنترل شود. این ریپل ولتاژ ناشی از دشارژ خازن برای تامین بار در ولتاژ خازن ظاهر می‌شود. مقدار این ریپل ولتاژ مجاز برای خازن‌ها ۵ الی ۱۰ درصد می‌باشد [۱۷]. مطابق شکل ۳ مقدار دشارژ خازن‌ها با درنظر گرفتن بازه زمانی یکسان برای سطوح ولتاژ مختلف مطابق روابط (۱) الی (۳) بیان می‌شود.



شکل (۲): عملکرد اینورتر پیشنهادی در تولید سطوح مختلف ولتاژ



شکل (۳): نحوه شارژ و دشارژ خازن‌ها

$$\Delta Q_{C_1} = 2\int_{t_7}^{\frac{T}{4}} I_{om}\sin(\omega t-\varphi)dt \quad (۱)$$

$$\Delta Q_{C_2} = 2\int_{t_5}^{\frac{T}{4}} I_{om}\sin(\omega t-\varphi)dt \quad (۲)$$

$$\Delta Q_{C_3} = \left[\int_{t_1}^{t_2} I_{om}\sin(\omega t-\varphi)dt + \int_{t_3}^{t_4} I_{om}\sin(\omega t-\varphi)dt + \int_{t_5}^{t_6} I_{om}\sin(\omega t-\varphi)dt + \int_{t_7}^{t_8} I_{om}\sin(\omega t-\varphi)dt\right] \quad (۳)$$

φ اختلاف زاویه جریان بار I_o و مولفه اصلی ولتاژ خروجی می‌باشد و I_{om} ماکزیمم جریان بار است. معادله (۴) بازه زمانی سطوح مختلف ولتاژ خروجی برای محاسبه ظرفیت خازن را نشان می‌دهد.

$$t_i = \frac{\sin^{-1}\left(\frac{2i-1}{N_l-1}\right)}{\omega} \quad (۴)$$

$$t_1=\frac{\sin^{-1}(1/16)}{\omega} \quad t_2=\frac{\sin^{-1}(3/16)}{\omega} \quad t_3=\frac{\sin^{-1}(5/16)}{\omega}$$
$$t_4=\frac{\sin^{-1}(7/16)}{\omega} \quad t_5=\frac{\sin^{-1}(9/16)}{\omega} \quad t_6=\frac{\sin^{-1}(11/16)}{\omega} \quad (۵)$$
$$t_7=\frac{\sin^{-1}(13/16)}{\omega} \quad t_8=\frac{\sin^{-1}(15/16)}{\omega} \quad t_9=\left(\frac{T}{2}-t_8\right)$$

که N_L تعداد سطوح خروجی می‌باشد. با توجه به رابطه ریپل ولتاژ بیان شده در معادله (۶) ظرفیت خازن مطابق (۷) بیان می‌شود:

$$\Delta V_c = \frac{\Delta Q_C}{C} \quad (۶)$$

$$C_1 \geq \frac{\Delta Q_{C_1}}{KV_{in}} \text{ and } C_2 \geq \frac{\Delta Q_{C_2}}{K(2V_{in})} \text{ and } C_3 \geq \frac{\Delta Q_{C_3}}{K(0.5V_{in})} \quad (۷)$$

K بیان‌گر درصد ریپل مجاز ولتاژ خازن‌ها است. در نهایت ظرفیت خازنی با استفاده از معادله‌های بالا به صورت زیر به دست می‌آید:

$$C_1 \geq \frac{2I_{om}}{K\omega V_{in}}\left(\cos(0.9484-\varphi)-\sin\varphi\right) \quad (۸)$$

$$C_2 \geq \frac{I_{om}}{K\omega V_{in}}\left(\cos(0.5974-\varphi)-\sin\varphi\right) \quad (۹)$$

$$C_3 \geq \frac{2I_{om}}{K\omega(0.5V_{in})}[\cos(0.0625-\varphi)+\cos(0.318-\varphi)+\cos(0.597-\varphi)+\cos(0.948-\varphi)-\cos(0.189-\varphi)-\cos(0.453-\varphi)-\cos(0.758-\varphi)-\cos(1.215-\varphi)] \quad (۱۰)$$

۲-۴- استراتژی مدولاسیون

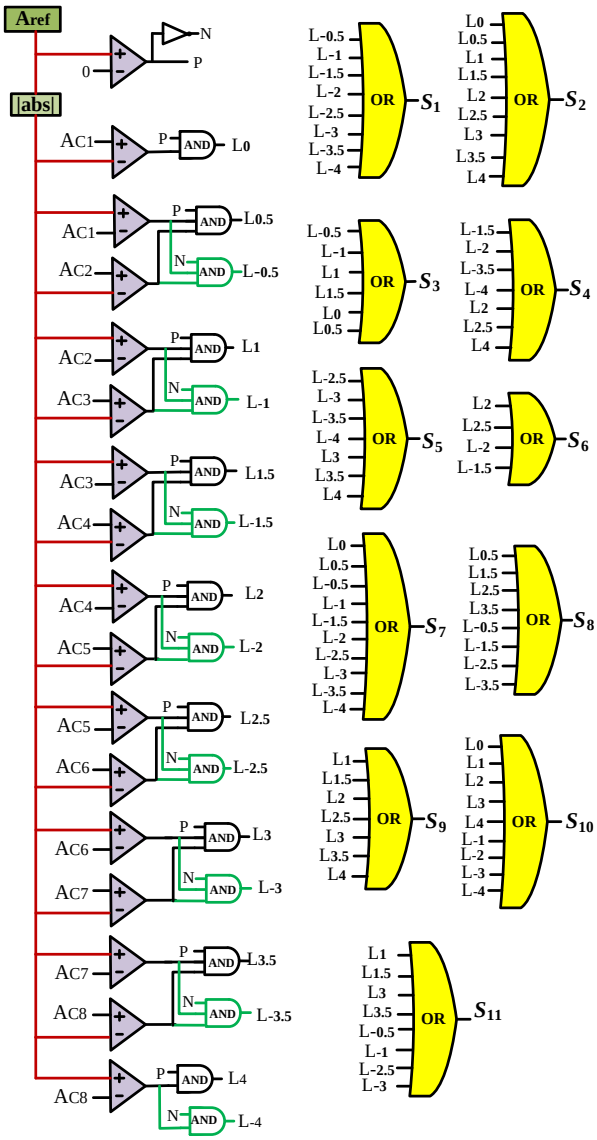
برای استراتژی کنترلی اینورترهای چندسطحی روش‌های مختلفی نظیر روش‌های کلیدزنی فرکانس بالا مانند مدولاسیون پهنای پالس بردار فضایی، مدولاسیون پهنای پالس شیفت سطح و مدولاسیون پهنای پالس شیفت فاز [۱۸] و [۱۹] و روش‌های کلیدزنی فرکانس پایین مانند کنترل نزدیک‌ترین سطح و حذف هارمونیک انتخابی [۲۰] و [۲۱] وجود دارند. از بین این روش‌ها، استراتژی مدولاسیون پهنای پالس شیفت سطح [۲۲] به طور گسترده برای کنترل پالس‌های کلیدزنی اینورتر چندسطحی مورد استفاده قرار می‌گیرد. این روش یک شکل موج خروجی نزدیک به سینوسی با محتوای هارمونیکی کم ارائه می‌دهد. در این مقاله برای کنترل کلیدهای ساختار پیشنهادی نیز از استراتژی مدولاسیون پهنای پالس شیفت سطح استفاده شده است. الگوی کلیدزنی ساختار پیشنهادی برای تولید خروجی ۱۷ سطحی، در شکل ۴ نشان داده شده است.

مطابق شکل ۴، فرایند مدولاسیون به ۸ بخش تقسیم شده است. در هر بخش شکل موج مرجع سینوسی A_{ref} با فرکانس f با شکل موج‌های حامل A_{C1}-A_{C8} با دامنه و فرکانس یکسان f_s مقایسه می‌شود. شاخص مدولاسیون به صورت $M=A_{ref}/8A_C$ بیان می‌شود. در نهایت، سیگنال ورودی سوئیچ‌ها با استفاده از رابطه بین شکل موج سینوسی و شکل موج‌های حامل در هر بخش و استفاده از منطق مناسب مطابق جدول ۱ تولید می‌شوند.

۲-۵- شارژ نرم

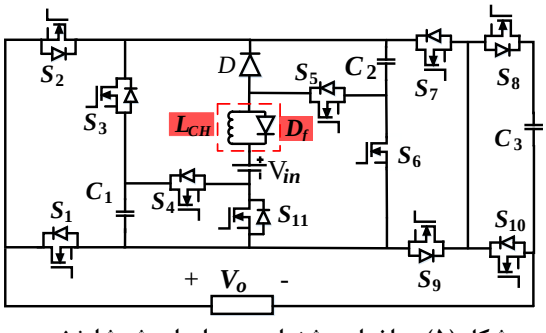
اینورترهای چندسطحی کلیدزنی خازنی، از جریان هجومی زیاد در مرحله شارژ خازن‌ها رنج می‌برند. جریان هجومی زیاد خازن‌ها باعث افزایش تنش جریان کلیدهای درگیر در مسیر شارژ، خرابی خازن‌ها و ادوات نیمه‌رسانا و کاهش قابلیت اطمینان مبدل می‌شود. بنابراین، در اینورترهای چندسطحی کلیدزنی خازنی فرآیند شارژ خازن‌ها اهمیت زیادی دارد و کنترل جریان هجومی خازن‌ها ضروری می‌باشد. در ساختار پیشنهادی برای کاهش جریان هجومی روش شارژ نرم استفاده شده است.

ساختار پیشنهادی با واحد شارژ نرم در شکل ۵ نشان داده شده است. مطابق شکل ۵ در این روش یک سلف L_{CH} به همراه دیود موازی هرزگرد D_f با آن با اتصال سری با منبع ورودی DC برای محدودسازی جریان هجومی به کار گرفته شده است. سلف مانع تغییر ناگهانی جریان شده و می‌تواند جریان کنترل شده‌ای داشته باشد اما منجر به اسپایک ولتاژ می‌شود. بنابراین در ساختار شارژ یک دیود موازی با سلف برای جلوگیری از این اضافه ولتاژ به کار می‌رود. این دیود مانع شارژ بیش از حد خازن‌ها شده و منجر به تثبیت ولتاژ خازن‌ها می‌شود [۱۵]. پس وجود سلف در مسیر شارژ خازن‌ها امکان شارژ نرم با تنش جریان کم را فراهم می‌کند و باعث افزایش قابلیت اطمینان مبدل می‌شود. طراحی این سلف به گونه‌ای است که فرآیند شارژ خازن‌ها در زمان کوتاهی و بدون کشیده شدن جریان زیاد و هجومی انجام شود و جریان هجومی به طور مطلوب کنترل شود. از این رو، باید فرکانس رزونانس (f_r) سلف شارژ و خازن موجود در حلقه شارژ کمتر از فرکانس کلیدزنی (f_{sw}) باشد. بنابراین، سلف شارژ (L_{CH}) می‌تواند با توجه به معادله زیر محاسبه شود.



(ب)

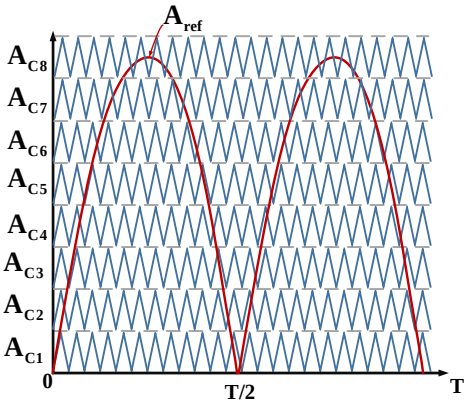
شکل (۴): الف: شمای کلی ب: پیاده‌سازی استراتژی مدولاسیون برای اینورتر پیشنهادی



شکل (۵): ساختار پیشنهادی همراه با روش شارژ نرم

$$f_r = \frac{1}{2\pi\sqrt{L_{CH}C}} < f_{sw} \qquad (۱۱)$$

$$L_{CH} = \frac{1}{(2\pi f_{sw})^2 C} \qquad (۱۲)$$



(الف)

از آنجاییکه اندوکتانس سلف شارژ مطابق رابطه (۱۲) مقدار کوچکی حاصل می‌شود و از طرفی جریان منبع DC ورودی از آن عبور می‌کند که مقدار کمی نیست، تعداد دور سیم‌پیچی این سلف کم بوده و تنها ضخامت هادی آن متناسب با جریان منبع DC ورودی اینورتر چندسطحی تا حدودی بزرگ طراحی می‌شود.

۳- تحلیل تلفات توان

در این بخش تحلیل تلفات توان برای ارزیابی عملکرد اینورتر ۱۷ سطحی پیشنهادی بیان شده است. به طور کلی در اینورترهای چندسطحی سه نوع تلفات روی ادوات نیمه‌رسانای قدرت و خازن‌ها وجود دارد. تلفات روی کلیدهای نیمه‌رسانای قدرت شامل تلفات کلیدزنی و تلفات هدایتی و تلفات مربوط به خازن تلفات ریپل خازن می‌باشد. بنابراین تلفات توان کل برای اینورتر ۱۷ سطحی کلیدزنی خازنی پیشنهادی مطابق رابطه (۱۱) محاسبه می‌شود.در این روش فقط جریان و ولتاژ لینک DC مورد سنجش قرار می‌گیرد که جزئیات آن در ادامه بیان می‌شود.

$$P_{losses} = P_c + P_{sw} + P_r \quad (۱۳)$$

که در آن P_{sw}، P_c و P_r به ترتیب بیانگر تلفات کلیدزنی، تلفات هدایتی و تلفات ریپل خازن می‌باشند. راندمان اینورتر پیشنهادی را می‌توان با توجه به رابطه ۱۱ به صورت زیر بیان کرد:

$$\eta = \frac{P_{out}}{P_{out} + P_{losses}} = \frac{P_{out}}{P_{out} + P_c + P_{sw} + P_r} \quad (۱۴)$$

۳-۱- تلفات کلیدزنی

تلفات کلیدزنی مجموع تلفات حالت روشن و خاموش شدن سوئیچ می‌باشد که ناشی از عملکرد غیر ایده‌آل ادوات نیمه‌رسانای قدرت است. عملکرد غیر ایده‌آل ادوات نیمه‌رسانای قدرت هنگام تغییر حالات کلیدزنی باعث تاخیر در روشن یا خاموش شدن سوئیچ می‌شود. این تاخیر زمانی منجر به تلفات کلیدزنی می‌شود. برای محاسبه تلفات کلیدزنی، یک تقریب خطی برای تغییر ولتاژ و جریان در نظر گرفته می‌شود. بنابراین تلفات کلیدزنی سوئیچ‌ها می‌تواند به صورت زیر بیان شود [۲۳]:

$$P_{sw} = f\left[\sum_{k=1}^{N_S}\left(\sum_{i=1}^{N_{ON,k}} \frac{V_{sw,k} \times I_{ON} \times t_{ON}}{6} + \sum_{i=1}^{N_{OFF,k}} \frac{V_{sw,k} \times I_{OFF} \times t_{OFF}}{6}\right)\right] \quad (۱۵)$$

که در آن f، N_S و $V_{sw,k}$ به ترتیب بیانگر فرکانس ولتاژ خروجی، تعداد کل سوئیچ‌ها و ولتاژ حالت خاموش سوئیچ kام می‌باشد. I_{ON} و I_{OFF} به ترتیب جریان عبوری از سوئیچ بعد از روشن شدن سوئیچ و قبل از خاموش شدن سوئیچ می‌باشد. t_{ON} و t_{OFF} به ترتیب بیانگر مدت زمان مورد نیاز برای روشن و خاموش کردن یک سوئیچ می‌باشد. $N_{ON,k}$ و $N_{OFF,k}$ بیانگر تعداد دفعاتی است که سوئیچ kام در یک دوره تناوب ولتاژ خروجی روشن و خاموش می‌شود.

۳-۲- تلفات هدایتی

تلفات هدایتی به تلفات روی سوئیچ ($P_{c,s}$) و دیود موازی معکوس آن ($P_{c,d}$) بستگی دارد. این تلفات ناشی از پارامتر پارازیتی ادوات نیمه‌رسانا در مسیر جریان عبوری از سوییچ و افت ولتاژ ادوات نیمه‌رسانا در حالت روشن می‌باشد که به صورت زیر محاسبه می‌شود.

$$P_{c,s} = V_{s,ON}\, i(t) + R_s i^{\alpha}(t)$$
$$P_{c,d} = V_{d,ON}\, i(t) + R_d i^{2}(t) \quad (۱۶)$$

که $V_{s,ON}$ و R_s به ترتیب نشان دهنده افت ولتاژ و مقاومت سوئیچ هنگام روشن بودن سوئیچ می‌باشد و به طور مشابه $V_{d,ON}$ و R_d به ترتیب نشان دهنده افت ولتاژ و مقاومت دیود هنگام هدایت دیود است. α یک ضریب ثابت وابسته به مشخصات سوئیچ است. تلفات هدایتی کل در تمام سوئیچ‌ها و دیودهای موازی معکوس با توجه به معادله (۱۴) به صورت زیر بیان می‌شود [۲۴].

$$P_c = \sum_{k=1}^{N_s} \frac{1}{2\pi} \int_0^{2\pi} \left[V_{s,ON}\, i(t) + R_s i^{\alpha}(t)\right] dt + \sum_{k=1}^{N_d} \frac{1}{2\pi} \int_0^{2\pi} \left[V_{d,ON}\, i(t) + R_d i^{2}(t)\right] dt \quad (۱۷)$$

۳-۳- تلفات ریپل خازن

تلفات ریپل ناشی از تفاوت ولتاژ بین ولتاژ منبع و ولتاژ مطلوب خازن رخ می‌دهد. هنگامی که خازن‌ها به صورت موازی با منبع dc شارژ می‌شوند، مقاومت سری معادل خازن (ESR) در حلقه شارژ خازنی باعث این تفاوت ولتاژ می‌شود. در واقع ریپل ولتاژی در خازن ظاهر می‌شود که به طور مستقیم بر تلفات ریپل تاثیرگذار است. بنابراین تلفات ریپل در خازن توسط رابطه زیر بیان می‌شود [۲۵].

$$\Delta V_{C_i} = \frac{1}{C_i} \int_{t_a}^{t_b} I_{C,i}(t)\, dt$$
$$P_r = \frac{1}{2} f_{sw} \sum_{i=1}^{N} C_i\, \Delta V_{C_i}{}^2 \quad (۱۸)$$

که N، $I_{C,i}$ و t_b-t_a به ترتیب بیانگر تعداد خازن‌ها، جریان شارژ خازن و مدت زمان دشارژ خازن می‌باشد. با توجه به رابطه ریپل ولتاژ هر چقدر ظرفیت خازنی بزرگ‌تر باشد تلفات ریپل کاهش می‌یابد.

۳-۴- تلفات اهمی سلف شارژ

تلفات اهمی سلف شارژ ناشی از مقاومت الکتریکی سیم‌پیچ سلف می‌باشد و زمانی رخ می‌دهد که جریان الکتریکی از سیم‌پیچ سلف عبور می‌کند. به دلیل وجود مقاومت در سیم‌پیچ (حتی اگر این مقاومت بسیار کوچک باشد)، بخشی از انرژی الکتریکی به صورت گرما تلف می‌شود و در نهایت تلفات اهمی سلف به صورت رابطه (۱۹) بیان

می‌شود. این تلفات رابطه مستقیمی با مقاومت سیم‌پیچ و مقدار جریان عبوری از آن دارد. از آنجا که سلف شارژ تعداد دور کمی داشته و با توجه به چگالی جریان عبوری از آن سطح مقطع هادی آن نسبتا بزرگ در نظر گرفته می‌شود، لذا مقاومت سلف شارژ در مقایسه با مقاومت پارازیتی سایر المان‌ها کوچک‌تر بوده و در نتیجه تاثیر قابل توجهی در راندمان مبدل ایجاد نمی‌کند.

$$P_{loss,L_{CH}} = R_L I_{in}^2 \quad (۱۹)$$

۴- مقایسه با دیگر توپولوژی‌ها

در این بخش به منظور تحلیل مزایا و معایب اینورتر پیشنهادی، چندین ساختار اینورتر چندسطحی کلیدزنی خازنی از حیث شاخص‌های متفاوت و متنوع مورد مقایسه قرار گرفته است. در جدول ۲ ساختار پیشنهادی با ساختارهای ۱۷ سطحی مراجع [۱۴]، [۱۷] و [۲۶]-[۳۱] بر اساس پارامترهای مختلفی مانند بهره ولتاژ، تعداد منابع dc، تعداد ادوات نیمه‌رسانا، حداکثر ولتاژ مسدودکنندگی (MBV) و ولتاژ مسدودکنندگی کلی (TSV) مقایسه شده است. علاوه بر این، تابع هزینه CF [۱۴] نیز برای ارزیابی اینورترهای چندسطحی استفاده شده است. این تابع هزینه بر اساس رابطه زیر قابل محاسبه می‌باشد:

$$CF = \frac{(N_{SW} + N_{Dr} + N_{DD} + N_C + (\alpha TSV/B)) \times N_{DC}}{N_{Level}} \quad (۲۰)$$

که α ضریب وزنی نشان دهنده اهمیت تعداد اجزای مبدل یا اهمیت مقدار TSV می‌باشد. در صورتیکه هدف طراح تعداد اجزای کمتر باشد این ضریب برابر با ۰/۵ در نظر گرفته می‌شود. در حالیکه اگر هدف طراح، ساختار با مقدار کمتر TSV باشد، این ضریب برابر با ۱/۵ در نظر گرفته می‌شود [۳۲]. مطابق جدول ۲، اینورتر پیشنهادی با ضریب وزنی ۰/۵ و همچنین ضریب وزنی ۱/۵ دارای هزینه کمتری نسبت به غالب دیگر ساختارهای مقایسه‌ای دارد.

جدول (۲): مقایسه‌ی ۱۷ سطحی‌ها

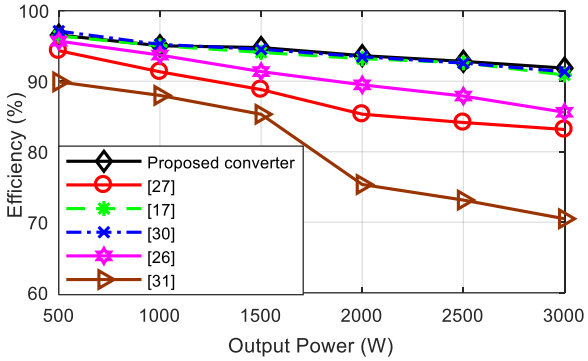
ساختارها	N_{SW}	N_{DD}	N_{Dr}	N_C	N_{DC}	B	TSV ($\times V_{in}$)	MBV	CF α=0.5	CF α=1.5
[۱۴]	12	5	12	4	1	8	6.13	4	2.12	2.48
[۱۷]	14	2	14	3	1	8	5.9	4	2.11	2.46
[۲۶]	10	4	9	6	1	4	5.75	4	1.88	2.21
[۲۶]	10	4	9	6	1	2	5.75	2	1.88	2.21
[۲۷]	13	6	13	4	1	2	6.25	2	2.30	2.68
[۲۸]	12	0	9	4	2	2	6.25	2	3.54	4.27
[۲۹]	11	2	11	2	2	2	6.75	2	3.25	3.87
[۳۰]	12	2	12	3	1	4	6.75	4	1.90	2.30
[۳۱]	14	4	14	4	1	8	6.38	4	2.31	2.68
ساختار پیشنهادی	11	1	11	3	1	4	7	4	1.73	2.14

در ساختار ارائه شده در مرجع [۱۴] با استفاده از ادوات کلیدزنی بیشتر نسبت به ساختار پیشنهادی بهره ولتاژ بالاتری حاصل شده است. این ساختار نیازمند پل H برای تولید ولتاژ ac خروجی می‌باشد. تعداد بیشتر ادوات کلیدزنی و سوئیچ‌های پل H منجر به افزایش هزینه و تلفات مبدل می‌شود. مرجع [۲۷] TSV و MBV بهتری نسبت به ساختار پیشنهادی ارائه می‌دهد و تنها دو سوئیچ از حداکثر ولتاژ مسدودکنندگی تحمل می‌کند، با این حال نیازمند تعداد زیاد ادوات برای تولید بهره ولتاژ ۲ می‌باشد که باعث مطلوب نبودن ساختار پیشنهادی است. در مراجع [۲۸] و [۲۹] با اینکه TSV کمتری نسبت به ساختار پیشنهادی ارائه می‌دهند اما نیازمند تعداد منابع بیشتر برای تولید بهره ولتاژ ۲ می‌باشند که مقرون به صرفه نیست. توپولوژی پیشنهادی با شباهت ساختاری و TSV نزدیک به توپولوژی ارائه شده در مرجع [۳۰] تعداد سوئیچ کمتری ارائه می‌دهد. توپولوژی ارائه شده در مرجع [۳۱] بهره ولتاژ دو برابر نسبت ساختار پیشنهادی ارائه می‌دهد با این حال تعداد ادوات آن به طور قابل توجهی زیاد است و ۸ سوئیچ در آن MBV بالایی را تحمل می‌کنند.

مجموع ادوات ساختار پیشنهادی در مقایسه با ساختارهای بررسی شده ۱۷ سطحی تعداد کمتری دارد. با اینکه ساختار پیشنهادی تعداد سوئیچ یکسان با ساختار [۲۹] دارد اما، بهره ولتاژ دو برابر تنها با یک منبع dc ارائه می‌دهد. بنابراین ساختار پیشنهادی مزایایی مانند ساختار ساده، کیفیت بالای ولتاژ خروجی، منبع dc واحد، TSV و بهره

ولتاژ مناسب با تعداد ادوات کم و مقرون به صرفه بودن آن نسبت به ساختارهای بررسی شده اخیر ارائه می‌دهد.

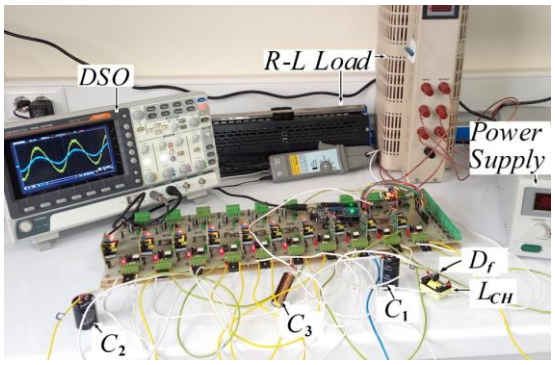
در نهایت، تلفات توان ساختار پیشنهادی و ساختارهای مرجع [۱۷]، [۲۶]، [۲۷]، [۳۰] و [۳۱] مطابق شکل ۶ برای بارهای مختلف شبیه‌سازی شده است. برای بررسی و مقایسه تلفاتی، ساختارهای تحت مقایسه در شرایط کاملا مشابه شبیه‌سازی شده است تا بتوان مقایسه عادلانه‌ای از حیث تلفات و راندمان انجام داد. با توجه به شکل ۶ می‌توان بیان کرد که ساختار پیشنهادی نسبت به ساختارهای مقایسه شده، راندمان برابر و یا بهتری به خصوص در توان‌های بالا ارائه می‌دهد.



شکل (۶): مقایسه راندمان ساختار پیشنهادی با ساختارهای مرجع

۵- نتایج پیاده‌سازی

به منظور تحلیل و تایید عملکرد ساختار پیشنهادی، نمونه آزمایشگاهی ساختار پیشنهادی در مقیاس ۵۰۰ وات مطابق شکل ۷ پیاده‌سازی شده است. از یک منبع dc به اندازه ۷۰ ولت به عنوان ولتاژ ورودی، یک سلف ۰/۱ میلی هانری به همراه دیود موازی هرزگرد برای محدودسازی جریان هجومی، دیود و سوئیچ‌هایی به ترتیب با مشخصات MBR20B200 و IRFP460 استفاده شده است. یک میکروکنترلر برای تولید پالس‌های کلیدزنی سوئیچ‌ها با استفاده از روش مدولاسیون پهنای پالس شیفت سطح به کار رفته است. در جدول ۳ مشخصات مورد نیاز پارامترها برای پیاده‌سازی بیان شده است. ظرفیت خازن‌های مورد استفاده در مدار با توجه به رابطه‌های بیان شده در معادلات (۸) تا (۱۰) محاسبه شده‌اند.

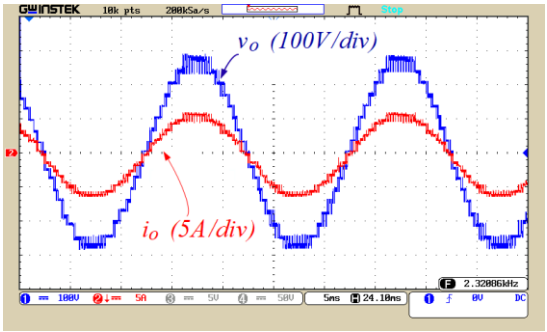


شکل (۷): نمونه آزمایشگاهی اینورتر پیشنهادی

شکل‌های ۸ الی۱۴ نتایج تجربی ساختار پیشنهادی را تحت شرایط مختلف در کنار هم نشان می‌دهند. شکل ۸ نتایج تجربی شکل موج‌های ولتاژ خروجی و جریان بار را تحت بار مقاومتی خالص نشان می‌دهد. مطابق شکل ۸ اینورتر پیشنهادی با ولتاژ ورودی ۷۰ ولت پیک ولتاژ ۲۸۰ ولت را در خروجی تولید می‌کند. بنابراین خروجی ۱۷ سطحی و بهره ولتاژ ۴ اینورتر پیشنهادی مطابق شکل ۸ تایید می‌شود.

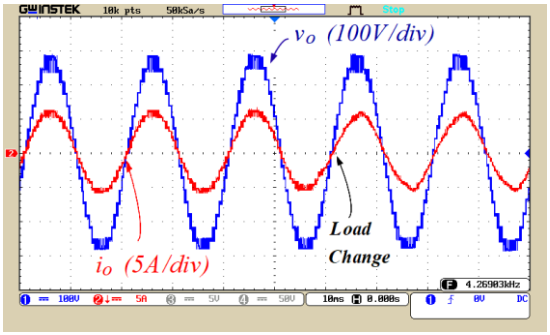
جدول (۳): مشخصات موردنیاز برای پیاده‌سازی

پارامتر	مقدار
ولتاژ ورودی	۷۰ ولت
اندیس مدولاسیون	۰/۹۴
فرکانس مولفه اصلی	۵۰ هرتز
فرکانس کلیدزنی	۳۵۰۰هرتز
مقاومت بار	۵۰ اهم
اندوکتانس بار	۱۰۰ میلی هانری
خازن C_1	۳۳۰۰ میکروفاراد (۱۰۰ ولت)
خازن C_2	۲۲۰۰ میکروفاراد (۱۵۰ ولت)
خازن C_3	۳۳۰۰ میکروفاراد (۶۳ ولت)

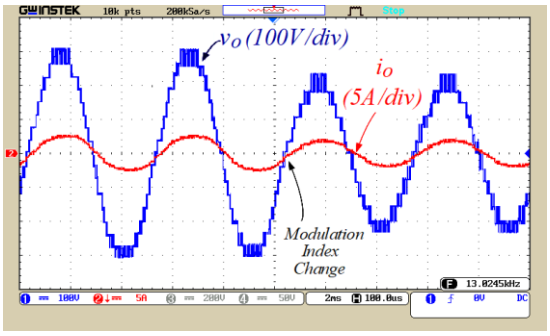


شکل (۸): شکل موج‌های ولتاژ خروجی و جریان بار تحت بارگذاری مقاومتی خالص

شکل ۹ نتایج تجربی تغییر بار را از بار مقاومتی خالص به بار اهمی سلفی نشان می‌دهد. شکل موج‌های ولتاژ خروجی و جریان بار مطابق شکل ۹ در لحظه تغییر بار و بعد از آن به درستی حاصل شده است. بنابراین با توجه به شکل ۸ و ۹ قابل بیان است که اینورتر پیشنهادی تحت ضرایب توان مختلف دارای عملکرد صحیحی می‌باشد. در شکل ۱۰ برای نشان دادن پاسخ دینامیکی اینورتر پیشنهادی، اندیس مدولاسیون را از ۰/۹۴ به ۰/۷ تغییر می‌یابد که در این صورت سطوح ولتاژ خروجی از ۱۷ سطح به ۱۳ سطح کاهش می‌یابد. پس با تغییر اندیس مدولاسیون مطابق شکل ۱۰، اینورتر پیشنهادی عملکرد صحیحی دارد.



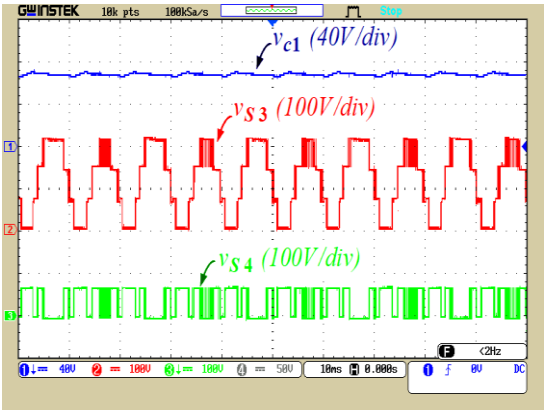
شکل (۹): شکل موج‌های ولتاژ خروجی و جریان بار تحت شرایط تغییر بار از مقاومتی به القایی



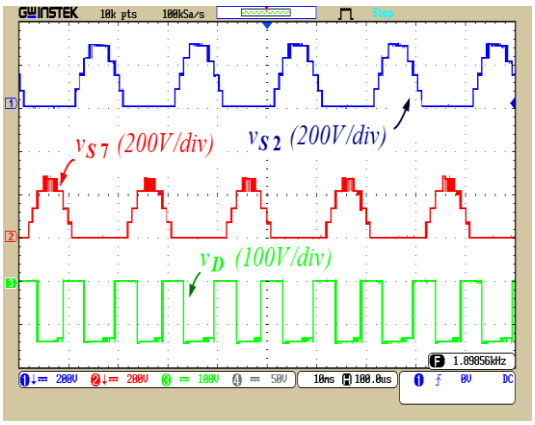
شکل (۱۰): شکل موج‌های ولتاژ خروجی و جریان بار تحت شرایط تغییر دینامیکی

شکل ۱۱-(الف) نتایج تجربی ولتاژ خازن C_1 و ولتاژ سوئیچ‌های S_3 و S_4 را نشان می‌دهند. مطابق این شکل ریپل ولتاژ خازن C_1 برابر با ۴/۵ ولت حاصل شده که معادل ۶ درصد ولتاژ این خازن است. شکل ۱۱-(ب) نتایج تجربی ولتاژ سوئیچ‌های S_2 و S_7 و ولتاژ دیود D را نشان می‌دهند. شکل ۱۱-(ج) نتایج تجربی ولتاژ خازن C_2 و ولتاژ سوئیچ‌های S_5 و S_6 را نشان می‌دهند. مطابق این شکل ریپل ولتاژ خازن C_2 برابر با ۹ ولت حاصل شده که معادل ۶/۵ درصد ولتاژ این خازن است.

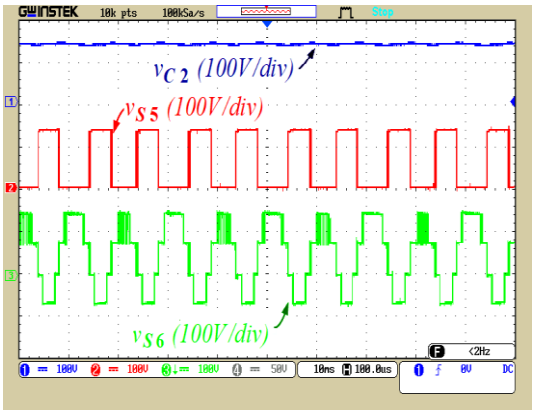
شکل ۱۲-(الف) نتایج تجربی ولتاژ سوئیچ‌های S_1، S_{11} و S_9 را نشان می‌دهند. شکل ۱۲-(ب) نتایج تجربی ولتاژ خازن C_3 و ولتاژ سوئیچ S_{10} را نشان می‌دهند. مطابق این شکل ریپل ولتاژ خازن C_3 برابر با ۲/۵ ولت حاصل شده که معادل ۶/۵ درصد ولتاژ این خازن است. از شکل ۱۱ و ۱۲ قابل مشاهده است که ولتاژ خازن‌ها در مقادیر خود متعادل می‌شوند و ریپل ولتاژ خازن‌ها بیشتر از حد مجاز نمی‌باشد. در ضمن، با توجه به شکل ۱۱ و ۱۲ می‌توان بیان کرد که عملکرد ۴ سوئیچ S_1، S_2، S_7 و S_9 از سوئیچ‌های اینورتر پیشنهادی در فرکانس پایه می‌باشند که منجر به کاهش تلفات توان آن می‌شود.



(الف)

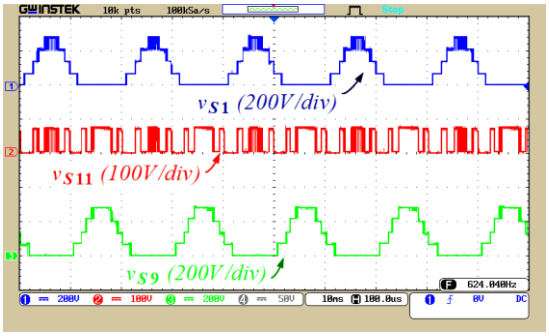


(ب)

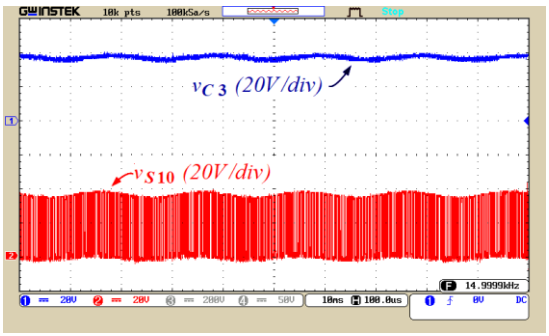


(ج)

شکل (۱۱): شکل موج‌های ولتاژ خازن‌ها و ولتاژ دو سر سوئیچ‌ها و دیود؛ الف: C_1 ، S_3 و S_4، ب: S_2 و S_7 ، D، ج: C_2 ، S_5 و S_6



(الف)



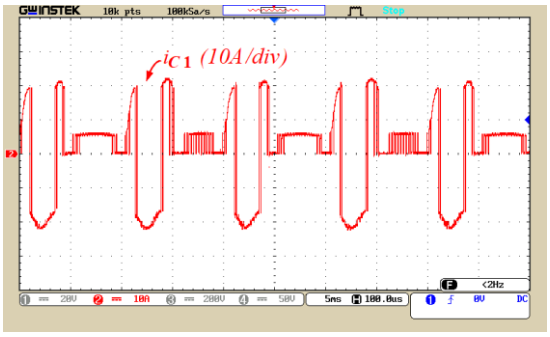
(ب)

شکل (۱۲): الف: شکل موج‌های ولتاژ سوئیچ‌های S_1، S_{11} و S_9، ب: شکل موج‌های ولتاژ خازن C_3 و ولتاژ سوئیچ S_{10}

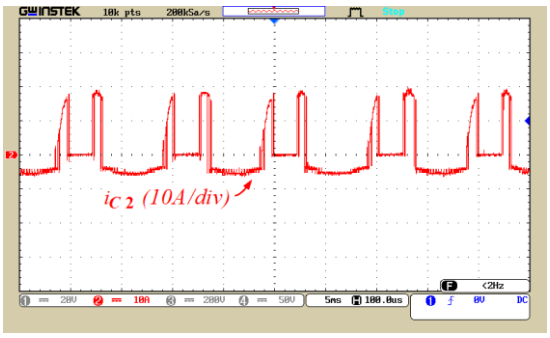
جریان خازن‌ها و جریان منبع با اعمال روش شارژ نرم به ترتیب در شکل‌های ۱۳ و ۱۴ نشان داده شده است. شکل ۱۳-(الف) و ۱۳-(ب) به ترتیب نتایج تجربی جریان خازن C_1 و جریان خازن C_2 را نشان می‌دهند.. مطابق این شکل، پیک جریان خازن C_1 و C_2 به ترتیب ۲۱ و ۲۰ آمپر می‌باشد که محدودسازی جریان هجومی با روش شارژ نرم را تایید می‌کند. شکل ۱۳-(ج) نتایج تجربی جریان خازن C_3 را نشان می‌دهند. مطابق این شکل پیک جریان خازن C_3 برابر با ۵ آمپر می‌باشد که نسبت به جریان دو خازن دیگر مقدار بسیار کمی می‌باشد. این امر ناشی از قرار گرفتن خازن C_3 در مسیر بار می‌باشد که منجر به محدودسازی پیک جریان خازن C_3 شده است. شکل ۱۴-(الف) نتایج تجربی جریان منبع را نشان می‌دهد. مطابق شکل ۱۴ پیک جریان منبع ۲۲ آمپر می‌باشد که عملکرد درست روش شارژ نرم را نشان می‌دهد.

۶- نتیجه‌گیری

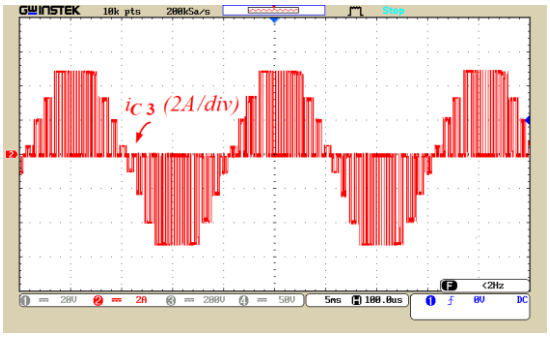
در این مقاله یک اینورتر چندسطحی کلیدزنی خازنی پیشنهاد شده است که یک خروجی ۱۷ سطحی با بهره ولتاژ ۴ تولید می‌کند. ساختار پیشنهادی شامل یک منبع DC، ۱۱ کلید قدرت، ۱ دیود، ۳ خازن می‌باشد. هر ۳ خازن در ساختار پیشنهادی دارای قابلیت تعادل خودکار ولتاژ بدون نیاز به روش‌های کنترلی پیچیده یا مدارات جانبی می‌باشند. ارزیابی مقایسه‌ای توپولوژی پیشنهادی با توجه به پارامترهای مختلفی با چندین ساختار ۱۷ سطحی ارائه شده در مقالات



(الف)

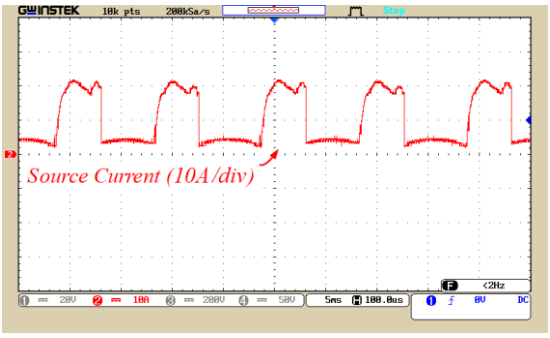


(ب)



(ج)

شکل (۱۳): الف: شکل موج جریان خازن C_1، ب: شکل موج جریان خازن C_2، ج: شکل موج جریان خازن C_3



شکل (۱۴): شکل موج جریان منبع

اخیر مورد بحث قرار گرفته است. ساختار پیشنهادی نسبت به ساختارهای ۱۷ سطحی مقایسه شده تعداد ادوات نیمه‌رسانای کمتر با بهره ولتاژ مناسب، ساختار ساده‌تر و مقرون به صرفه‌تری با توجه به تابع هزینه ارائه می‌دهد. با توجه به مقایسه‌های انجام گرفته می‌توان بیان کرد که تابع هزینه ساختار پیشنهادی نسبت به ساختارهای ارائه

شده اخیر با هر دو ضریب وزنی حداقل نه درصد بهبود یافته است. در ضمن، تحلیل تلفات ساختار پیشنهادی بررسی شده که راندمان مناسب آن در مقایسه با ساختارهای مشابه تایید می‌شود. برای تایید عملکرد اینورتر پیشنهادی یک نمونه آزمایشگاهی پیاده‌سازی شده است. سپس نتایج تجربی تحت شرایط مختلف، عملکرد درست ساختار پیشنهادی را تایید می‌کند. با توجه به نتایج آزمایشگاهی تعادل خودکار ولتاژ خازن‌ها در طول تغییر بار و حتی تغییر اندیس مدولاسیون نیز حفظ شده است.

قدردانی

این مقاله با حمایت پژوهشی دانشگاه محقق اردبیلی از طرح پژوهشی با شماره قرارداد ۲۰۷۰۴ استخراج گردیده است.

مراجع

[1] M. Trabelsi, H. Vahedi, and H. Abu-Rub, 2021. Review on single-DC-source multilevel inverters: Topologies, challenges, industrial applications, and recommendations. IEEE open journal of the Industrial Electronics Society, 2, pp.112-127.

[2] Hosseinpour M, Seifi A. Design and Implementation of a New Switch-Diode based Single Source Multilevel Inverter Topology. Journal of Iranian Association of Electrical and Electronics Engineers 2022; 19 (4) :57-69

[3] A. Seifi, M. Hosseinpour, and , A. Dejamkhooy2021. A switch-source cell-based cascaded multilevel inverter topology with minimum number of power electronics components. Transactions of the Institute of Measurement and Control, 43(5), pp.1212-1225.

[4] M. Sarebanzadeh, M.A. Hosseinzadeh, C. Garcia, E. Babaei, M. Hosseinpour, A. Seifi, and J. Rodriguez, 2021. A 15-Level Switched-Capacitor Multilevel Inverter Structure With Self-Balancing Capacitor. IEEE Transactions on Circuits and Systems II: Express Briefs, 69(3), pp.1477-1481.

[5] Noori M, Hosseinpour M, Mousavi-Aghdam S R. Single Source Switched Capacitor Multilevel inverter with Voltage Boosting Capability and Low Switch Count. Journal of Iranian Association of Electrical and Electronics Engineers 2024; 21 (2) :47-59

[6] P.R. Bana, K.P. Panda, R.T. Naayagi, P. Siano, and G. Panda, 2019. Recently developed reduced switch multilevel inverter for renewable energy integration and drives application: topologies, comprehensive analysis and comparative evaluation. IEEE access, 7, pp.54888-54909.

[7] G.A. Saccol, J.C. Giacomini, A.L. Batschauer, and C. Rech, 2018. Comprehensive analysis of single-phase full-bridge asymmetrical flying capacitor inverters. IEEE Transactions on Industry Applications, 55(2), pp.1775-1786.

[8] M. Derakhshandeh, M. Hosseinpour, A. Seifi, and M. Shahparasti, 2024. An enhanced 13-level triple voltage gain switched capacitor inverter with lower power electronics devices. IET Power Electronics.

[9] M. Hosseinpour, M. Noori, and M. Shahparasti, 2024. A 17-level octuple boost switched-capacitor inverter with lower voltage stress on devices. Scientific Reports, 14(1), p.14411.

[10] S. Islam, M.D. Siddique, A. Iqbal, S. Mekhilef, and M. Al-Hitmi, 2022. A Switched Capacitor-Based 13-Level Inverter with Reduced Switch Count. IEEE Transactions on Industry Applications, 58(6), pp.7373-7383.

[11] P.R. Bana, K.P. Panda, S. Padmanaban, and G. Panda, 2020. Extendable switched-capacitor multilevel inverter with reduced number of components and self-balancing capacitors. IEEE Transactions on Industry Applications, 57(3), pp.3154-3163

[12] M.F. Talooki, M. Rezanejad, R. Khosravi, and E. Samadaei, 2020. A novel high step-up switched-capacitor multilevel inverter with self-voltage balancing. IEEE Transactions on Power Electronics, 36(4), pp.4352-4359.

[13] N. Sandeep, 2020. A 13-level switched-capacitor-based boosting inverter. IEEE Transactions on Circuits and Systems II: Express Briefs, 68(3), pp.998-1002.

[14] V. Anand, V. Singh, X. Guo, M.A.J. Sathik, Y.P. Siwakoti, S. Mekhilef, and F. Blaabjerg, 2023. Seventeen Level Switched Capacitor Inverters With the Capability of High Voltage Gain and Low Inrush Current. IEEE Journal of Emerging and Selected Topics in Industrial Electronics.

[15] H.K. Jahan, M. Abapour, and K. Zare, 2018. Switched-capacitor-based single-source cascaded H-bridge multilevel inverter featuring boosting ability. IEEE Transactions on Power Electronics, 34(2), pp.1113-1124.

[16] M. Abapour, K. Zare, S.H. Hosseini, F. Blaabjerg, and Y. Yang, 2019. A multilevel inverter with minimized components featuring self-balancing and boosting capabilities for PV applications. IEEE Journal of Emerging and Selected Topics in Power Electronics.

[17] A.K. Singh, and R.K. Mandal, 2022. A Novel 17-level reduced component single DC switched-capacitor-based inverter with reduced input spike current. IEEE Journal of Emerging and Selected Topics in Power Electronics, 10(5), pp.6045-6056.

[18] A. Sheir, M.Z. Youssef, and M. Orabi, 2018. A novel bidirectional T-type multilevel inverter for electric vehicle applications. IEEE Transactions on Power Electronics, 34(7), pp.6648-6658.

[19] B. P. McGrath and D. G. Holmes, “Multicarrier PWM strategies for multilevel inverters”, IEEE Trans. Ind. Electron., vol. 49, no. 4, pp. 858-867, Aug. 2002.

[20] H.R. Baghaee, A.K. Kaviani, M. Mirsalim, and G.B. Gharehpetian, 2012, February. Harmonic optimization in single DC source multi-level inverters using RBF neural networks. In 2012 3rd Power Electronics and Drive Systems Technology (PEDSTC) (pp. 403-409). IEEE.

[21] S. Du, J. Liu, and T. Liu, 2014. Modulation and closed-loop-based DC capacitor voltage control for MMC with fundamental switching frequency. IEEE Transactions on Power Electronics, 30(1), pp.327-338.

[22] M.D. Siddique, B. Prathap Reddy, A. Iqbal, and S. Mekhilef, 2020. Reduced switch count-based N-level boost inverter topology for higher voltage gain. IET Power Electronics, 13(15), pp.3505-3509.

[23] H. Shayeghi, A. Seifi, M. Hosseinpour, and N. Bizon, 2022. Developing a Generalized Multi-Level Inverter with Reduced Number of Power Electronics Components. Sustainability, 14(9), p.5545.

[24] A. Seifi, M. Hosseinpour, and S.H. Hosseini, 2023. A novel bidirectional modular multilevel inverter utilizing diode-based bidirectional unit. International Journal of Circuit Theory and Applications.

[25] P. Bhatnagar, A.K. Singh, K.K. Gupta, and Y.P. Siwakoti, 2021. A switched-capacitors-based 13-level inverter. IEEE Transactions on Power Electronics, 37(1), pp.644-658.

[26] Y. Ye, S. Chen, T. Hua, M. Lin, and X. Wang, 2021. Self-balanced multilevel inverter with hybrid double-and half-mode switched capacitor. IEEE Transactions on Industrial Electronics, 69(6), pp.5735-5744.
[27] S. Majumdar, K.C. Jana, P.K. Pal, A. Sangwongwanich, and F. Blaabjerg, 2021. Design and implementation of a single-source 17-level inverter for a single-phase transformer-less grid-connected photovoltaic systems. IEEE Journal of Emerging and Selected Topics in Power Electronics, 10(4), pp.4469-4485.
[28] M.S.B. Arif, U. Mustafa, S.B.M. Ayob, J. Rodriguez, A. Nadeem, and M. Abdelrahem, 2021. Asymmetrical 17-level inverter topology with reduced total standing voltage and device count. IEEE Access, 9, pp.69710-69723.
[29] M.A. Hosseinzadeh, M. Sarebanzadeh, C.F. Garcia, E. Babaei, J. Rodriguez, and R. Kennel, 2022. Reduced multisource switched-capacitor multilevel inverter topologies. IEEE Transactions on Power Electronics, 37(12), pp.14647-14666.
[30] K.P. Panda, P.R. Bana, O. Kiselychnyk, J. Wang, and G. Panda, 2021. A single-source switched-capacitor-based step-up multilevel inverter with reduced components. IEEE Transactions on Industry Applications, 57(4), pp.3801-3811.
[31] J. Sathik, D. Almakhles, and M.F. Elmorshedy, 2023. High Boost Seventeen Level Switched Capacitor Inverter Topology with Continuous Input Current. IEEE Journal of Emerging and Selected Topics in Power Electronics.
[32] K.P. Panda, P.R. Bana, and G. Panda, 2020. A switched-capacitor self-balanced high-gain multilevel inverter employing a single DC source. IEEE Transactions on Circuits and Systems II: Express Briefs, 67(12), pp.3192-3196.

زیرنویس‌ها

[1] Pulse Width Modulation-Level Shifted
[2] Maximum Blocking Voltage
[3] Total Standing Voltage
[4] Multi-Level Inverter
[5] Flying Capacitor
[6] Neutral-Point Clamped
[7] Cascaded H-Bridge
[8] Switched Capacitor Multi Level Inverters