طراحی عنصر تاخیری برای مبدل‌های زمان به دیجیتال

حسن مولایی[1] خسرو حاج صادقی[2]

۱- دانشجوی دکتری- دانشکده برق - دانشگاه صنعتی شریف - تهران – ایران

h_molaei@ee.sharif.edu

۲- استادیار- دانشکده برق - دانشگاه صنعتی شریف - تهران - ایران

ksadeghi@sharif.edu

چکیده: طراحی عنصر تاخیری که یک بلوک کلیدی در مبدل‌های زمان به دیجیتال (TDC) می‌باشد، یک بخش چالش برانگیز در طراحی حلقه‌های قفل فاز تمام دیجیتال (ADPLLs) است. در این مقاله طراحی مدار یک عنصر تاخیری تازه ارائه می‌شود که با کاهش خازن‌های پارازیتیکی زمان تاخیر انتشار را کاهش داده و متناسب با آن قدرت تفکیک مبدل زمان به دیجیتال را افزایش می‌دهد. افزون بر آن، حساسیت طرح پیشنهادی به ناهمسانی افزاره‌ها و تغییرات فرایند ساخت نسبت به طرح‌های موجود کمتر است. برای آزمودن و اثبات کارایی طرح جدید، یک مبدل زمان به دیجیتال ۸ بیتی تازه طراحی شده است که از یک تقویت‌کننده زمانی قابل تنظیم استفاده می‌کند و به قدرت تفکیک زیر پیکوثانیه می‌رسد. با استفاده از یک مدار کالیبراسیون تغییرات بهره مربوط به تقویت‌کننده زمانی به کمتر از ٪۱ کاهش یافته است. نتایج شبیه‌سازی مداری در فناوری ۰/۱۸μm CMOS بهبود ٪۳۵ در قابلیت تفکیک مبدل و کاهش ٪۲۰ در مصرف توان نسبت به طراحی‌های مرسوم را نشان می‌دهد.

واژه‌های کلیدی: طراحی عنصر تاخیری، مبدل زمان به دیجیتال، تقویت‌کننده زمانی، بهره قابل تنظیم، توان کم.

نوع مقاله: پژوهشی

DOI: 10.29252/jiaeee.18.4.105

تاریخ ارسال مقاله : ۱۳۹۷/۷/۱۶

تاریخ پذیرش مشروط مقاله : ۱۳۹۷/۱۱/۱۱

تاریخ پذیرش مقاله : ۱۳۹۸/۴/۲

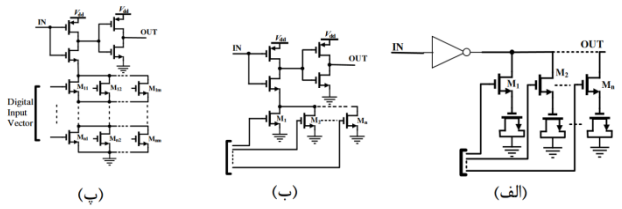
نام نویسنده مسئول: خسرو حاج صادقی

نشانی نویسنده مسئول: ایران - تهران - خیابان آزادی - دانشگاه صنعتی شریف - دانشکده مهندسی برق

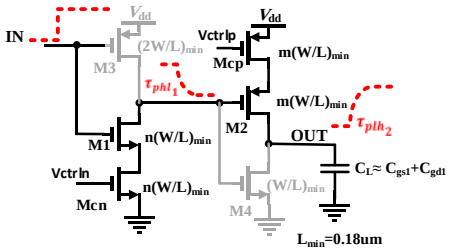
۱- مقدمه

بدنبال کاهش ابعاد افزاره‌ها به مقادیر بسیار کمتر از میکرومتر در فناوری‌های ساخت، قدرت تفکیک لبه گذر سیگنال‌های دیجیتال در حوزه زمان نسبت به قدرت تفکیک ولتاژ سیگنال‌های آنالوگ افزایش یافته است [۱]. از این رو حلقه‌های قفل فاز بر پایه پمپ بار آنالوگ [۲] در حال جایگزینی با حلقه‌های قفل فاز تمام دیجیتال[۱] (ADPLLs) می‌باشند[۴،۳] که معمولاً از یک مبدل زمان به دیجیتال برای آشکارسازی فاز بهره می‌برند [۵]. تاکنون انواع گوناگون مبدل‌های زمان به دیجیتال معرفی شده اند تا خطای کوانتیزه نمودن را کاهش دهند، زیرا این خطا بطور مستقیم بر روی نویز فاز در یک حلقه قفل فاز تمام دیجیتال اثر می‌گذارد. توان تفکیک اکثر مبدل‌های زمان به دیجیتال معمول همچون فلش [۶]، ورنیه [۷]، نوسان‌ساز حلقوی دروازه‌ای[۲] (GRO) [۸-۱۰]، و آنهایی که بر پایه تقویت‌کننده زمانی[۳] هستند [۱۱-۱۳]، همگی به یک مرجع زمانی بستگی دارند. این امر مشابه توان تفکیک مبدل‌های آنالوگ به دیجیتال است که بستگی به یک ولتاژ مرجع دارند. بنابراین به یک مرجع زمان کوچک که دارای پایداری خوب در برابر تغییرات فرایند ساخت[۴] و ناهمسانی افزاره‌ها[۵] باشد، برای مبدل‌های زمان به دیجیتال با توان تفکیک بالا نیاز است.

این مرجع زمانی با یک عنصر تاخیری ایجاد می‌شود. ساده ترین عنصر تاخیری یک معکوس‌کننده است، اما در یک معکوس‌کننده مشخصات تاخیری نامتقارن است که این امر سبب ناهمسانی زمان صعود و زمان نزول سیگنال در یک معکوس‌کننده می‌شود. یک بافر که متشکل از دو معکوس‌کننده به دنبال همدیگر می‌باشد، بیشتر خطی بوده و توانایی راندن بارهای خازنی بزرگ را دارا می‌باشد. با این همه اندازه تاخیری که یک بافر ایجاد می‌کند وابسته به فناوری ساخت آن می‌باشد و قابل تنظیم نیست. برای بدست آوردن مقدار تاخیر قابل تنظیم سه روش شناخته شده موجود است: روش خازن موازی، روش استفاده از عناصر گرسنه جریان[۶]، و روش مقاومت متغیر [۱۴]. در روش نخست همانگونه که در شکل ۱ (الف) [۱۴] نشان داده شده است، با استفاده از خازنهایی که توسط ورودیهای دیجیتال کنترل می‌شوند و به عنوان بار خازنی به صورت موازی با یک معکوس‌کننده در مدار قرار می‌گیرند تاخیر معکوس‌کننده تغییر می‌نماید. روش دیگر برای کنترل تاخیر یک معکوس‌کننده که به نام عنصر گرسنه جریان شناخته شده و در شکل ۱ (ب) دیده می‌شود، با تغییر جریان الکتریکی و در نتیجه تغییر توان رانش[۷] ترانزیستورها بدست می‌آید. در این شکل قدرت جریان‌کشی ترانزیستور Mn توسط مجموعه‌ای از ترانزیستورهای موازی که به صورت سری با این ترانزیستور قرار گرفته و توسط یک بردار ورودی دیجیتال روشن می‌شوند، کنترل شده و بدین ترتیب تاخیر قابل تنظیم حاصل می‌گردد. در روش سوم که مشابه روش دوم می‌باشد و در شکل ۱ (پ) دیده می‌شود ترانزیستورهای کنترلی به عنوان مقاومت سری در پایه‌ی سورس ترانزیستور Mn عمل نموده و با تغییر مقاومت سورس، تاخیر معکوس کننده را کنترل می‌نماید.



شکل (۱): سه نوع عنصر تاخیر قابل تنظیم. روش خازن موازی (الف) روش عناصر گرسنه جریان (ب) روش مقاومت متغیر (پ)[۱۴]



شکل (۲): عنصر تاخیر اصلاح شده با عناصر گرسنه جریان[۱۵]

یک عنصر تاخیری تازه را که بر پایه ی روش عنصر گرسنه جریان است، به دلیل سادگی، بازه تاخیری گسترده، و توانایی کنترل آن به وسیله هر دو نوع سیگنال‌های آنالوگ و دیجیتال ارایه می‌دهیم. طرح پیشنهادی دقت عنصر تاخیری را در ازای کاهش سرعت کار آن افزایش می‌دهد. در بیشتر کاربردهای مبدل‌های زمان به دیجیتال مانند حلقه‌های قفل فاز تمام دیجیتال و فاصله‌یاب‌ها[۸]، قدرت تفکیک مهمتر از سرعت کار است. مبدل زمان به دیجیتال همچنین در بیشتر کاربردها تنها به لبه بالارونده‌ی سیگنال‌های ورودی حساس است. از این رو تنها گذر از پایین به بالای عنصر تاخیری مهم است. طراحی پیشنهادی تاخیر مربوط به گذر از پایین به بالا را کاهش می‌دهد، اما تاخیر گذر از بالا به پایین را افزایش می‌دهد. اگرچه تاخیر انتشار عناصر تاخیر در طرح پیشنهادی افزایش می‌یابد، زمان تناوب نمونه برداری مبدل زمان به دیجیتال بسیار بیشتر از زمان تاخیر عناصر تاخیری است. برای نمونه، زمان تناوب نمونه برداری مبدل زمان به دیجیتال برای کاربرد در سیستم جهانی برای ارتباطات سیار (GSM)

باید کمتر از $38.5ns = \frac{1}{26MHz}$ باشد که این زمان بسیار بیش از زمان تاخیر یک بافر ساخته شده در فناوری ۰/۱۸μm CMOS که حدود ۸۰ps است، می‌باشد [۱۶]. افزون بر این، طراحی پیشنهادی در مقایسه با طرحهای متداول از ثبات بیشتری در برابر ناهمسانی افزاره‌ها و تغییرات فرایند ساخت برخوردار می‌باشد.

در ادامه مقاله در بخش ۲ طراحی عنصر تاخیری پیشنهادی ارائه می‌شود. در بخش ۳ ساختار یک مبدل زمان به دیجیتال که از عناصر تاخیری پیشنهادی در طراحی آن استفاده می‌شود، آورده شده است. در بخش بعدی به نتایج شبیه سازیهای انجام شده می‌پردازیم و سرانجام بررسی و نتیجه گیری نهایی در بخش ۵ انجام می‌شود.

۲- طراحی عنصر تاخیری پیشنهادی

شکل ۲ یک عنصر تاخیری تازه و بهبود یافته را نشان می‌دهد. ترانزیستورهای بار M3 و M4 با کمترین اندازه انتخاب شده‌اند تا اثرات بارگذاری پارازیتی آنها روی تاخیر گذر از پایین به بالا کاهش یافته و ناچیز شود. سیگنال‌های Vctrln و Vctrlp برای تنظیم تاخیر مورد استفاده قرار می‌گیرند. برای بیشینه نمودن جریان ترانزیستورهای کنترل و در نتیجه کاهش مقدار تاخیر باید سیگنال‌های کنترلی را به صورت Vctrln=Vdd و Vctrlp=0 قرار دهیم. برای کمینه نمودن تاخیر گذر از پایین به بالا لازم است که نخست رابطه ریاضی برای تاخیر را بدست آوریم. تاخیر گذر از پایین به بالای عنصر تاخیر بهبود یافته را می‌توان به شکل زیر نوشت:

$$\tau_{plh} = \tau_{phl1} + \tau_{plh2} \qquad (۱)$$

که در آن τ_{phl1} نمایانگر تاخیر گذر بالا به پایین طبقه نخست و τ_{plh2} نمایانگر تاخیر گذر پایین به بالای طبقه دوم هستند. تاخیر گذر بالا به پایین طبقه نخست برابر است با :

$$\tau_{phl1} \approx \frac{2C_{L1}V_{dd}}{n(\frac{W}{L})_{min}\mu_n C_{ox}\left(V_{dd}-V_{th_n}\right)^2} \qquad (۲)$$

که در آن $(\frac{W}{L})_{min}$ کوچکترین مقدار پهنا و درازای ترانزیستورها برای فناوری مورد استفاده و C_{L_1} معرف خازن کل در گره خروجی طبقه نخست است که می‌توان آن را به صورت زیر نوشت:

$$C_{L1} = C_{gd1} + C_{db1} + C_{gd2} + C_{gs2} + C_{gd3} + C_{db3} + C_{gd4} + C_{gs4} \qquad (۳)$$

می‌توان از خازنهای مربوط به M3 و M4 چشم پوشی نمود، چون ابعاد این ترانزیستورها بسیار کوچکتر از M1 و M2 انتخاب شده اند. در این صورت رابطه بالا را می‌توان به شکل زیر ساده نمود:

$$C_{L1} = nW_{min}(C_{ov} + C_{jn}) + mW_{min}(2C_{ov} + \frac{2}{3}L_{min}C_{ox}) \qquad (۴)$$

که در این رابطه C_{ov} خازن همپوشانی گیت-درین در هر واحد پهنا، C_{jn} خازن فصل مشترک در هر واحد پهنا برای ترانزیستورهای NMOS (به دلیل ابعاد بزرگ M1 از اثر خازنهای دیواره‌های جانبی چشم‌پوشی شده است)، و C_{ox} خازن اکسید برای گیت-سورس به ازای هر واحد سطح می‌باشد. تاخیر گذر از پایین به بالا برای طبقه دوم برابر است با:

$$\tau_{phl2} \approx \frac{2C_{L2}V_{dd}}{m(\frac{W}{L})_{min}\mu_p C_{ox}\left(V_{dd}-V_{th_p}\right)^2} \qquad (۵)$$

که در آن C_{L_2} خازن کل در گره خروجی طبقه دوم است و می‌توان آنرا به صورت زیر نوشت (در اینجا فرض شده است که طبقه دوم یک طبقه یکسان با خودش را می‌راند):

$$C_{L2} = C_{gs1} + C_{gd1} + C_{gd2} + C_{db2} \qquad (۶)$$

$$C_{L2} = nW_{min}(\frac{2}{3}L_{min}C_{ox} + 2C_{ov}) + mW_{min}(C_{ov} + C_{jp}) \qquad (۷)$$

که در اینجا C_{jp} خازن فصل مشترک[۹] ترانزیستور PMOS بر هر واحد پهنا می‌باشد. بدین ترتیب تاخیر مربوط به عنصر تاخیری را می‌توان به صورت زیر نوشت:

$$\tau_{plh} \approx \frac{2V_{dd}L_{min}}{C_{ox}}\left\{\frac{\left(1+\frac{2m}{n}\right)C_{ov} + C_{jn} + \frac{m}{n}\left(\frac{2}{3}L_{min}C_{ox}\right)}{\mu_n\left(V_{dd}-V_{th_n}\right)^2} + \frac{\left(1+\frac{2n}{m}\right)C_{ov} + C_{jp} + \frac{n}{m}\left(\frac{2}{3}L_{min}C_{ox}\right)}{\mu_p\left(V_{dd}-V_{th_p}\right)^2}\right\} \qquad (۸)$$

برای کمینه نمودن این تاخیر می‌توان نخست مشتق رابطه بالا را نسبت به کمیت $\frac{n}{m}$ به عنوان متغیر بدست آورده و سپس آنرا مساوی صفر قرار داد. در این صورت برای بدست آوردن کمینه تاخیر، رابطه زیر نتیجه می‌شود:

$$(\frac{n}{m})^2 \approx \frac{\mu_p \left(V_{dd} - V_{th_p}\right)^2}{\mu_n \left(V_{dd} - V_{th_n}\right)^2} \qquad (۹)$$

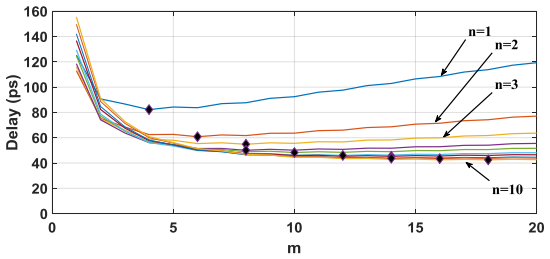
رابطه بالا برای ترانزیستورهای با کانال دراز است. برای ترانزیستورهای با کانال کوتاه رابطه به شکل زیر در می‌آید:

$$(\frac{n}{m})^2 \approx \frac{\mu_p V_{dsat_p}}{\mu_n V_{dsat_n}} \qquad (۱۰)$$

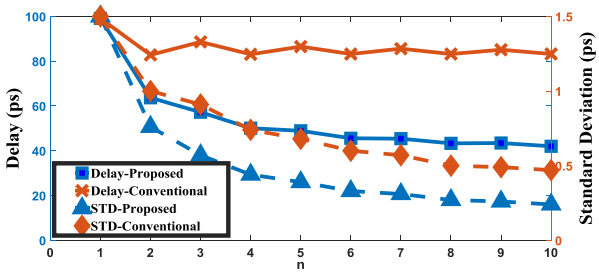
برای یک فناوری نمونه ۰/۱۸μm CMOS این مشخصات عبارتند از:

$$V_{dsat_p} \approx 450mv \quad ،\mu_n = 1400\ \frac{cm^2}{V.S} \quad ،V_{dsat_n} \approx 300mv$$

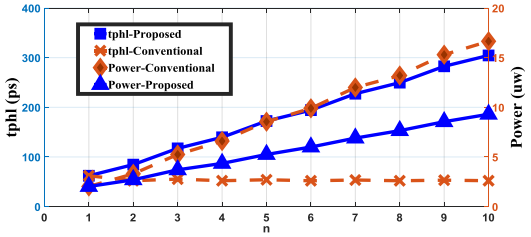
و $\mu_p = 450\ \frac{cm^2}{V.S}$ که از آن نتیجه می‌شود $(\frac{n}{m})^2 \approx \frac{1}{2}$.



شکل (۳): مقدار تاخیر عنصر پیشنهادی برای مقادیر مختلف n و m



شکل (۴): کاهش مقدار تاخیر و حساسیت آن به تغییرات ناشی از فرآیند ساخت و عدم انطباق عناصر با استفاده از روش پیشنهادی



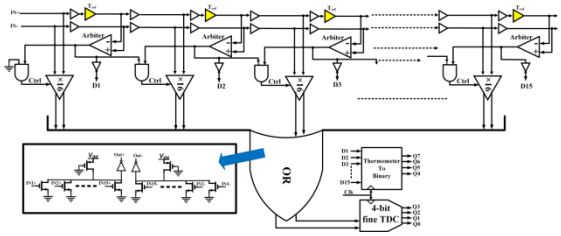
شکل (۵): کاهش توان مصرفی با استفاده از روش پیشنهادی به قیمت افزایش تاخیر بالا-به-پایین

برای تایید صحت این نتایج، تاخیر این عنصر تاخیری پیشنهادی به ازای مقادیر مختلف n و m شبیه سازی شده است. نتایج شبیه سازیها در شکل ۳ نشان داده شده است. همانگونه که انتظار می‌رود کمینه مقدار تاخیر به ازای مقدار $m \cong 2n$ به دست می‌آید. شکل ۴ موثر بودن و مزایای روش پیشنهادی را در مقایسه با روش معمول به وضوح نشان می‌دهد. طراحی پیشنهادی میزان تاخیر را در مقایسه با روش معمول حدود ٪۵۰ کاهش می‌دهد. افزون بر آن، همانطور که نتایج شبیه سازیهای مونت-کارلو در شکل ۴ آشکار می‌کند وابستگی طرح پیشنهادی به ناهمسانی افزاره‌ها و تغییرات فرایند ساخت کمتر می‌باشد. در واقع، کاهش وابستگی تاخیر به ناهمسانی افزاره‌ها و تغییرات فرایند ساخت این اجازه را خواهد داد که بتوان از ترانزیستورهای کوچکتری در ساخت عناصر تاخیری بهره گرفت و بدین ترتیب مصرف توان این عناصر را کاهش داد. مصرف توان عنصر تاخیری بر حسب مقادیر مختلف n در شکل ۵ نشان داده شده است. طراحی پیشنهاد شده مصرف توان را در مقایسه با طراحی‌های معمول حدود ٪۳۰ کاهش می‌دهد. اما این مزایا به ازای تاخیر گذر از بالا به پایین بیشتر بدست می‌آید. در شکل ۵ نشان داده می‌شود که تاخیر از بالا به پایین برای مقدار n=10 در حدود ۳۰۰ps است. به این ترتیب برای مثال یک مبدل زمان به دیجیتال ۸ بیتی دو مرحله ای (شامل یک مبدل درشت دانه ۴ بیتی در مرحله نخست و یک مبدل ریزدانه ۴ بیتی در مرحله دوم) که نیازمند ۳۰ عدد عنصر تاخیری است، به سرعت کاری در حدود ۵۰Msps دست می‌یابد که برای اکثر کاربردها مانند حلقه قفل فاز تمام دیجیتال مناسب و کافی است.

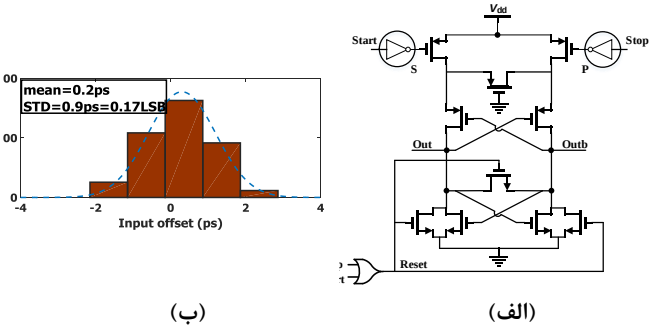
۳- طراحی مبدل زمان به دیجیتال

برای بررسی و تایید کارایی طراحی پیشنهادی، از یک مبدل زمان به دیجیتال ۸ بیتی دومرحله‌ای که بر پایه تقویت‌کننده‌های زمانی طراحی شده است استفاده می‌کنیم. همانطور که در شکل ۶ نشان داده شده است بخشهای درشت‌دانه و ریز دانه‌ی مبدل با استفاده از خطوط تاخیری ساخته شده است. تقویت‌کننده‌های زمانی با بهره (ضریب تقویت) برابر با ۱۶ برای تقویت کردن زمان باقیمانده از بخش درشت-دانه به کار گرفته شده است. در هر طبقه از مبدل درشت‌دانه، یک زمان مرجع (Tref) را از اختلاف زمان ورودی کم کرده و زمان باقیمانده توسط یک مدار ناظر (Arbiter) ارزیابی می‌شود. اگر زمان باقیمانده مثبت باشد، خروجی این طبقه برابر با "1" می‌گردد و تقویت‌کننده زمانی مربوط به آن غیرفعال می‌گردد. اگر زمان باقیمانده منفی باشد، در این صورت خروجی این طبقه برابر با "0" قرار داده می‌شود و به شرط آنکه باقیمانده طبقه پیشین مثبت بوده باشد، تقویت‌کننده زمانی این طبقه فعال می‌گردد. با استفاده از یک مرجع زمانی ۵۵ps مقدار کم ارزشترین بیت مربوط به مبدل تقریباً برابر با

۳/۴ps می‌شود. از اینرو مقدار n را برابر با ۵ انتخاب می‌نماییم تا شرایط زمان مرجع و پایداری تاخیر در برابر ناهمسانی افزاره‌ها و تغییرات فرایند ساخت بر اساس شکل ۴ حاصل شود. مدار ناظر باید دست کم امکان تشخیص ورودیهای کمتر از یک بیت با کمترین ارزش[۱۰] را دارا باشد. علاوه بر آن، اثرات بارگذاری مدار ناظر باید بر روی هر دو ورودی +IN و -IN یکسان باشد. در شکل ۷ (الف) شماتیک مدار ناظر دیده می‌شود. دو عدد بافر در ورودیهای مدار ناظر قرار داده شده است تا تاخیر مداری برای سیگنال‌های S، P و RESET یکسان گردد که این امر باعث بدست آمدن توان تفکیک زیر پیکوثانیه می‌شود[۱۷]. شبیه سازی مونت-کارلو دوهزار نقطه‌ای انجام شده تا توان تفکیک مدار ناظر در برابر ناهمسانی افزاره‌ها و تغییرات فرایند ساخت مشخص گردد. شکل ۷ (ب) نشان می‌دهد که انحراف معیار تغییرات در مدار ناظر کمتر از ۰/۳ بیت با کمترین ارزش (۰/۳LSB) است.



شکل (۶): ساختار مبدل زمان به دیجیتال پیشنهادی [۱۹]



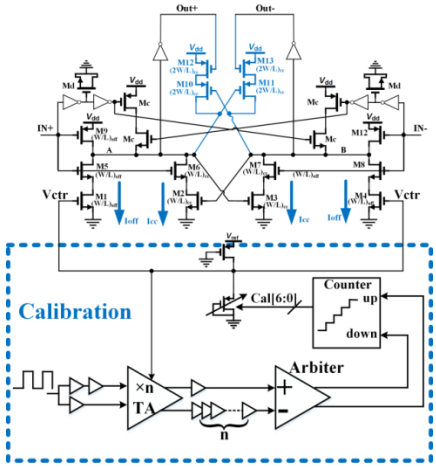
(ب) (الف)

شکل (۷): ساختار (الف) و دقت (ب) مدار ناظر [۱۷]

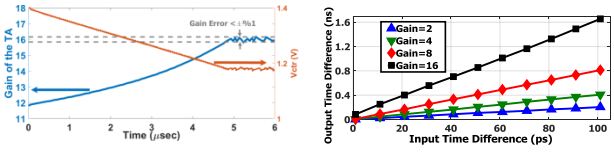
شکل ۸ یک تقویت‌کننده زمانی تازه با بهره قابل تنظیم که بر پایه ساختار جفت متقاطع[۱۱] است را نشان می‌دهد. خروجی‌های تقویت-کننده هنگامی که ورودیها مقدار پایین داشته باشند، برابر صفر است. به محض اینکه یکی از ورودیهای +IN یا -IN بالا برود، بار موجود در یکی از گره‌های مربوطه A یا B آغاز به تخلیه می‌نماید. از دو مسیر مستقل (جریانهای آفست) برای پایین آوردن ولتاژ گره‌های A و B پیش از بروز رفتار نمایی[۱۲] ساختار جفت متقاطع استفاده می‌شود. از اینرو اختلاف زمانی سیگنال‌های خروجی از تقویت‌کننده زمانی توسط قدرت مسیرهای مستقل کنترل می‌شود. بهره تقویت‌کننده زمانی با بهبود بخشیدن ترارسانایی ترانزیستورهای جفت متقاطع با استفاده از ترانزیستورهای جفت PMOS یعنی M11 و M12 افزایش می‌یابد. برای ابعاد برابر برای ترانزیستورها بهره تقویت‌کننده زمانی برای اختلاف زمانی‌های کوچک ورودی برابر ۴ خواهد شد (با فرض Vctr = vdd). با فرض مدل علائم کوچک برای جفت متقاطع بهره تقویت‌کننده زمانی را می‌توان به صورت زیر نوشت:

$$A_T = \left(1+\frac{I_{cc}}{I_{off}}\right)^2 = \left(1+\frac{(\frac{W}{L})_{cc}}{(\frac{W}{L})_{off}}\right)^2 \qquad (۱۱)$$

که در آن $(\frac{W}{L})_{cc}$ اندازه ترانزیستورهای جفت متقاطع و $(\frac{W}{L})_{off}$ اندازه ترانزیستورهای جریان آفست می‌باشند. اگرچه کاهش اندازه‌ی ترانزیستورهای جریان آفست باعث افزایش بهره تقویت‌کننده زمانی می‌شود، اما این امر سرعت مدار را کاهش می‌دهد. افزون بر آن، داشتن بهره بزرگتر نه تنها مشکلات و مسائلی در رابطه با پایداری بیشتر به دلیل رفتار غیرخطی جفتهای متقاطع ایجاد می‌کند، بلکه محدوده‌ی خطی ورودی و سرعت تقویت را نیز کاهش می‌دهد. ترانزیستورهای M13 و M14 برای حذف توان مصرفی ایستا هنگامی که ورودیها در سطح بالا قرار دارند، افزوده شده است. هنگامی که ورودیها در سطح بالا قرار دارند، بار الکتریکی گره‌های A و B تخلیه شده و ولتاژ این گره‌ها در سطح پایین قرار می‌گیرند. از اینرو ترانزیستورهای M10 و M11 روشن شده و یک جریان ایستا در هر دو مسیر برقرار می‌گردد. ترانزیستورهای M13 و M14 به محض آماده بودن خروجی‌ها خاموش می‌شوند. در نتیجه، هر دو مسیر قطع می‌شوند و جریان ایستا به صفر خواهد رسید. ترانزیستورهای Mc و Md به عنوان بخش جبران بهره به کار گرفته شده‌اند تا محدوده دینامیکی عملکرد تقویت‌کننده زمانی را افزایش دهند، زیرا بهره تقویت‌کننده زمانی برای اختلاف زمانی‌های بزرگ در ورودی کاهش می‌یابد. جزییات بخش جبران‌سازی بهره در مرجع [۱۸] توضیح داده شده است.



شکل (۸): تقویت‌کننده زمانی پیشنهادی به همراه مدار کالیبراسیون آن



(ب) (الف)

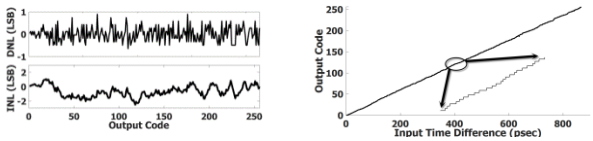
شکل (۹): تابع انتقال (الف) و کارایی (ب) مدار کالیبراسیون تقویت-کننده پیشنهادی

بهره تقویت‌کننده زمانی با تغییرات فرایند ساخت، ولتاژ و دما (PVT) تغییر می‌کند، چون یک ساختار حلقه باز می‌باشد. برای کاهش این تغییرات بهره یک مدار کالیبراسیون در اینجا پیشنهاد می‌شود. شکل ۸ مدار کالیبراسیون پیشنهادی برای تثبیت بهره در برابر تغییرات فرایند ساخت، ولتاژ و دما (PVT) را نشان می‌دهد. مدار کالیبراسیون از پس-خورد منفی برای تنظیم ولتاژ Vctr و به دست آوردن بهره دقیق استفاده می‌کند. نتایج شبیه سازیهای خروجی تقویت‌کننده زمانی برای بهره‌های مختلف و برای اختلاف زمان ورودی در گستره‌ای بیش از ۱۰۰ps در شکل ۹ (الف) نشان داده شده است. همانگونه که انتظار می‌رود بهره تقویت‌کننده به ازای مقادیر مختلف خطی می‌باشد. اما در هنگام انتخاب مقادیر بزرگتر بهره، این مقدار حساس‌تر بوده و بیشتر در معرض تغییرات فرایند ساخت، ولتاژ و دما می‌باشد. دلیل این حساسیت این است که برای مقادیر بزرگتر بهره رفتار ناپایدار جفت متقاطع غالب می‌شود. شکل موج سیگنال خروجی مدار کالیبراسیون در شکل ۹ (ب) دیده می‌شود. مدار کالیبراسیون پیشنهادی تنظیم بهره را در محدوده ٪۱ خطا در مدت زمان ۵μs انجام می‌دهد.

۴- نتایج شبیه‌سازی‌ها

برای ارزیابی و اثبات ایده‌های مطرح شده، یک مبدل زمان به دیجیتال با استفاده از عناصر تاخیری پیشنهادی طراحی و در فناوری ۰/۱۸μm CMOS شبیه‌سازی شده است. در شکل ۱۰ رونگار (Layout) کامل مبدل نشان داده شده است که مساحتی برابر با $۰/۰۷۳\mu m^2$ را در بر می‌گیرد. با استفاده از دو ورودی ۲۹/۹۹۵MHz و ۳۰MHz برای به دست آوردن یک تابع شیب (Ramp) از اختلاف زمانی ورودی، تابع انتقالی مبدل زمان به دیجیتال در شکل ۱۱ (الف) دیده می‌شود. ناخطینگی تفاضلی و تجمیعی مبدل برای کدهای مختلف خروجی در شکل ۱۱ (ب) نشان داده شده است. بدترین مقادیر ناخطینگی تفاضلی و تجمیعی به ترتیب برابر با ۰/۹LSB و ۲/۴LSB است. دو سرچشمه اصلی ناخطینگی، خطای بهره تقویت‌کننده زمانی و خطای تاخیر مربوط به عناصر تاخیری می‌باشد. خطای بهره تقویت‌کننده زمانی با استفاده از مدار کالیبراسیون پیشنهادی بسیار کاهش یافته است. در نتیجه مقدار ناخطینگی تفاضلی برای اختلاف زمانی‌های کوچک ورودی که در آنها خطای ناشی از تقویت‌کننده غالب است، کمتر از ناخطینگی برای اختلاف زمانی‌های بزرگ می‌باشد. خطینگی مبدل زمان به دیجیتال برای اختلاف زمان بیشتر ورودیها کاهش می‌یابد، زیرا در این حالت خطای عناصر تاخیری غالب می‌شود. حساسیت عناصر تاخیری را نسبت به تغییرات فرایند ساخت، ولتاژ و دما می‌توان با افزایش توان مصرفی همانگونه که در شکل ۴ نشان داده شده است، کاهش داد.

شکل (۱۰): رونگار مبدل زمان به دیجیتال پیشنهادی



(ب) (الف)

شکل (۱۱): تابع انتقال (الف) و ناخطینگی (ب) مبدل زمان به دیجیتال پیشنهادی

توزیع مربوط به کدهای حاصل برای دو ورودی ثابت که با شبیه‌سازی هزار نقطه‌ای مونت-کارلو به دست آمده است، در شکل ۱۲ دیده

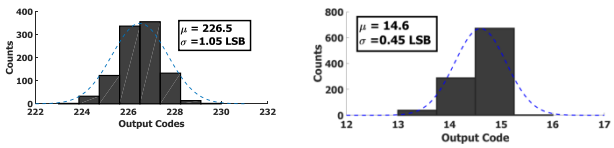
می‌شود. پایداری مبدل زمان به دیجیتال در برابر ناهمسانی افزاره‌ها و تغییرات فرایند، برای اختلاف زمانی‌های ورودی کوچک بهتر است، زیرا بیشترین سرچشمه ناخطینگی از خطای بهره تقویت‌کننده زمانی ناشی می‌شود. بنابراین افزایش توان مصرفی، خطینگی را بهبود می‌بخشد. جدول ۱ کارایی طرح پیشنهادی در مقایسه با بهترین و به روزترین مبدل‌های زمان به دیجیتال موجود را نشان می‌دهد. عنصر تاخیری پیشنهاد شده توان تفکیک مبدل زمان به دیجیتال را ٪۳۵ بهبود می‌بخشد. این بهبود از کاهش خازن‌های پارازیتیکی ناشی از ترانزیستورهای خاموش در مسیر سیگنال ورودی تا خروجی به دست می‌آید. طرح پیشنهادی همچنین توان مصرفی را حتی با وجود مدار کالیبراسیون پیشنهادی اضافه شده در تقویت‌کننده زمانی، کاهش می‌دهد. مدار کالیبراسیون ناخطینگی‌های تفاضلی و تجمیعی مبدل زمان به دیجیتال را با افزایش قدرت تفکیک تقویت‌کننده زمانی کاهش می‌دهد. عنصر تاخیری پیشنهادی حساسیت عناصر تاخیری را نسبت به تغییرات فرایند ساخت، ولتاژ و دما کاهش می‌دهد. ولی افزایش قدرت تفکیک مبدل و در نتیجه کاهش مقدار کم ارزشترین بیت (LSB) از ۵/۳ps به ۳/۴ps باعث می‌شود که اثرات ناخطینگی بر حسب کم ارزشترین بیت (LSB) افزایش یابد. شمار بیتهای مؤثر خطی $N_{Linearity}$ را به صورت زیر تعریف می‌کنیم تا مقدار ناخطینگی مبدل‌ها نیز در نظر گرفته شده و به تبع آن مقایسه منصفانه‌تری بین طراحی‌ها انجام گیرد.

$$N_{Linearity} = Bits - \log_2(INL + 1) \qquad (۱۲)$$

معیار شایستگی[۱۳] مبدل نیز می‌تواند برای مقایسه راندمان انرژی مصرفی مبدل استفاده شود.

$$FOM = \frac{Power}{2^{N_{Linearity}} \times fs} \qquad (۱۳)$$

همانگونه که در جدول ۱ دیده می‌شود با وجود استفاده از تکنولوژی قدیمی‌تر، مبدل پیشنهادی معیار شایستگی بهتری در مقایسه با بهترین کارهای روز دارا می‌باشد.



(الف) برای کد ۱۵ (ب) برای کد ۲۲۶

شکل (۱۲): شبیه سازی مونت-کارلو هزار نقطه ای برای دو ورودی ثابت

برای دستیابی به قابلیت تفکیک‌های بالاتر می‌توان تعداد بیتها در هر طبقه یا تعداد طبقه‌ها را افزایش داد. استفاده از تعداد بیت های متفاوت برای طبقه‌ها مصالحه‌ای بین قابلیت تفکیک و محدوده دینامیکی مبدل به قیمت افزایش تاخیر آن ایجاد می‌کند. برای مثال برای دستیابی به قابلیت تفکیک ۱۲ بیت، می‌توان از دو طبقه مبدل شش بیتی ویا سه طبقه چهار بیتی استفاده کرد. با فرض استفاده از دو طبقه شش بیتی، با توجه به اینکه تاخیر قسمت‌های ریزدانه و درشت‌دانه مبدل تابعی نمایی از قابلیت تفکیک آن قسمت است، مقدار تاخیر هر کدام از قسمتهای درشت‌دانه و ریزدانه شش بیتی، در مقایسه با قسمتهای چهار بیتی که در بخشهای پیشتر بررسی شد، چهاربرابر می‌شود.. علاوه بر این، قابلیت تفکیک تقویت‌کننده زمانی باید چهاربرابر بهبود یابد که این باعث افزایش توان مصرفی و افزایش چهاربرابری تاخیر آن می‌شود. در نتیجه سرعت کلی مبدل چهار برابر کاهش می‌یابد. در مقایسه، استفاده از سه طبقه چهاربیتی نیازمند عناصر دقیق‌تر در طبقه اول نسبت به عناصر طبقه‌های بعدی می‌باشد که افزایش توان مصرفی را برای طبقه ابتدایی به همراه دارد. با توجه به اینکه تاخیر تقویت‌کننده از تاخیر کلی هر طبقه بسیار کمتر است، تاخیر کلی مبدل تقریبا ۱/۵ برابر می‌شود که نسبت به حالت دو طبقه-ای تاخیر بسیار کمتری می‌باشد.

۵- نتیجه گیری

در این مقاله طراحی یک عنصر تاخیری با کارایی بالا برای کاربردهای تبدیل زمان به دیجیتال ارائه شده است. عنصر تاخیری پیشنهادی تاخیر گذر پایین به بالای کمتری دارد که قابلیت تفکیک مبدل را نسبت به مبدل‌های معمول ٪۳۵ افزایش می‌دهد. افزون بر آن عنصر پیشنهادی توان کمتری مصرف می‌کند و حساسیت کمتری نسبت به ناهمسانی افزاره‌ها و تغییرات فرایند ساخت دارد، ولی سرعت کار را اندکی کاهش می‌دهد. این کاهش سرعت کار در مقایسه با افزایش توان تفکیک به دست آمده برای اکثر کاربردهای مبدل‌های زمان به دیجیتال قابل چشم پوشی است. یک تقویت‌کننده زمانی تازه با قابلیت تنظیم بهره نیز در این مقاله ارائه شده است که خطای بهره را به کمتر از ٪۱ محدود می‌کند. طراحی‌های پیشنهادی ضریب شایستگی مبدل زمان به دیجیتال را ٪۲۰ بهبود می‌بخشد.

جدول (۱): مقایسه مبدل‌های زمان به دیجیتال

	[۱۱]	[۱۳]	[۲۰]	این مقاله	
				با استفاده از عنصر تاخیر مرسوم[۱۹]	با استفاده از عنصر تاخیر پیشنهادی
فناوری(nm)	۹۰	۶۵	۱۳۰	۱۸۰	**۱۸۰**
ساختار	تقویت کننده زمانی	تقویت کننده زمانی	خط لوله	تقویت کننده زمانی	**تقویت کننده زمانی**
قدرت تفکیک (ps)	۱/۲۵	۳/۷۵	۱/۷۶	۵/۳	**۳/۴**
سرعت (MS/s)	۱۰	۲۰۰	۳۰۰	۳۰	**۳۰**
تعداد بیت‌ها	۹	۷	۱۰	۸	**۸**
توان مصرفی(mW)	۳	۳/۶	۱۱۵	۱/۱	**۱**
مساحت اشغالی(mm^2)	۰/۰۳	۰/۰۲	۰/۸۸	۰/۰۵	**۰/۰۷**
ناخطینگی تفاضلی(LSB)	۰/۸	۰/۹	۰/۶	۰/۹	**۰/۹**
ناخطینگی تجمیعی(LSB)	۳	۲/۳	۱/۹	۲/۸	**۲/۴**
$N_{Linearity}$	۷	۵/۲۸	۸/۴۶	۶/۰۷	**۶/۲۲**
ضریب شایستگی FOM $\frac{pJ}{\text{Conv.-Step}}$	۲/۳۹	۰/۴۶	۱/۰۸	۰/۵۴	**۰/۴۴**

مراجع

[1] N. U. Andersson and M. Vesterbacka, "A Vernier Time-to-Digital Converter with Delay Latch Chain Architecture," in IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 61, no. 10, pp. 773-777, Oct. 2014.

[۲] آقای مصطفی عابدی ، دکتر جواد یاوند حسنی، **"طراحی PLL دو حلقه ای مبتنی بر آشکارسازی فاز پنجره‌ای با سرعت قفل بالا، توان مصرفی و اسپور مرجع پایین"**، مجله مهندسی برق و الکترونیک ایران، سال چهاردهم، شماره ۲، ۱۳۹۶.

[۳] محمد غلامی ، حمید رحیم پور، جمال قاسمی ،ایمان اسمعیلی پایین افراکتی، **"طراحی حلقه قفل شده تاخیر برای گیرنده های بی سیم جهت بکارگیری در کاربردهای فرکانس بالا"**، مجله مهندسی برق و الکترونیک ایران، سال سیزدهم، شماره ۴، ۱۳۹۵.

[۴] حمید رحیم پور، محمد غلامی، حسین میار نعیمی، غلامرضا اردشیر، **"طراحی ضرب‌کننده فرکانسی بر اساس حلقه قفل فاز شده تاخیر دیجیتالی و با سرعت بالا"**، مجله مهندسی برق و الکترونیک ایران، سال دوازدهم، شماره ۲، ۱۳۹۴.

[5] K. Kim, W. Yu and S. Cho, "A 9 Bit, 1.12ps Resolution 2.5 B/Stage Pipelined Time-to-Digital Converter in 65nm CMOS Using Time-Register," in IEEE Journal of Solid-State Circuits, vol. 49, no. 4, pp. 1007-1016, April 2014.

[6] T. J. Yamaguchi, S. Komatsu, M. Abbas, K. Asada, N. N. Mai-Khanh and J. Tandon, "A CMOS Flash TDC with 0.84 – 1.3ps Resolution Using Standard Cells," 2012 IEEE Radio Frequency Integrated Circuits Symposium, Montreal, QC, 2012, pp. 527-530.

[7] H. Wang, F. F. Dai and H. Wang, "A 330μW 1.25ps 400fs-INL vernier time-to-digital converter with 2D reconfigurable spiral arbiter array and 2nd-order ΔΣ linearization," 2017 IEEE Custom Integrated Circuits Conference (CICC), Austin, TX, 2017, pp. 1-4.

[8] P. Lu, P. Andreani and A. Liscidini, "A 2-D GRO Vernier Time-to-Digital Converter with Large Input Range and Small Latency," 2013 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Seattle, WA, 2013, pp. 151-154.

[۹] بیگ محمدی بابک، نبوی عبدالرضا، **"طراحی مبدل زمان به دیجیتال با دقت بالا با قابلیت شکل دهی نویز کوانتیزیشن"**، پایان نامه کارشناسی ارشد، دانشگاه تربیت مدرس، دانشکده مهندسی برق و کامپیوتر، ۱۳۹۲.

[۱۰] محمدی اکرم، طوفان سیروس، **"مبدل زمان به دیجیتال رزولوشن بالا و توان مصرفی کم مبتنی بر اسیلاتور حلقوی چند مسیره"**، مهندسی برق دانشگاه تبریز، جلد ۴۶، شماره ۳، صفحات ۴۵-۵۰، پاییز ۱۳۹۵.

[11] M. Lee and A. A. Abidi, "A 9b, 1.25ps Resolution Coarse-Fine Time-to-Digital Converter in 90nm CMOS that Amplifies a Time Residue," IEEE Journal of Solid-State Circuits, vol. 43, pp. 769–777, April 2008.

[۱۲] معلمیان نازنین، فرشیدی ابراهیم،انصاری کریم، **"تحلیل و طراحی مبدل زمان به دیجیتال به روش غیر مستقیم"**، پایان نامه کارشناسی ارشد، دانشگاه شهید چمران، دانشکده مهندسی برق و کامپیوتر، ۱۳۹۴.

[13] M. Z. Straayer and M. H. Perrott, "A Multi-Path Gated Ring Oscillator TDC With First-Order Noise Shaping," IEEE Journal of Solid-State Circuits, vol. 44, pp. 1089–1098, April 2009.

[14] M. Maymandi-Nejad and M. Sachdev, "A Digitally Programmable Delay Element: Design and Analysis," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 11, pp. 871–878, Oct 2003.

[15] H. Molaei and K. Hajsadeghi, "A 1.6ps 7b Time to Digital Converter in 0.18um CMOS Technology," Microelectronics Journal, vol. 67, pp. 120 – 127, 2017.

[16] R. B. Staszewski, S. Vemulapalli, and K. Waheed, "An All-Digital Offset PLL Architecture," in 2010 IEEE Radio Frequency Integrated Circuits Symposium, pp. 17–20, May 2010.

[17] B. Tong, W. Yan, and X. Zhou, "A Constant-Gain Time-Amplifier with Digital Self-Calibration," in 2009 IEEE 8th International Conference on ASIC, pp. 1133–1136, Oct 2009.

[18] H. Molaei, A. Khorami, and K. Hajsadeghi, "A Wide Dynamic Range Low Power 2x Time Amplifier Using Current Subtraction Scheme," in 2016 IEEE International Symposium on Circuits and Systems (ISCAS), pp. 462–465, May 2016.

[19] H. Molaei and K. Hajsadeghi, "A 5.3ps 8b Time to Digital Converter Using a New Gain-Reconfigurable Time Amplifier," in IEEE Transactions on Circuits and Systems II: Express Briefs, 2018.

[20] Y. KIM AND T. W. KIM, “An 11b 7ps Resolution Two-Step Time-to-Digital Converter with 3-D Vernier Space,” IEEE Transactions on Circuits and Systems I: Regular Papers, VOL. 61, PP. 2326–2336, AUG 2014.

زیرنویس‌ها

[1] All Digital Phase Locked Loop (ADPLL)
[2] Gated Ring Oscillator
[3] Time Amplifier
[4] Process Variations
[5] Device Mismatch
[6] Current Starved Element
[7] Driving Power
[8] Range Finders
[9] Junction Capacitance
[10] Least Significant Bit (LSB)
[11] Cross Coupled Pair
[12] Exponential
[13] Figure Of Merit