تاثیر ترانزیستورهایDTMOS بر عملکرد یک سلول حافظه CAM سه‌ارزشی مبتنی بر ممریستور در کاربردهای توان‌پایین

مریم توحیدی[1] سیده فاطمه مولایی‌زاده[2] مجتبی گندم‌کار[3]

۱- دانش‌آموخته کارشناسی ارشد-دانشکده‌ی مهندسی و برق و کامپیوتر- دانشگاه صنعتی جندی‌شاپور دزفول- دزفول- ایران
m.tohidi@jsu.ac.ir

۲-استادیار- دانشکده‌ی مهندسی و برق و کامپیوتر- دانشگاه صنعتی جندی‌شاپور دزفول- دزفول- ایران
fmolaee@jsu.ac.ir

۳-استادیار- دانشکده‌ی مهندسی و برق و کامپیوتر- دانشگاه صنعتی جندی‌شاپور دزفول- دزفول- ایران
gandomkar@jsu.ac.ir

چکیده:در این مقاله، استفاده از ترانزیستورهایDTMOS به جای ترانزیستورهای ماسفت در یک سلول حافظه CAM سه ارزشی مبتنی بر ممریستور(MTCAM) پیشنهاد می‌شود. همچنین، تاثیر به‌کارگیری سه روش بایاس مستقیم بدنه در ترانزیستورهایDTMOS بر عملکرد سلول MTCAM در وضعیت نوشتن بررسی می‌شود. روش‌های بایاس بدنه عبارتند از: اتصال مستقیم گیت و بدنه (DT1)، اتصال مستقیم درین و بدنه (DT2) و اتصال گیت و بدنه با منبع ولتاژ ۰/۱ ولت(DT3). نتایج شبیه‌سازی سلول‌هایMTCAM مبتنی بر DTMOS در مقایسه با سلول MTCAM مبتنی بر ماسفت نشان می‌دهد روش DT1 باعث بهبود توان مصرفی کل و حاصل‌ضرب توان و تاخیر (PDP) به ترتیب به میزان ٪۸۶ و ٪۴۲ اما افزایش تاخیر به میزان ٪۳۰ می‌شود، روش DT2 باعث بهبود توان مصرفی کل و PDP به ترتیب به میزان ٪۸۷ و ٪۶۰ اما افزایش تاخیر به میزان ٪۲۰ می‌شود و روش DT3 باعث بهبود توان مصرفی کل و PDP به ترتیب به میزان ٪۸۹ و ٪۷۴ اما افزایش تاخیر به میزان ٪۱۴ می‌شود. بنابراین، سلول DT3- MTCAM کمترین توان مصرفی و تاخیر را دارد و برای کاربردهای توان پایین مناسب‌تر است. شبیه‌سازی‌ها در فرکانس ۴۰ مگاهرتز و تکنولوژی ۱۸۰ نانومتر CMOS انجام شده است.

واژه‌های کلیدی: حافظه‌ی CAM، منطق سه ارزشی، ممریستور، ترانزیستور DTMOS، بایاس مستقیم بدنه، توان پایین.

نوع مقاله: پژوهشی

تاریخ ارسال مقاله : ۱۳۹۸/۰۲/۰۱

تاریخ پذیرش مشروط مقاله: ۱۳۹۸/۱۰/۱۲

تاریخ پذیرش مقاله : ۱۳۹۸/۱۱/۱۳

نام نویسنده‌ی مسئول: دکتر سیده فاطمه مولایی زاده

نشانی نویسنده‌ی مسئول: ایران- خوزستان- دزفول- بلوار سرداران شهید- دانشگاه صنعتی جندی شاپور دزفول- دانشکده‌ی مهندسی برق و کامپیوتر

۱- مقدمه

در طراحی مدارها و سیستم‌های مجتمع تا مدت‌های زیادی فقط فرکانس کاری و سرعت مدار مهم بود و توان و انرژی مصرفی دارای اهمیت کمتری بودند. اما اخیرا کاربردهایی مطرح شده است که در آنها انرژی و توان در اولویت اول و سرعت در اولویت دوم هستند. کاربردهایی نظیر افزاره‌های قابل کشت در بدن انسان، شبکه‌های عصبی و شبکه‌های حسگر با تعداد زیاد در کاربردهای کشاورزی، سلامت و نظامی راه را برای طراحی مدارها با انرژی و توان مصرفی پایین هموار کرده است[۱-۳].

حافظه‌ها جزو جدایی‌ناپذیر تراشه‌ها هستند و درصد بالایی از مساحت و توان مصرفی تراشه‌ها را به خود اختصاص می‌دهند، بنابراین برای کاهش توان مصرفی کل، کاهش توان مصرفی حافظه‌ها اهمیت دارد[۱]. برای این منظور، در این مقاله یک حافظه‌ی قابل‌آدرس‌دهی با محتوای (CAM[۱]) توان پایین ارائه می‌شود.

سلول CAM نوعی حافظه انجمنی است که در آن، داده‌ی مورد جستجو با داده‌های ذخیره شده در حافظه مقایسه می‌شود. سپس، آدرس خانه‌ای از حافظه که در آن یک تطبیق رخ داده است در خروجی ظاهر می‌شود. سلول CAM دو عملکرد اساسی دارد: ذخیره‌سازی بیت و مقایسه‌ی بیت. معمولاً از SRAM[۲] به عنوان ذخیره‌ساز بیت استفاده می‌شود و مدارهایی به آن برای انجام عملیات ذخیره‌سازی بیت و مقایسه بیتی میان داده‌ی ذخیره شده و داده‌ی جستجو اضافه می‌شود. این سلول در طیف وسیعی از کاربردهایی که نیاز به جستجوی سریع داده دارند، مورد استفاده قرار می‌گیرد. به عنوان مثال، می‌توان موارد زیر را نام برد: موتورهای جستجوی سرعت بالا، موتور پایگاه داده، شبکه‌های عصبی مصنوعی در محاسبات نرومورفیک، اینترنت اشیاء، پردازش و فشرده‌سازی تصویر و دیگر سیستم‌های ذخیره و پردازش داده‌های حجیم[۴-۶].

سلول CAM به دو نوع باینری و سه‌ارزشی تقسیم می‌شود. سلول CAM باینری تنها می‌تواند دو مقدار '0' و'1' را ذخیره و جستجو کند. درحالی‌که، سلول CAM سه‌ارزشی (TCAM[۳]) با استفاده از دو بیت می‌تواند علاوه بر مقادیر '0' و'1'، مقدار سومی را هم به‌صورت 'X' یا "فاقد اهمیت" ذخیره و جستجو کند. از آنجایی که مقدار 'X' با صفر، یکیا خودش می‌تواند تطبیق شود، بنابراین، سلول TCAM انعطاف‌پذیری بیشتری را در جستجوی کلمات هم‌خانواده یا مشابه فراهم می‌کند. همچنین، می‌تواند اطلاعات بیشتری را در یک تعداد بیت مشخص، ارسال و یا در یک حافظه با طول مشخص، ذخیره نماید. این انعطاف‌پذیری سبب شده است تا TCAM مزایای بیشتری را در کاربردهایی نظیر فشرده‌سازی داده، بازشناسی الگو، آنالیز ژنوم، موتور جستجو و محاسبات علمی دیگر فراهم آورد [۴-۷]. با این وجود، سلول‌هایTCAM برای ذخیره‌سازی به دو SRAM نیاز دارند. بنابراین، در مقایسه با سلول CAM باینری سطح اشغال شده و توان مصرفی سلول افزایش می‌یابد.

مدار داخلی سلول SRAM معمولاً از ۶ ترانزیستور ماسفت تشکیل شده است[۸]. زیاد بودن تعداد ترانزیستور در مدار SRAM باعث افزایش سطح اشغال شده در سلول حافظه می‌شود. از طرف دیگر، کاهش اندازه ترانزیستور طبق قانون مور با محدودیت مواجه است. ازاین‌رو، برای بهبود کاهش سطح مدار در سلول‌های CAM یا TCAM، توجه محققین در دهه اخیر به سمت استفاده از تکنولوژی‌های حافظه غیرفرار مانند ممریستور جلب شده است [۵،۶،۹،۱۰،۱۱].

ممریستور یک قطعه‌ی دو پایانه با اندازه‌ای کمتر از ۱۰ نانومتر، توان مصرفی پایین، سرعت سوئیچینگ بالا، سازگاری با تکنولوژی CMOS و امکان ذخیره‌سازی داده پس از قطع برق است [۵،۹،۱۲]. ازاین‌رو، استفاده از آن برای ذخیره‌سازی داده به جایSRAM باعث کاهش سطح اشغال شده و بهبود عملکرد سلول CAMیاTCAM خواهد شد.

در چند سال اخیر، چند نوع سلول TCAM بر مبنای ممریستور (MTCAM[۴]) ارائه شده است. معماری این سلول‌ها براساس ترکیبی از ترانزیستورهای ماسفت و ممریستور است و در تعداد ترانزیستور و ممریستور با هم فرق دارند. حافظه‌ی MTCAM برمبنای ۱۲ ترانزیستور ماسفت و ۲ ممریستور[۱۳]، حافظه‌ی MTCAM برمبنای ۸ ترانزیستور ماسفت و ۴ ممریستور[۶،۱۴] و حافظه‌ی MTCAM برمبنای ۵ ترانزیستور ماسفت و ۲ ممریستور[۵] چند نمونه از سلول‌هایMTCAM هستند. سلول معرفی شده در مرجع [۵] کارایی خوبی را از نظر انرژی، تاخیر و سطح اشغال شده از خود نشان داده است. از این رو، این سلول در این مقاله به عنوان سلول مبنا در نظر گرفته می‌شود.

ثابت بودن ولتاژ آستانه در ترانزیستورهای ماسفت سبب می‌شود طراحی سلول حافظه در شرایط ولتاژ پایین و توان پایین با چالش مواجه شود. زیرا برای راه‌اندازی ترانزیستور در ولتاژ پایین لازم است ولتاژ آستانه ترانزیستور کاهش یابد. همچنین، کاهش ولتاژ آستانه ترانزیستور متناسب با کاهش اندازه ترانزیستور نیست. برای حل این مشکل، در این مقاله استفاده از ترانزیستورهای ماسفت آستانه پویا (DTMOS[۵]) به جای ترانزیستورهای ماسفت در سلول مبنا پیشنهاد می‌شود.

پیوند بدنه-سورس در ترانزیستورهایDTMOS برخلاف ترانزیستورهای ماسفت در بایاس مستقیم است. از این رو، امکان کاهش ولتاژ آستانه و در نتیجه راه‌اندازی ترانزیستور با ولتاژ تغذیه کمتر فراهم می‌شود. بنابراین تکنیک بایاس مستقیم بدنه سبب می‌شود این ترانزیستورها انتخاب مناسبی برای مدارهای توان پایین و ولتاژ پایین شوند[۱۵-۱۷]. متداول‌ترین تکنیک بایاس مستقیم بدنه از طریق اتصال مستقیم گیت و بدنه ایجاد می‌شود[۱۵]. این تکنیک با

کاهش ولتاژ آستانه ترانزیستور، ولتاژ تغذیه مدار و نهایتاً توان مصرفی مدار را کاهش می‌دهد[۱۵،۱۸]. تکنیک‌های دیگری که برای راه‌اندازی بدنه استفاده می‌شوند، عبارتند از: تکنیک اتصال مستقیم درین و بدنه [۱۹] و تکنیک اتصال مستقیم گیت و بدنه با ولتاژ ثابت[۲۰]. هدف دیگر این مقاله، بررسی این سه تکنیک و مقایسه عملکرد آنها در سلول مبنا است.

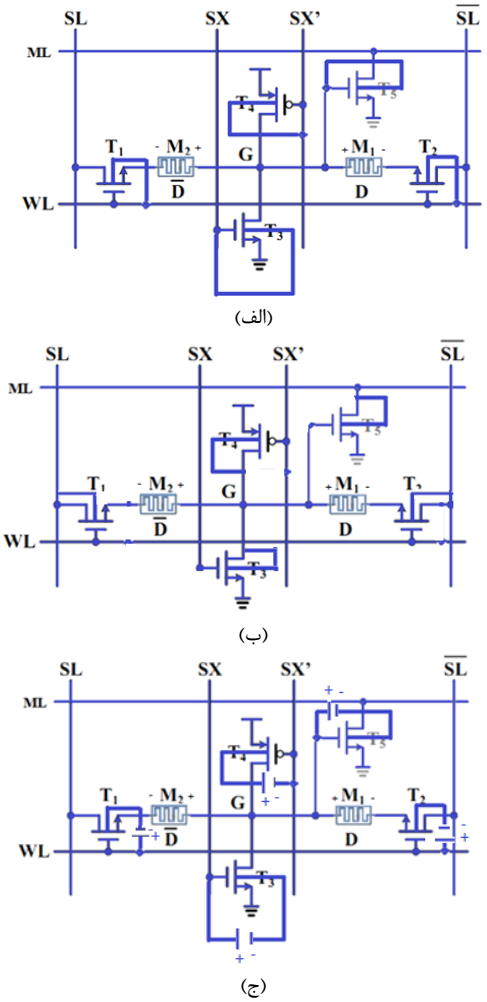
با وجود کاربرد وسیع ترانزیستورهایDTMOS در طراحی فیلتر[۲۱]، تقویت‌کننده [۲۲-۲۴]، ضرب کننده [۱۸] و معکوس‌کننده [۱۹،۲۰]، مطالعات مربوط به حافظه‌ی CAM با ترانزیستورهای DTMOS اندک هستند. به‌طور نمونه، لیو و همکاران در سال ۲۰۰۱ یک سلول CAM توان پایین با ساختار هشت ترانزیستور ماسفت برای بخش SRAM و دو ترانزیستورDTMOS برای بخش مقایسه بیت در ولتاژ ۰/۷ ولت طراحی نمودند[۲۵]. آنها نشان دادند استفاده از ترانزیستورهایDTMOS توان مصرفی مدار حافظه را کاهش می‌دهد. مطالعات مربوط به استفاده از تکنیک‌های دیگر برای بایاس بدنه ترانزیستورهایDTMOS نیز نشان می‌دهد تکنیک بایاس بدنه بر کاهش توان تاثیر زیادی دارد [۱۹،۲۰].

در این مقاله، یک سلول MTCAM جدید بر مبنای ترانزیستورهایDTMOS با اتصال مستقیم گیت و بدنه با ولتاژ ثابت ارائه می شود. این سلول به دلیل استفاده از ممریستور، منطق سه ارزشی و ترانزیستورهای DTMOS، توان و حاصل ضرب توان و تاخیر (PDP[۶]) کمتری دارد.

ساختار این مقاله به این ترتیب است که در بخش دوم، جزئیات سلول حافظه توان پایین پیشنهادی ارائه می‌شود. در بخش سوم، نتایج شبیه‌سازی سلول‌هایMTCAM بر مبنای ترانزیستورهایDTMOS ارائه و عملکرد این سلول‌ها با هم و با سلول حافظه مبنا مقایسه می‌شود. نهایتاً در بخش چهارم به جمع‌بندی نتایج پرداخته می‌شود.

۲- معرفی سلول MTCAM مبتنی بر ترانزیستورهای DTMOS

در این بخش، سه سلول حافظه MTCAM توان پایین برمبنای سه نوع ترانزیستور DTMOS ارائه می‌شود. شکل ۱ سلول‌های پیشنهادی را برای سه نوع تکنیک بایاس بدنه در ترانزیستورهای DTMOS نشان می‌دهد. در این سلول‌ها برای کاهش توان از منطق سه ارزشی، ممریستور و ترانزیستورهای DTMOS استفاده شده است. در ادامه، جزییات مدار به این ترتیب ارائه می‌شود: ابتدا ممریستور و مدل مداری آن جهت شبیه‌سازی در نرم‌افزار HSpice معرفی می‌شود. سپس به معرفی ترانزیستورهای DTMOS و روش‌های بایاس مستقیم بدنه پرداخته می‌شود. نهایتا سلول حافظه MTCAM مبنا معرفی می‌شود.

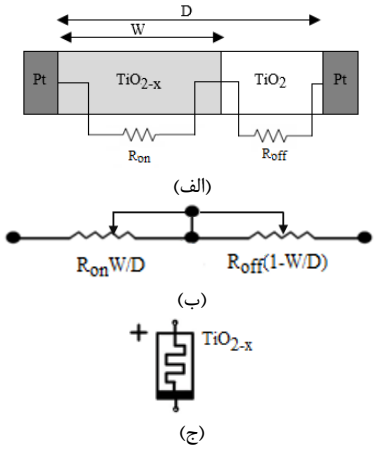


شکل(۱): سلول MTCAM پیشنهادی بر مبنای سه نوع ترانزیستورDTMOS با روش‌های بایاس بدنه متفاوت: (الف) اتصال مستقیم گیت و بدنه، (ب) اتصال مستقیم درین و بدنه و (ج) اتصال مستقیم گیت و بدنه با ولتاژ ثابت

۲-۱- معرفی ممریستور و مدل مداری

ممریستور یک سوییچ الکترونیکی با مشخصه‌یI-V هیسترزیس است. یکی از معروف‌ترین مدل‌های ارائه شده برای ممریستور، مدلHP یا مدل رانشی و نخطی است. ممریستورHP طبق شکل ۲ از یک لایه‌ی نازک نیمه‌هادی دی‌اکسید تیتانیوم با طولD تشکیل شده است که بین دو اتصال فلزی قرار می‌گیرد. لایه‌ی نیم‌رسانای دی‌اکسید تیتانیوم از دو قسمت تشکیل شده است: دی‌اکسید تیتانیوم خالص (TiO2) و دی‌اکسید تیتانیوم ناخالص (TiO2-x) با طول W. ناحیه ناخالص دارای مقاومت کم و ناحیه خالص دارای مقاومت زیاد است. قسمت ناخالص نیز پلاریته‌ی مثبت ممریستوررانشانمی‌دهد [۲۶].

هنگامی که ولتاژ مثبتی به ممریستور اعمال می‌شود، مرز ناحیه‌ی خالص و ناخالص جابه‌جا شده و W افزایش می‌یابد. بنابراین، مقاومت



شکل (۲): مدل ممریستور HP به صورت دو مقاومت سری با مرز متغیر. (الف) مدل فیزیکی ممریستور (ناحیه ناخالص دارای مقاومت کم و ناحیه خالص دارای مقاومت زیاد است)، (ب) مدل مداری ممریستور و (ج) نماد مداری ممریستور(ناحیه ناخالص پلاریته‌ی مثبت ممریستور را نشان می‌دهد) [۲۶]

کل قطعه کم می‌شود. در صورتی که پلاریته‌ی تحریک عوض شود W کم می‌شود و مقاومت کل قطعه، بیشتر می‌شود. همچنین، اگر تحریک قطع شود،W تغییر نخواهد کرد و مقاومت کل تا اعمال تحریک بعدی ثابت می‌ماند. به عبارت دیگر، ممریستور مقاومت قبلی خود را در شرایط قطع منبع انرژی حفظ می‌کند [۲۶].

مطابق با شکل ۲، روابط جریان و ولتاژ در ممریستور به صورت زیر است:

$$v(t)=[R_{on}\frac{W(t)}{D}+R_{off}(1-\frac{W(t)}{D})]i(t) \qquad (۱)$$

که در آن، R_{on} مقاومت دی‌اکسید تیتانیوم ناخالص، R_{off} مقاومت دی‌اکسید تیتانیوم خالص، D طول ممریستور و $W(t)$ طول ناحیه‌ی دی‌اکسید تیتانیوم ناخالص در زمان t است.

میزان مقاومت ممریستور با ممریستنس و به صورت زیر نمایش داده می‌شود:

$$M(t)=R_{on}x+R_{off}(1-x) \qquad (۲)$$

که در آن $x=W(t)/D$ است و نشان دهنده‌ی نسبت طول قسمت ناخالصی به طول کل قطعه است. تغییرات این پارامتر به صورت زیر مدل می‌شود[۲۶،۲۷]:

$$\frac{dx}{dt}=ki(t)F(x),\quad k=\mu_v R_{on}/D. \qquad (۳)$$

که در آن، μ_v نشان‌دهنده‌ی تحرک‌پذیری قسمت ناخالصی، $i(t)$ جریان الکتریکی و $F(x)$ نیزیک تابع پنجره[۷] است.

یکی از معروف‌ترین توابع پنجره، پنجره جوگلکار[۸] است که به صورت زیر تعریف می‌شود [۲۵]:

$$F(x)=1-(2x-1)^{2p} \qquad (۴)$$

که در آن، p یک عدد صحیح مثبت است و به میزان خطی بودن کلیدزنی وابسته می‌باشد.

بیولک و همکاران در [۲۷]، یک مدل HSpice برای ممریستور با $p=1$ ارائه نموده‌اند. آنها با جایگذاری رابطه‌ی (۴) و در رابطه‌ی (۳) و سپس انتگرال‌گیری از آن، رابطه‌ی زیر را به‌دست آورده‌اند:

$$\frac{1}{4}\ln\frac{x}{1-x}=k(q(t)+q_0) \qquad (۵)$$

که در آن، $q(t)$ بارالکتریکی و q_0 ثابت انتگرال (شرط اولیه) است.

با حل رابطه (۵) و جایگذاری جواب آن در رابطه‌ی (۲)، مقدار ممریستنس یا مقاومت ممریستور به صورت زیر به دست می‌آید:

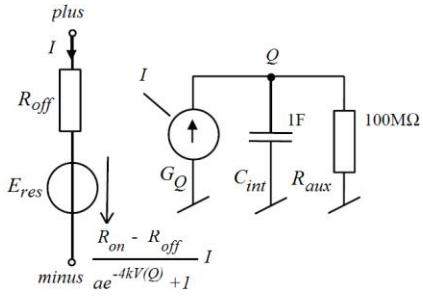
$$M(t)=R(q(t))=R_{off}+\frac{R_{on}-R_{off}}{e^{-4k(q(t)+q_0)}+1} \qquad (۶)$$

در رابطه‌ی (۶)، اگر مقدار اولیه‌ی ممریستنس برابر $R_{ini}=R(q=0)$ باشد، در آن صورت داریم:

$$R(q(t))=R_{off}+\frac{R_{on}-R_{off}}{ae^{-4kq(t)}+1} \qquad (۷)$$

که درآن، $a=(R_{ini}-R_{on})/(R_{off}-R_{ini})$ می‌باشد[۲۷].

شکل ۳ مدل مداری ممریستور در نرم‌افزار HSpice را نشان می‌دهد. مدل مداری با توجه به رابطه‌ی (۷) ارائه شده است. بر اساس رابطه‌ی (۷)، ممریستور تابعی از بار الکتریکی است. برای شبیه‌سازی بارالکتریکی در نرم‌افزار HSpice از یک مدار انتگرال‌گیر شامل منبع جریان کنترل شده، G_Q، خازن انتگرال‌گیر، C_{int}، و مقاومت کمکی، R_{aux}، استفاده شده است. بارالکتریکی با انتگرال‌گیری از جریان عبوری I در خازن C_{int} مدل می‌شود. از آنجایی‌که مقدار این خازن یک فاراد در نظر گرفته شده است، بنابراین، بارالکتریکی با ولتاژ گره Q برابر خواهد بود ($q(t)=V(Q)$). با توجه به رابطه‌ی (۷) و برابری بارالکتریکی و ولتاژ گره Q می‌توان ممریستور را با یک مقاومت ثابت R_{off} سری با منبع ولتاژ کنترل شده $E_{res}=\frac{R_{on}-R_{off}}{ae^{-4kV(Q)}+1}$ مدل نمود[۲۷].

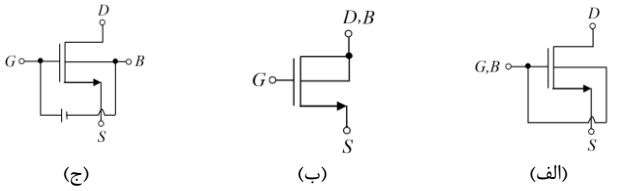


شکل (۳): مدل مداری ممریستور جهت شبیه‌سازی با نرم‌افزار HSpice[۲۷]

۲-۲- معرفی ترانزیستور ماسفت آستانه پویا (DTMOS)

ترانزیستور DTMOS اولین بار در سال ۱۹۹۴ میلادی برای استفاده در مدارهای ولتاژ پایین و توان پایین معرفی شد [۱۵]. شکل ۴ (الف)

متداول‌ترین نوع ترانزیستور DTMOS را نشان می‌دهد. در این ترانزیستور، گیت مستقیماً به بدنه متصل می‌شود. در نتیجه، به دلیل



شکل (۴): نماد مداری ترانزیستور DTMOSبا (الف) اتصال مستقیم بدنه و گیت، (ب) اتصال مستقیم بدنه و درین و (ج) اتصال بدنه و گیت با منبع ولتاژ ثابت

بایاس مستقیم بدنه از خاصیت خودتنظیمی ولتاژ آستانه برخوردار است.

ولتاژ آستانه ترانزیستور از رابطه‌ی زیر به دست می‌آید[۲۹]:

$$V_{th} = V_{th0} + \lambda(\sqrt{|2\varphi_F - V_{BS}|} - \sqrt{|2\varphi_F|}) \quad (۸)$$

که در آن، V_{BS}، ولتاژ بین سورس و بدنه‌ی ترانزیستورماسفت، V_{th0} ، ولتاژ آستانه به‌ازای $V_{BS}=0$، λ، ضریب اثر بدنه و φ_F، پتانسیل فرمی با مقداری حدوداً بین ۰/۳ تا ۰/۴ ولت است.

بنابر رابطه‌ی (۸)، ولتاژ آستانه ترانزیستور به صورت زیر به طور خودکار تنظیم می‌شود. در بایاس صفر ترانزیستور، یعنی $V_{GS}=0$، به دلیل اتصال مستقیم گیت و بدنه، $V_{BS}=0$ است. در نتیجه، ولتاژ آستانه، بیشینه است تا از جریان نشتی اضافی جلوگیری شود. با اعمال $V_{BS}=V_{GS}>0$، جمله دوم در رابطه (۸) منفی می‌شود، در نتیجه، ولتاژ آستانه کاهش می‌یابد. در این حالت، پیوند بدنه-سورس بایاس مستقیم است. درنتیجه، عرض ناحیه تهی کاهش می‌یابد. پس، ولتاژ گیت کمتری برای ایجاد کانال و راه‌اندازی ترانزیستورها نیاز هست و توان مصرفی مدار نیز کاهش خواهد یافت[۳۰].

اگرچه، بایاس مستقیم بدنه-سورس باعث ایجاد جریان نامطلوب می‌شود. با این حال، مطالعات نشان داده است که بایاس مستقیم این پیوند برای ولتاژهای کمتر از ۰/۶ولت قابل قبول است. زیرا در این وضعیت، جریان بدنه هنوز در مقابل جریان درین قابل صرف‌نظر است [۳۱،۳۲].

علاوه بر ترانزیستورDTMOS متداول، محققین در دهه اخیر انواع دیگری از ترانزیستورهای DTMOS را با معرفی تکنیک‌های جدیدی برای بایاس مستقیم بدنه پیشنهاد نمودند. به عنوان مثال می‌توان دو تکنیک زیر را برای بایاس مستقیم بدنه معرفی نمود: تکنیک اتصال مستقیم درین و بدنه [۱۹] و اتصال گیت و بدنه با منبع ولتاژ ثابت[۲۰]. شکل ۴ (ب) و (ج) نماد مداری این دو نوع ترانزیستور را نشان می‌دهد.

۲-۳- معرفی سلول MTCAM مبتنی بر ترانزیستورهای ماسفت

در این بخش، سلول MTCAM مورد استفاده در این مقاله معرفی می‌شود. این سلول اولین بار توسط ژنگ در سال ۲۰۱۵ برای کاربردهای داده‌های حجیم پیشنهاد شده است[۵]. این سلول شامل ۲ ممریستورو ۵ ترانزیستور ماسفت است. در این سلول برای ذخیره‌ی اطلاعاتِ سه‌ارزشی از دو ممریستور استفاده می‌شود. تعریف داده‌ها در این سلول در جدول ۱ ارائه شده است. داده‌ی ذخیره شده با مقاومت ممریستور مشخص می‌شود. مثلا برای نوشتن $D=0$، مقاومت ممریستور برابر با R_{off} و برای نوشتن $D=1$، مقاومت ممریستور برابر با R_{on} خواهد بود.

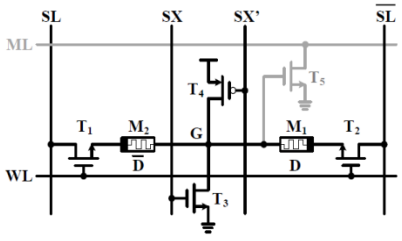
جدول(۱): داده‌ی تعریف شده در سلول حافظه MTCAM.

C: اطلاعات سلول حافظه، D و $\bar{D}$: داده ذخیره شده و SL و $\overline{SL}$: داده‌ی مورد جستجو [۵].

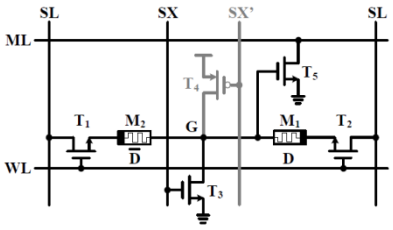
C	D	$\bar{D}$	SL	$\overline{SL}$	Result
0	0	1	0	1	Match
0	0	1	1	0	Miss
1	1	0	1	0	Match
1	1	0	0	1	Miss
X	0	0	Any	Any	Match
Any	Any	Any	0	0	Match

شکل ۵، عملکرد سلول حافظه را در وضعیت نوشتن و جستجو نشان می‌دهد. در این شکل برای نوشتن D و $\bar{D}$ به ترتیب از ممریستورهای M1 و M2 استفاده شده است. همچنین، خطوط WL و ML به ترتیب در هنگام نوشتن و جستجوی داده در وضعیت ولتاژ بالا قرار می‌گیرند. ولتاژ خطوط SX و SX' نیز فقط در وضعیت نوشتن با هم برابر هستند. هدف ما در این مقاله، بررسی اثر ترانزیستورهای DTMOS در عملکرد نوشتن در این سلول است. از این رو، درادامه، به معرفی عملکرد نوشتن پرداخته می‌شود.

در هنگام نوشتن، خط MLبه زمین و خط WLبه ولتاژ بالا وصل می‌شود. در این صورت، ترانزیستورهایT_1 و T_2 روشن می‌شوند و ترانزیستورT5 به‌دلیلزمین شدن خط ML خاموش می‌شود.



(الف)



(ب)

شکل (۵): عملکرد سلول حافظه‌ی MTCAM شامل ۵ ترانزیستور ماسفت و ۲ ممریستور در وضعیت: الف) نوشتن و ب) جستجو [۵]

برای نوشتن **'1'** در سلول حافظه ($D=1$ و $\bar{D}=0$)، ابتدا $SL=1$ و $\overline{SL}=0$ می‌شود. سپس طی دو مرحله، داده‌ی '1' در سلول حافظه نوشته می‌شود. در مرحله‌ی اول، ولتاژ خطوط SX و SX' برابر صفر است. در اینحالت، ترانزیستورT_4 روشن و ترانزیستورT_3 خاموش می‌شود. درنتیجه ولتاژ گره‌ی G (V_G) افزایش می‌یابد. سپس ممریستورM_1 در وضعیت R_{on} و ممریستور M_2 به دلیل اینکه اختلاف ولتاژ دو سر آن صفر می‌باشد، وضعیت خود را حفظ می‌کند. در مرحله‌ی بعد، ولتاژ خطوط SX و SX' در وضعیت ولتاژ بالا هستند. بنابراین، ترانزیستور T_4 خاموش و ترانزیستور T_3 روشن می‌شود. در نتیجه، ممریستور M_1 وضعیت خود را حفظ می‌کند و ممریستور M_2 در وضعیت R_{off} قرار می‌گیرد.

برای **نوشتن '0'** در سلول حافظه ($D=0$ و $\bar{D}=1$)، ابتدا $SL=0$ و $\overline{SL}=1$ می‌شود. سپس طی دو مرحله، داده‌ی'0' در سلول حافظه نوشته می‌شود. در مرحله‌ی اول، خطوط SX و SX' در وضعیت ولتاژ بالا هستند. در این حالت، ترانزیستور T_4 خاموش و ترانزیستور T_3 روشن می‌شود. درنتیجه V_G صفر خواهد شد. ممریستور M_2 نیز به‌دلیل اینکه ولتاژ دو سرش پایین است، وضعیت خود را حفظ می‌کند و ممریستور M_1 در وضعیت R_{off} قرار می‌گیرد. در مرحله‌ی بعد، خطوط SX و SX' زمین می‌شوند. از این رو، ترانزیستور T_4 روشن و ترانزیستور T_3 خاموش می‌شود. در نتیجه V_G افزایش می‌یابد. ممریستور M_1 نیز وضعیت خود را حفظ می‌کند و ممریستور M_2 در وضعیت R_{on} قرار می‌گیرد.

نوشتن 'X' در سلول حافظه ($D=0$ و $\bar{D}=0$) نیز طی دو مرحله انجام می‌شود. در مرحله اول، $SL=0$ و $\overline{SL}=1$است. خطوط SX و SX' هم در وضعیت ولتاژ بالا هستند. درنتیجه، ترانزیستور T_4 خاموش و ترانزیستور T_3 روشن است. بنابراین، V_G صفر می‌شود. در نتیجه ممریستور M_2 به‌دلیل اینکه ولتاژ دو سر آن پایین است، وضعیت خود را حفظ می‌کند و ممریستور M_1 به‌دلیل اینکه ولتاژ سر مثبت آن پایین و ولتاژ سر منفی آن بالا است، در وضعیت R_{off} قرار می‌گیرد. در مرحله‌ی بعد، $SL=1$ و $\overline{SL}=0$ خواهد شد. خطوط SX و SX' همچنان فعال هستند. پس هنوز ترانزیستورT_4 خاموش و ترانزیستور T_3 روشن است. در نتیجه ممریستور M_2 به‌دلیل اینکه ولتاژ سر مثبت آن پایین و ولتاژ سر منفی آن بالا می‌باشد، در وضعیت R_{off} قرار می‌گیرد و ممریستور M_1 به‌دلیل اینکه ولتاژ دو سرش پایین است، وضعیت خود را حفظ می‌کند.

۳- نتایج شبیه‌سازی

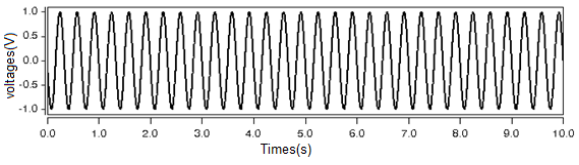
در این بخش، ابتدا شبیه‌سازی‌های ممریستور و سلول MTCAM مبتنی بر ترانزیستورهای ماسفت ارائه می‌شود. سپس، تاثیراستفاده از ترانزیستورهای DTMOS به جای ترانزیستورهای ماسفت بر عملکرد نوشتن در سلول حافظه MTCAM بررسی می‌شود. لازم به ذکر است تمام شبیه‌سازی‌های انجام شده با استفاده از نرم‌افزار HSpice و با تکنولوژی ۱۸۰nm CMOS و درفرکانس ۴۰ مگاهرتز انجام شده است.

۳-۱- شبیه‌سازی ممریستور

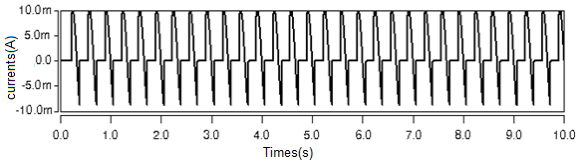
شبیه‌سازی ممریستور مطابق با مدل اسپایس ارائه شده در شکل ۳ انجام شده است. مقادیر عددی پارامترهای شکل ۳ در جدول ۲ ذکر شده است. مقدار تحرک‌پذیری ناخالصی یک مقدار کوچک و معمولا بین 10^{-10} تا 10^{-14} سانتی‌متر مربع بر ولت ثانیه است [۳۳،۲۶]. زیرا تحرک‌پذیری یون‌ها درمقایسه باتحرک‌پذیری حامل‌های آزاد بسیار کوچک است. همچنین، معمولا نسبت R_{off}/R_{on} درممریستور، عددی بین 10^{2} تا 10^{3} است[۳۴]. مقاومت R_{aux} نیز معمولاً بین 100MΩ-1TΩ می‌باشد [۲۷]. شکل ۶ نیز نمودار جریان، ولتاژ و هیسترزیس ممریستور را نشان می‌دهد.

جدول(۲): تنظیمات مربوط به پارامترهای مدل مداری ممریستور HP.

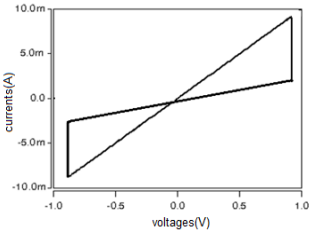
پارامتر	معرفی	مقدار
R_{on}	مقاومت پایین ممریستور	۱۰۰Ω
R_{off}	مقاومت بالای ممریستور	۱۰۰KΩ
R_{ini}	مقاومت اولیه‌ی ممریستور	۵KΩ
R_{aux}	مقاومت کمکی	۱۰۰MΩ
C_{int}	خازن کمکی	۱F
D	طول ممریستور	۸nm
μ_v	تحرک‌پذیری ناخالصی	$10^{-10}cm^2s^{-1}v^{-1}$
P	پارامترکنترل تابع پنجره	۱



(الف)



(ب)



(ج)

شکل (۶): نمایش نمودارهای (الف) ولتاژ، (ب) جریان و (ج) هیسترزیس ممریستور

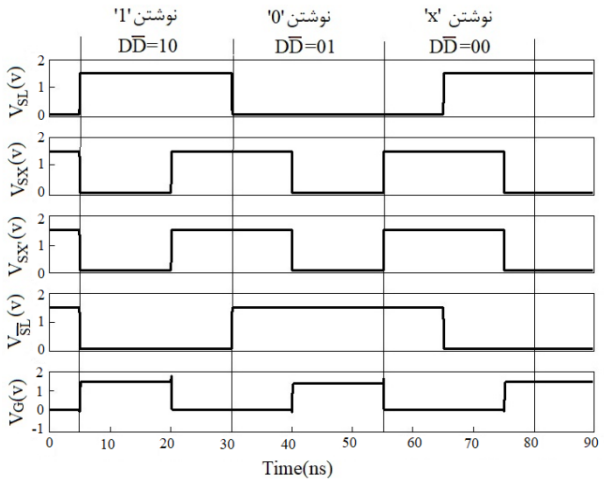
۳-۲- شبیه‌سازی سلول MTCAM مبتنی بر ترانزیستورهای ماسفت

شبیه سازی سلول MTCAM مبتنی بر ترانزیستورهای ماسفت بر اساس شکل ۵ انجام شده است. منبع تغذیه مورد استفاده در این سلول ۱/۵ ولت است. جدول ۳ نیز ابعاد ترانزیستورهای ماسفت مورد استفاده در این سلول را نشان می‌دهد. مقادیر W و L به‌گونه‌ای انتخاب می‌شوند که ترانزیستور برای جریان دلخواه قابل استفاده باشد. همچنین، این مقادیر بر اساس حد تکنولوژی تعیین خواهند شد. به این ترتیب که بر اساس روش سعی و خطا و با توجه به این که باید میزان تاخیر در تمام طول پالس خروجی مدار یکسان باشد، مقادیر مناسب W و L انتخاب می‌شوند.

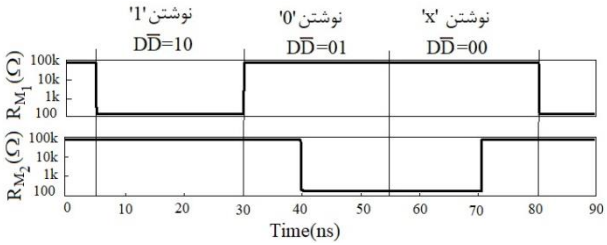
شکل‌های ۷ و ۸ به ترتیب نتایج شبیه‌سازی سلول MTCAM مبتنی بر ترانزیستورهای ماسفت و ممریستورهای مورد استفاده در آن را هنگام نوشتن'0'، '1'و 'x' نشان می‌دهد. همانطور که دیده می‌شود نوشتن هر یک از مقادیر'0'، '1'و'x' طبیک فرایند دو مرحله‌ای انجام می‌شود. درهنگام نوشتن نیز فقط یک ممریستور برنامه‌ریزی و ممریستور دیگر ایزوله می‌گردد.

جدول (۳): ابعاد ترانزیستورهای ماسفت مورد استفاده در سلول حافظه‌ی MTCAM

ترانزیستور	طول(L)	عرض(W)
T_2,T_5,T_1	۰/۵µm	۰/۹µm
T_4	۰/۵µm	۲۰mµ
T_3	۰/۵mµ	۹mµ



شکل (۷): نتایج شبیه‌سازی عملکرد نوشتن در سلول MTCAM مبتنی بر ترانزیستورهای ماسفت



شکل (۸): منحنی مقاومت ممریستورهای M1 وM2 در سلول MTCAM مبتنی بر ترانزیستورهای ماسفت در فرآیند نوشتن '0' ، '1' و 'x'

۳-۲-۱- بررسی پارامترهای مدل ممریستور بر عملکرد سلول MTCAM

در این بخش، پارامترهای مدل مداری ممریستور نظیر R_{on} ، R_{off} و R_{aux} بر میزان توان مصرفی، تاخیر وPDPسلول MTCAM بررسی شده است. جدول ۴، تاثیر تغییر مقاومت‌های R_{on} و R_{off} را بر عملکرد سلول حافظه نشان می‌دهد. در این حالت، $R_{aux}=100M\Omega$ درنظرگرفته شده است. همانطور که دیده می شود کاهش مقاومت R_{off} در مقایسه با کاهش مقاومت R_{on} به دلیل افزایش جریان ممریستور تاثیر بیشتری بر توان مصرفی دارد. با توجه به رابطه (۷) نیز واضح است کاهش R_{off} اثر بیشتری در مقدار مقاومت ممریستور دارد تا کاهش R_{on}. نکته دیگری که در جدول ۴ دیده می‌شود، آن است که مقادیر R_{on} و R_{off} بر روی تاخیر مدار تاثیری ندارد. زیرا سرعت سوییچینگ قطعه‌ی ممریستور بالا است. همین‌امر باعث می‌شود تاثیر قطعه‌ی ممریستور بر روی تاخیر سلول MTCAM ناچیز باشد. همچنین ولتاژ خروجی سلول MTCAM که همان ولتاژ گره‌ی G می‌باشد، تحت تاثیر ترانزیستورهای T3 وT4 است. بنابراین قطعه‌ی ممریستور در ولتاژ خروجی سلول TCAM تاثیر چندانی ندارد.

جدول(۴): مقایسه اثر R_{on} و R_{off} بر عملکرد سلول MTCAM

R_{on}-R_{off}	100Ω-100kΩ	100Ω-10kΩ	10Ω-100kΩ
توانمصرفی (mW)	۸/۰۶۸۴	۲۰	۸/۱۶۵۶
تاخیر (nS)	۰/۱	۰/۱	۰/۱
PDP(pJ)	۰/۸۰۶۸۴	۲	۰/۸۱۶۵۶

جدول۵ نیز تاثیر تغییر مقاومت R_{aux} را بر عملکرد سلول MTCAM نشان می‌دهد. در این حالت، مقادیر $R_{off}=100K\Omega$ و $R_{on}=100\Omega$ درنظرگرفته شده است. همانطور که دیده می‌شود افزایش مقاومت بر توان مصرفی مدار تاثیر زیادی دارد. زمانی‌که مقدار R_{aux} افزایش یابد ولتاژ گره‌ی Q (V(Q))، افزایش خواهد یافت. در نتیجه، مقدارx افزایش یافته و M(q)کاهش خواهد یافت. باتوجه به ثابت بودن ولتاژ منبع تغذیه‌ی مدار با کاهش M(q)، جریان ممریستور افزایش می‌یابد و باتوجه به اینکه توان مصرفی برای هر قطعه برابر $p(t)=V(t).I(t)$ می‌باشد، میزان توان مصرفی مدار نیز افزایش می‌یابد.

جدول (۵): مقایسه اثر R_{aux} بر عملکرد سلول MTCAM

R_{aux}	100MΩ	1GΩ
توانمصرفی (mW)	۸/۰۶۸۴	۱۵
تاخیر (nS)	۰/۱	۰/۱
PDP (pJ)	۰/۸۰۶۸۴	۱/۵

نهایتا با توجه به نتایج به دست آمده از جدول‌های ۴ و ۵، مقادیر $R_{off}=100K\Omega$ ، $R_{on}=100\Omega$ و $R_{aux}=100M\Omega$ انتخاب شده‌اند.

۳-۲-۲- بررسی عملکرد سلول MTCAM در تکنولوژی‌های مختلف ترانزیستور ماسفت

تکنولوژی ساخت با حداقل طول ایجاد شده در یک ترانزیستور ماسفت شناخته می‌شود. به‌طور مثال در تکنولوژی ۱۸۰CMOSnm، کوچکترین ترانزیستوری که ساخته می‌شود، فاصله‌ی بین درین تا سورس آن ۱۸۰nmمی‌باشد و از آن کمتر برای این تکنولوژی مقدور نیست. همچنین هرچه تکنولوژی پیشرفته‌تر باشد، اندازه‌ی ترانزیستور ماسفت کوچک‌تر شده و می‌توان ولتاژ منبع تغذیه‌ی مدار را کاهش داد. در این صورت توان مصرفی مدار بهبود خواهد یافت. جدول ۶ مقدار توان مصرفی، تاخیر و PDP سلول MTCAM را برای چهار تکنولوژی ۱۸۰، ۱۳۰، ۹۰ و ۶۵ نانومتر مقایسه می‌کند. همانطور که انتظار می‌رفت مقدار توان مصرفی، تاخیر، PDP و منبع تغذیه موردنیاز در سلول MTCAM با کاهش تکنولوژی ترانزیستور ماسفت کاهش می‌یابند. از آنجاییکه سلول مبنا در تکنولوژی ۱۸۰ نانومتر به بهترین مشخصات رسیده است (جدول ۵,۵ در [۵] را ببینید)، از اینرو، در ادامه از این تکنولوژی برای انجام شبیه‌سازی‌های بیشتر استفاده می‌کنیم.

جدول (۶): مقادیر توان‌مصرفی، تاخیر و PDP با تکنولوژی‌های مختلف ترانزیستور ماسفت

تکنولوژی	۱۸۰nm	۱۳۰nm	۹۰nm	۶۵nm
توان‌مصرفی (mW)	۸/۰۶۸	۶,۱۷۲۳	۵/۷۱۶۹	۵/۱۳۱۲
تاخیر (nS)	۰/۱	۰/۰۹۷	۰/۰۹۵	۰/۰۹۴
PDP (pJ)	۰/۸۰۶۸	۰/۵۹۸۷	۰/۵۴۳۱	۰/۴۸۲۳
منبع تغذیه (V)	۱/۵	۱/۲	۱	۰/۸

۳-۳- بررسی تاثیر استفاده از ترانزیستورهای DTMOS برعملکرد سلول MTCAM

در این بخش عملکرد سلول MTCAM مبتنی بر ترانزیستورهای ماسفت و سه سلول MTCAM مبتنی بر سه ترانزیستور DTMOS معرفی شده در شکل ۵ از نظر توان مصرفی متوسط، تاخیر انتشار و PDP بررسی می‌شود.

برای اختصار، سلول MTCAM مبتنی بر ترانزیستورهای ماسفت و سه سلول MTCAM مبتنی بر ترانزیستورهای DTMOS با اتصال مستقیم گیت و بدنه، اتصال مستقیم درین و بدنه و اتصال گیت و بدنه با منبع ولتاژ ثابت به ترتیب باMOS-MTCAM،DT1-MTCAM، DT2-MTCAM و DT3-MTCAM نمایش داده می‌شود.

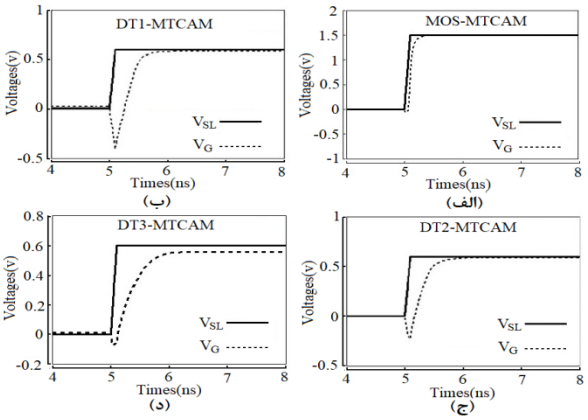
مشخصات ممریستورها و ترانزیستورهادر MTCAMهای مبتنی بر DTMOS به ترتیب مطابق با جدول‌های ۲ و ۳ تنظیم شده است. منبع تغذیه مورد استفاده در این سلول‌ها ۰/۶ ولتاست. منبع ولتاژ ثابت بین گیت و بدنه در سلول DT3-MTCAM نیز۰/۱ولتاست.

شبیه‌سازی عملکرد سلول نوشتن در سلول‌های MTCAM مبتنی بر DTMOS مشابه با سلول حافظه MTCAM مبتنی بر ترانزیستورهای ماسفت است. تفاوت آنها در منبع تغذیه مورد استفاده برای فعال‌سازی سلول در عملکرد نوشتن و خازن‌های ترانزیستور است. به عبارتی دیگر در شکل ۷، مقدار ولتاژ بالا به جای ۱,۵ ولت، ۰,۶ ولت است. از این رو، در ادامه، تاثیر این تفاوت‌ها در محاسبه تاخیر انتشار، توان مصرفی متوسط و PDP بررسی می‌شود.

برای بررسی تاخیر انتشار در هر چهار سلول MTCAM نمودار V_Gبه عنوان خروجی سلول حافظه و ولتاژ خط SL به عنوان ورودی سلول حافظه ترسیم می‌شود. شکل ۹ پاسخ گذرای سلول‌های MTCAM را در هنگام نوشتن '1' در بازه‌ی زمانی ۴ تا ۸ نانوثانیه نشان می‌دهد. با توجه به شکل ۹، تاخیر انتشار سلول‌ها از اختلاف زمان‌هایی که ورودی و خروجی در لبه تغییرات خود به ۵۰ درصد ولتاژ تغذیه رسیده است، محاسبه می‌شود. تاخیر انتشار در سلول‌های MOS-MTCAM،DT1-MTCAM، DT2-MTCAM و DT3-MTCAM به ترتیب ۰/۱، ۰/۴، ۰/۳ و ۰/۲۴ نانوثانیه است.

در شکل ۹، زمانی‌کهV_G می‌خواهد از مقدار صفر به وضعیت ولتاژ بالا برود، یک پایین‌رفتگی ایجاد می‌شود. این پایین‌رفتگی به دلیل اثرات خازنی اتفاق می‌افتد. به عنوان مثال، در شکل ۵ زمانی که ولتاژ

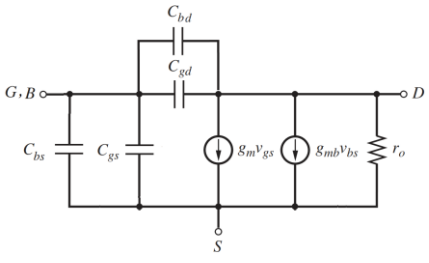
ورودی ترانزیستور T_3، ۰/۶ ولت است، خروجی ترانزیستور که همان گره G است، برابر صفر می‌شود. در نتیجه ولتاژ خازن بین ورودی و خروجی ترانزیستور ۰/۶ متر خواهد بود.

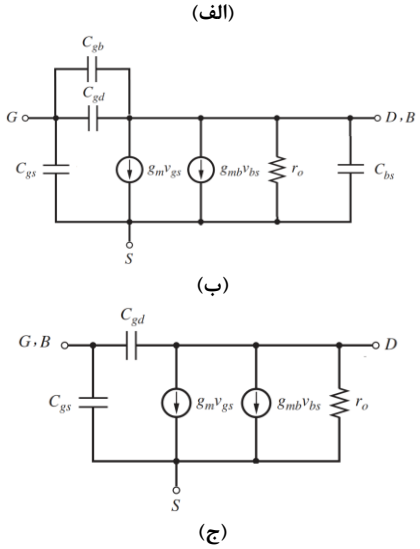


شکل (۹): نمودارپاسخ گذرای سلول‌های (الف)MOS-MTCAM ، (ب)DT1-MTCAM، (ج) DT2-MTCAM و (د) DT3-MTCAM

با تغییر ولتاژ ورودی ترانزیستور T_3 به مقدار صفر، ولتاژ خازن بین ورودی و خروجی باید از۰/۶ ولت به ۰/۶- ولت برسد. به‌همین دلیل، در ابتدا که ولتاژ ورودی ترانزیستور T_3 صفر می‌شود، اثر این خازن در خروجی که همان گره G است، به‌صورت یک پایین‌رفتگی خودش را نشان می‌دهد. ارتفاع پایین‌رفتگی به مقدار ولتاژ تغذیه و خازن بستگی دارد.

ولتاژ تغذیه در ترانزیستور ماسفت ۱/۵ ولت و در ترانزیستور DTMOS ۰/۶ ولت است. خازن پارازیتی که بین ورودی و خروجی ترانزیستور ماسفت قرار می‌گیرد، C_{gd} است که مقدار آن در مقایسه با ترانزیستورهای DTMOS به دلیل تغذیه با ولتاژ بالاتر، کوچک و قابل صرف نظر است. از این رو، مقدار تاخیر و پایین رفتگی ولتاژ در سلول MOS-MTCAM نسبت به سه سلول دیگر کمتر است. هرچندکه، به دلیل ولتاژ تغذیه بالاتر، توان مصرفی بالاتری خواهد داشت. خازن‌های پارازیتی ترانزیستورهای DTMOS نیز در شکل ۱۰ نشان داده شده است. همانطور که در شکل ۱۰ دیده می‌شود خازنی که بین ورودی و خروجی ترانزیستور T_3در سلول‌های-DT1 MTCAM، DT2-MTCAM و DT3-MTCAM قرار می‌گیرد، به ترتیب با $C_{gd}+C_{bd}$، $C_{gd}+C_{gb}$ و C_{gd} برابر است. با مقایسه خازن‌های پارازیتی سلول‌های MTCAM مبتنی بر DTMOS و با توجه به اینکه $C_{gb}<C_{bd}$ است، کمترین و بیشترین میزان پایین‌رفتگی ولتاژ و در





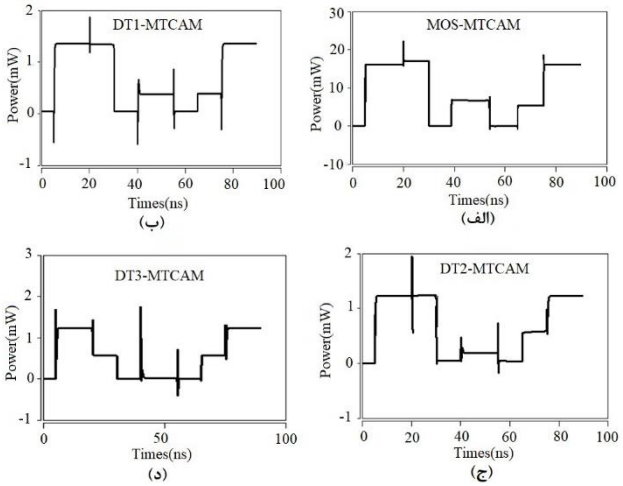
شکل (۱۰): مدل مداری ترانزیستور DTMOS با (الف) اتصال مستقیم بدنه و گیت، (ب) اتصال مستقیم بدنه و (ج) اتصال بدنه و گیت با منبع ولتاژ ثابت

نتیجه تاخیر انتشار به ترتیب در سلول‌های DT3-MTCAM و DT1-MTCAM است.

در ارتباط با شکل ۱۰ ذکر دو نکته ضروری است. اولاً مدل‌های مداری ارائه شده در این شکل صرفا برای بیان خازن‌های پارازیتی موثر بر تاخیر انتشار ترسیم شده‌اند ولی در شبیه‌سازی از مدل HSpice ترانزیستورها استفاده شده است. ثانیاً در شکل ۱۰ (الف) به دلیل $V_{GB}=0$ از خازن مربوط به پیوند گیت-بدنه صرف نظر شده است. چنین مدلی به طور مشابه در [۱۸] و [۱۶] ارائه شده است. در شکل۱۰ (ب) نیز به دلیل $V_{BD}=0$ از خازن پیوند بدنه-درین صرف نظر می‌شود. در شکل ۱۰ (ج) هم به دلیل استفاده از منبع ولتاژ بین گیت و بدنه، از خازن‌های بدنه صرف نظر شده است. زیرا در مقایسه با شکل ۱۰ (الف) خازن پیوند بدنه-سورس با ولتاژ مثبت کوچکتری و خازن پیوند بدنه-درین با ولتاژ منفی کوچکتری بایاس شده است. با توجه به رابطه خازن پیوند با ولتاژ در حالت بایاس مستقیم و بایاس معکوس (رابطه ۲۱-۱ در [۳۵] را ببینید)، می‌توان نتیجه گرفت خازن‌های بدنه در شکل ۱۰ (ج) در مقایسه با شکل ۱۰ (الف) کوچکتر هستند.

شکل ۱۱ نمودار توان مصرفی لحظه‌ای فرآیند نوشتن را در سلول‌هایMOS-MTCAM، DT1-MTCAM، DT2-MTCAM و DT3-MTCAM در بازه زمانی ۰ تا ۹۰ نانوثانیه نشان می‌دهد. علت وجود اسپایک‌های بلند در نمودار توان لحظه‌ای شارژ و دشارژ خازن‌های ترانزیستورهای در لحظه کلیدزنی است. مقدار توان مصرفی متوسط در این سلول‌ها به ترتیب برابر با ۸/۰۷، ۱/۱۶، ۱/۰۶ و ۰/۸۵ میلی وات است. توان مصرفی متوسط با متوسط‌گیری از توان لحظه‌ای در بازه زمانی ۰ تا ۹۰ نانوثانیه محاسبه می‌شود.

جدول ۷ عملکرد سلول‌های MOS-MTCAM، DT1-MTCAM، DT2-MTCAM و DT3-MTCAM را به طور خلاصه



شکل (۱۱): نمودار توان مصرفی لحظه‌ای در سلول‌های (الف) MOS-MTCAM، (ب) DT1-MTCAM، (ج) DT2-MTCAM و (د) DT3-MTCAM

نشان می‌دهد. همانطور که دیده می‌شود مقدار توان و PDP در سلول DT3-MTCAM در مقایسه با MOS-MTCAM به ترتیب به میزان ۸۹ درصد و ۷۴ درصد بهبود یافته است. علت این امر، امکان راه‌اندازی این ترانزیستورها در ولتاژ تغذیه پایین‌تر به دلیل ولتاژ آستانه پایین‌تر است. اگرچه به دلیل ولتاژ راه‌اندازی کمتر، تاخیر به میزان۱۴ درصد افزایش یافته است. همچنین توان مصرفی در سلول-DT3 MTCAM در مقایسه با سلول‌های DT1-MTCAM و -DT2 MTCAM به ترتیب به میزان ۲۶ درصد و ۲۰ درصد کاهش یافته است و تاخیر در سلولDT3-MTCAM در مقایسه با سلول‌های DT1-MTCAM وDT2-MTCAM به ترتیب به میزان ۴۰ درصد و ۲۰ درصد کاهش یافته است. بنابراین، تکنیک بایاس مستقیم بدنه می‌تواند باعث بهبود زیادی درکیفیت مدار شود.

جدول (۷): مقایسه‌ی عملکرد سلول‌های MTCAM مبتنی بر ترانزیستورهای ماسفت و ترانزیستورهایDTMOS

سلول حافظه	MOS-MTCAM	DT1-MTCAM	DT2-MTCAM	DT3-MTCAM
توان مصرفی(mW)	۸/۰۷	۱/۱۶	۱/۰۶	۰/۸۵
تاخیر (nS)	۰/۱	۰/۴	۰/۳	۰/۲۴
PDP(pJ)	۰/۸۱	۰/۴۷	۰/۳۲	۰,۲
منبع تغذیه(V)	۱/۵	۰/۶	۰/۶	۰/۶

۳-۱- مقایسه سلول حافظه پیشنهادی با کار دیگران

جدول ۸ نتایج شبیه‌سازی سلول پیشنهادی را با سلول‌های حافظه ارائه شده در [۴]، [۵]، [۱۳] و [۱۴] مقایسه می‌کند. طبق این جدول، میزانتوان مصرفی در سلول DT3-MTCAM، به میزان۸۹ درصد نسبت به سلول با ساختار مشابه اما با ترانزیستورهای ماسفت (سلول مبنا) کاهش می‌یابد، در حالی که میزان تاخیر به‌اندازه‌ی ۰/۱۴ نانوثانیه افزایش می‌یابد. این امر به‌دلیل کاهش ولتاژ آستانه‌ی ترانزیستور DTMOS نسبت به ترانزیستور ماسفت و در نتیجه کاهش ولتاژ تغذیه‌ی مدار می‌باشد که باعث کاهش توان مصرفی مدار نیز خواهد شد. تاخیر نیز با ولتاژ منبع تغذیه‌ی مدار رابطه‌ی عکس دارد پس کاهش ولتاژ تغذیه‌ی مدار، میزان تاخیر را نیز افزایش خواهد داد. مقدار PDP هم به میزان ۷۴ درصد کاهش می‌یابد که این نشان‌دهنده‌ی بهبود عملکرد مدار می‌باشد. نکته ی دیگری که از جدول ۸ می‌توان نتیجه گرفت، این است که استفاده از ممریستور در حافظه های TCAM قادر است به میزان زیادی عملکرد حافظه را بهبود بخشد. همچنین سلول مبنا در مقایسه با سلول‌های ارائه شده در [۴]،[۱۳] و [۱۴] عملکرد بسیار بهتری داشته است.

لازم به ذکر است که نتایج سلول‌های حافظه‌ی TCAM ذکر شده در جدول ۸ براساس تنظیمات معرفی شده در این مقاله شبیه‌سازی شده‌اند.

جدول(۸): مقایسه‌ی سلول حافظه‌ی DT3-MTCAM با کارهای دیگران

سلول حافظه	TCAM [۴]	MTCAM [۱۳]	MTCAM [۱۴]	MTCAM [۵]	**DT3-MTCAM**
نوع ترانزیستور	ماسفت	ماسفت	ماسفت	ماسفت	**اتصال بدنه و گیت با منبع ولتاژ ثابت**
ساختارسلول	۱۶T	۱۲T۲M	۸T۴M	۵T۲M	**۵DT۲M**
توان مصرفی(mW)	۱۵	۱۱/۳	۹/۳۷	۸/۰۷	**۰/۸۵**
تاخیر(nS)	۱/۲	۰/۶۸	۰/۳۵	۰/۱	**۰/۲۴**
PDP(pJ)	۱۸	۷/۷	۳/۲۸	۰/۸۱	**۰/۲**
منبع تغذیه (V)	۱/۵	۱/۵	۱/۵	۱/۵	**۰/۶**

۴- نتیجه‌گیری

در این مقاله نشان داده شد استفاده از ترانزیستورهای DTMOS با اتصال مستقیم گیت و بدنه، اتصال مستقیم درین و بدنه واتصال گیت و بدنه با منبع ولتاژ ۰/۱ ولت به جای ترانزیستورهای ماسفت باعث بهبود PDP در یک سلول حافظه MTCAM به ترتیب به میزان ۴۲ درصد، ۶۰ درصد و ۷۴ درصد شده است. بنابراین می‌توان نتیجه گرفت استفاده از ترانزیستور DTMOS به جای ترانزیستور ماسفت به دلیل کاهش منبع تغذیه مورد نیاز می‌تواند باعث بهبود زیادی در PDP سلول حافظه شود. تکنیک بایاس مستقیم بدنه نیز می‌تواند تاثیر زیادی بر بهبود PDP سلول حافظه داشته باشد. همچنین، تکنیک اتصال مستقیم گیت و بدنه با ولتاژ ثابت در مقایسه با دو تکنیک دیگر نتایج بهتری داشته است.

مراجع

[۱] پسندی،ق.، فخرایی،س. م.،"سلول حافظه ایستای (SRAM) زیرآستانه هشت ترانزیستوری با قابلیتهای بهبودیافته خواندن و نوشتن"، نشریه مهندسی برق و مهندسی کامپیوتر ایران ب-مهندسی کامپیوتر، س. ۱۲، ش. ۱، ص.ص. ۵۱-۵۸،تابستان ۱۳۹۳.

[۲] امیری، پ.، هدایتی پور، آ.، اصلان زاده، ش.،"طراحی مرجع ولتاژ زیریک ولت قابل کاشت در بدن با دقت ppm/میکرومتر۱۵ با استفاده از ترانزیستورهای ذاتی(Native)"، مجله مهندسی برق و الکترونیک ایران، س. ۱۴، ش. ۲، ص. ص. ۱۰۷-۱۱۳، ۱۳۹۶.

[۳] فرشیدی، ا.،سلمانپور، آ.، انصاریاصل، ک.، "ارائهی مدل مداری جدید برای پارامترهای معادلات سلول عصبی هاجکینگ هاکسلی با توان پایین"، مجله مهندسی برق و الکترونیک ایران، س. ۱۶، ش. ۲، ص. ص. ۱۱۳-۱۱۹، ۱۳۹۸.

[4] Pagiamtzis, K., Sheikholeslami, A.,"Content-Addressable Memory (CAM) circuits and architectures: a tutorial and survey, "IEEE Journal of solid-state circuts, Vol.41, No. 3, pp. 712–727, 2006.

[5] Zheng, L., Memristor-based ternary content addressable memory for data-intensive applications,Ph.D dissertation, University of California, March 2015.

[6] Parveen, F.,High Performance Non-Volatile Ternary Content Addressable Memory DesignUsingMemristor-MOSFET Hybrid Architecture, Masters of Science thesis, Bangladesh University of Engineering and Technology, December 2016.

[7] P.C. Balla ; A. Antoniou, "Low power dissipation MOS ternary logic family", IEEE Journal of Solid-State Circuits, Vol.19, No. 5, pp. 739 – 749, Oct 1984.

[8] Huang, P.T., Chang, S.W.,.Liu, W.Y, Hwang, W. "A 256*128 Energy-Efficient TCAM with novel low power schemes",International Symposium on VLSI Design, Automation and Test (VLSI-DAT), Hsinchu, Taiwan, 25-27 April 2007.

[9] Han, J., Lombardi, F., Junsangsri, P., "A Memristor-based TCAM (Ternary Content Addressable Memory) cell,"Proceedings of the 2014 IEEE/ACM International Symposium on Nanoscale Architectures,pp. 1-6,Paris, France,8–10 July, 2014.

[10] Chen, W., Memristor Content Addressable Memory: Theory, Design and Application, Ph.D dissertation, University of Kent, 2017.

[11] Eshraghian, K., Cho, K., Kavehei, O., Kang, S., Abbott, D., Kang,S., "Memristor MOS content addressable memory (MCAM): hybrid architecture for future high performance search engines, "IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 19, No. 8, pp.1407–1417, 2011.

[12] Chua, L.,"Memristor-the missing circuit element, "IEEE Transactions on Circuit Theory, Vol.18, pp. 507-519, 1971.

[13] Tabassum, S., Parveen, F., Rashid, A.B.M. H. , "Low power high speed ternary content addressable memory design using MOSFET and memristors," 2014 International Conference on Electronics and Communication Systems (ICECS), Coimbatore, India, 13-14 February, 2014.

[14] Tabassum, S., Parveen, F., Rashid, A.B.M. H. "Low power high speed ternary content addressable memory design 8MOSFETS and4 memristors-hybrid structure, " 8th International Conference on Electrical and Computer Engineering, Dhaka, Bangladesh, 20-22 December, 2014

[15] Assaderaghi, F., Parke, S., Sinitsky, D., Bokor, J., Ko, P.K., Hu, C., "A dynamic threshold voltage MOSFET (DTMOS) for very low voltage operation", IEEE Electron Device Letters, Vol. 15, No. 12, pp. 510 - 512 , December 1994.

[16] Garg, S., Niranjan, V., "DTMOS transistor with self-cascodesubcircuit for achieving high bandwidth in analog applications",International Journal of ComputerApplications, Vol. 127, No. 11, pp. 19-31, October 2015.

[17] Lindert, N., Sugii, T., Tang, S., Hu, C. "Dynamic threshold pass-transistorlogic for improved delay at low power supply voltages",IEEE Journalof Solid-State Circuits, Vol. 34, No. 1, pp. 85 – 89, January 1999.

[18] Niranjan, V., Performance improvement of low voltage CMOS circuits using body bias approach, Ph.D dissertation, Guru Gobind Singh Indraprastha University,2015.

[19] Soleimani, S., Sammak, A., Forouzandeh, B., "A novel ultra-low-energy bulk dynamic thresholdinverter scheme", Proceedings of the International Multi Conference of Engineers and Computer Scientists, vol. I, Hong Kong, Chine, March 18 - 20, 2009.

[20] Ragini, K., Satyam, M., Jinaga, B.C., "Variable threshold MOSFET approach (through dynamic threshold MOSFET) for universal logic gates", International Journal of VLSI design & Communication Systems (VLSICS), Vol.1, No. 1, pp. 33-43, March 2010.

[21] Khateb, F., Kulej, T., Kumngern, M.,"0.5V DTMOS median filter", International Journal of Electronics and Communications, Vol.69, No. 11 pp.1733-1736, 2015.

[22] Movahedi-Aliabad, H., Norouzi, A., Soltanmoradi, S., Nasserian, M., Shahi, M., "Evaluation of a new hybrid technique based onDTMOS and PFA to Improve Supply VoltageandPower Consumption of a Class-AB Amplifier", Journalof Electrical and ElectronicEngineering, Vol. 3, No. 2-1, pp. 66-71, 2015.

[23] Izadpanah, S., Behroozi, M., Asadpoor, V., "Design of 0.4V operational amplifier using low-power techniques", Majlesi Journal of TelecommunicationDevices, Vol. 2, No. 1, pp. 145-149, March 2013.

[24] Narang, N., Aggarwal, B., Gupta, M., "DTMOS and FD-FVF based low voltage highperformance Voltage Differencing Transconductance Amplifier (VDTA) and its application in MISO filter," Microelectronics Journal, Vol.63, pp. 66-74, 2017.

[25] Liu, S.C., Wu, F.A., Kuo, J.B., "A novel low-voltage Content-Addressable-Memory (CAM) cell with a fast tag-compare capability using ParttiallyDepleted (PD) SOI CMOS Dynamic-Threshold (DTMOS)techniques", IEEE Journal of Solid- State Circuits, Vol. 36, No. 4, pp. 712–716, April 2001.

[26] Strukov, D. B., Snider, G. S., Stewart, D. R., Williams, R. S.,"The missing memristorfound",Nature, Vol. 453, pp. 80-83, 2008.

[27] Biolek, D., Ventra, M. D., Pershin, Y.V., "Reliable SPICE Simulations of Memristors, Memcapacitors andMeminductors", Radioengineering, Vol. 22, No. 4, pp. 945-977, 2013.

[28] Joglekar, Y. N., Wolf, S. J., "The elusive memristor: properties of basic electrical circuits", European Journal of Physics, Vol. 30, No. 4, p. 661, 2009.

[29] Movahedi-Aliabad, H., Norouzi, A., Soltanmoradi, S., Nasserian, M., Shahi, M., "Evaluation of a new Hybrid Technique Based on DTMOS and PFA to Improve Supply Voltage and Power Consumption of a Class-AB

Amplifier",Journal of Electrical and Electronic Engineering, Vol. 3, No. 2-1, pp. 66-71, March 2015.
[30] Bonnoit, A., Reducing Power using Body Biasing in Microprocessors with Dynamic Voltage/Frequency Scaling, Ph.D dissertation, Carnegie Mellon University, April 2010.
[31] Maymandi-Nejad, M., Sachdev, M., "DTMOS Technique for Low-Voltage Analog Circuits",IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol. 14, No. 10, pp. 1151-1156, October 2006.
[32] Sayil, S., Dynamic Threshold Technique for Soft Error and Soft Delay Mitigation, In: Soft Error Mechanisms, Modeling and Mitigation, 1th Edition, Springer, 2016.
[33] McDonald, N. R. , Pino, R. E, Rozwood, P. J. , Wysocki, B. T., "analysis of Dynamic Linear and Non-linear Memristor Device Models for Emerging Neuromorphic Computing Hardware Design," International Joint Conference on Neural Networks (IJCNN), Barcelona, Spain, 18-23 July 2010,
[34] Biolek, Z., Biolek, D., Biolková, V., "SPICE Model of Memristor with Nonlinear Dopant Drift"Radioengineering, Vol. 18, No. 2, pp. 210-214, June 2009.
[35] Gray, P. R., Hurst,P. J., Lewis, S. H., Meyer, R. G., Analysis and Design of Analog Integrated Circuits, 5th Edition, Wiley, 2009.

زیرنویس‌ها

[1]Content-Addressable Memory
[2]Static RAM
[3]Ternary CAM
[4]Memristor-based TCAM
[5]Dynamic Threshold-voltage MOSFET
[6]Power Delay Product
[7]Window function
[8]Joglekar