طراحی گیت وارونگر جدید در منطق سه ارزشی مبتنی بر ترانزیستور نانو سیم

اشکان حری [۱]

۱- استادیار- گروه برق- واحد اراک، دانشگاه آزاد اسلامی- اراک- ایران

a-horri@iau-arak.ac.ir

چکیده: در این مقاله، یک گیت وارونگر جدید در منطق سه ارزشی با استفاده از ترانزیستور نانو سیم طراحی شده است. هسته اصلی این طراحی یک ترانزیستور نانو سیم با سطح مقطع ($۷_{nm}×۷_{nm}$)، احاطه شده با اکسید سیلیسیوم می باشد و روی آن اکسید، سه گیت مجزا قرار داده شده است. با استفاده از این طراحی، هر سه قسمت وارونگر شامل سه ارزشی استاندارد (STI)، سه ارزشی منفی (NTI) و سه ارزشی مثبت (PTI)، بوسیله یک مدار و بدون تغییر سخت افزار پیاده سازی شده است. انتخاب نوع وارونگر با استفاده از سطح ولتاژ گیت می باشد. روش شبیه سازی بصورت حل خودسازگار معادلات شرودینگر-پواسن می باشد. میزان توان مصرفی استاتیک و حاشیه های نویز محاسبه شده است. نتایج شبیه سازی نشان می دهد که در مقایسه با طراحی های قبلی، میزان حاشیه های نویز بسیار بهبود یافته است ولی توان مصرفی در همان رنج باقی مانده است.

واژه‌های کلیدی: ترانزیستور نانو سیم، منطق سه ارزشی، گیت وارونگر، حاشیه نویز، توان مصرفی

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.19.2.31

تاریخ ارسال مقاله: ۱۳۹۹/۳/۱۵

تاریخ پذیرش مشروط مقاله: ۱۳۹۹/۱۰/۱

تاریخ پذیرش مقاله: ۱۳۹۹/۱۰/۲۱

نام نویسنده‌ی مسئول: دکتر اشکان حری

نشانی نویسنده‌ی مسئول: ایران –اراک- ابتدای جاده خمین- شهرک دانشگاهی- دانشگاه آزاد اسلامی واحد اراک-گروه برق

۱- مقدمه

اخیرا منطق سه ارزشی توجه زیادی را به خود جلب کرده است. این به خاطر مزایایی است که این منطق نسبت به منطق دو دویی دارد. در واقع به دلیل کاهش عملیات ریاضی در منطق سه ارزشی در مقایسه با منطق دو ارزشی، سطح تراشه و توان مصرفی کاهش می‌یابد[۱]. مطالعات وسیعی بر روی طراحی و پیاده سازی وارونگرها در منطق CMOS صورت گرفته است. دو نوع طراحی برای گیت‌های سه ارزشی در منطق CMOS وجود دارد. یکی از آنها مبتنی بر مد جریان و دیگری مبتنی بر مد ولتاژ[۲] می‌باشد. مدارهای مد ولتاژ مبتنی بر CMOS های دارای چند ولتاژ آستانه طراحی می‌شوند. همچنین اخیرا، ادوات جدیدی برای پیاده سازی این نوع از گیت‌ها، ارائه شده است. برخی از این ادوات با استفاده از تکنولوژی آتوماتای سلولی کوانتومی طراحی شده است[۳]. همچنین ادوات تک الکترونی برای طراحی سلول‌های حافظه چند سطحی پیشنهاد شده است[۴]. اخیرا طراحی‌هایی مبتنی بر ترانزیستور های نانولوله‌ای کربنی انجام گرفته است[۵]. از بین طراحی‌هایی که برمبنای نانولوله کربنی صورت گرفته است، روش اول از بارمنبع جریان و خانواده منطقی نوع شبه nFET [۶] و روش خانواده منطقی مکمل با بار دیودی[۷]، بیشتر مورد بررسی قرار گرفته‌اند. در این روش از خاصیت وابستگی ولتاژ آستانه به قطر نانولوله جهت پیاده‌سازی منطق سه ارزشی استفاده شده است. در مرجع [۸]، از یک ترانزیستور تونلی در تکنولوژی CMOS برای طراحی گیت های سه ارزشی استفاده شده است. بر خلاف روشهای مرسوم که برپایه ترانزیستورها با ولتاژ آستانه متفاوت طراحی می‌شوند، در این روش تنها از یک ولتاژ آستانه استفاده شده است. در این روش سطح سوم ولتاژ با استفاده از جریان حالت خاموشی با منشا تونل‌زنی باند به باند، ایجاد می‌گردد. در مرجع [۹]، از Graphene barristor(GB) برای طراحی گیت‌های سه ارزشی استفاده شده است. در این طراحی، ولتاژ آستانه GBها بوسیله ارتفاع سد شاتکی قابل کنترل است. در این مرجع، وارون‌ساز سه ارزشی با استفاده از شش GB طراحی شده است که دارای ولتاژ های آستانه متفاوت می‌باشند. همچنین در این مقاله مشخصات این نوع از گیت ها با گیت‌های مبتنی بر نانو لوله‌های کربنی مقایسه شده است. در مرجع [۱۰]، از یک ترانزیستور نانو نوار گرافنی برای طراحی گیت‌های سه ارزشی استفاده شده است که در مشخصه خود دارای دو شیب تفاضلی منفی می‌باشد. با اتصال سری دو نوع از این ترانزیستورها، اینورتر سه ارزشی قابل پیاده سازی می‌باشد. پس از تعریف مشخصه جریان در نرم افزار HSPICE، مدارهایی نیز برای طراحی گیت‌های ترکیبی NAND و NOR پیشنهاد شده است. در مرجع [۱۱] از نانو نوار گرافنی با عرض‌های متفاوت برای پیاده سازی گیت‌های منطقی سه ارزشی استفاده شده است. این طراحی برپایه وابستگی ولتاژ آستانه ترانزیستور نانوروبان گرافنی به عرض گرافن طراحی شده است.

وارونگرهای سه ارزشی به سه قسمت، وارونگر سه ارزشی استاندارد (STI)، وارونگر سه ارزشی منفی (NTI) و وارونگر سه ارزشی مثبت (PTI) تقسیم می‌شوند. در طراحی‌هایی که قبلا انجام شده است، از سه مدار مجزا برای طراحی این سه قسمت استفاده شده است. نوآوری این مقاله این است که در این طراحی جدید، هر سه قسمت به وسیله یک مدار و بدون تغییر سخت افزار صورت می‌گیرد. این طراحی با استفاده از یک ترانزیستور نانوسیم سیلیسیومی با کانال سه بعدی صورت می‌پذیرد. در این ترانزیستور، کانال می‌تواند با استفاده از گیت‌های مختلف کنترل شود. کانال ترانزیستور یک نانو سیم از جنس سیلیسیوم می‌باشد. این ترانزیستور دارای سه گیت مجزای آلومنیومی می‌باشد. دو گیت از این سه گیت، ورودی‌های تابع و گیت دیگر که گیت کنترلی نامیده می‌شود، وظیفه تعیین نوع وارونگر سه ارزشی را برعهده دارد. پس از این مقدمه در قسمت بعدی ساختار مداری طراحی شده، ارائه می‌گردد و بعد از آن نتایج شبیه‌سازی بحث می‌شود. در نهایت نتیجه‌گیری ارائه می‌شود.

۲- طراحی وارونگر سه ارزشی

۲-۱- وارون گر سه ارزشی

وارون گر سه ارزشی دارای یک ورودی x، و سه خروجی y_0، y_1 و y_2 می باشد که بصورت زیر تعریف می شوند[۶-۷]:

$$y_0(x)=\begin{cases}2 & \text{if} \quad x=0\\ 0 & \text{if} \quad x\neq 0\end{cases} \qquad (۱)$$

$$y_1(x)=2-x$$

$$y_2(x)=\begin{cases}0 & \text{if} \quad x=0\\ 2 & \text{if} \quad x\neq 0\end{cases}$$

بنابراین با توجه به روابط (۱)، پیاده سازی واورن گر سه ارزشی به سه واورن گر نیاز دارد که به ترتیب وارونگر سه ارزشی منفی (NTI) و وارونگر سه ارزشی استاندارد (STI) تقسیم و وارونگر سه ارزشی مثبت (PTI) نامیده می‌شوند که تابع آنها مطابق رابطه (۱) به ترتیب برابر $y_0(x)$ ، $y_1(x)$ و $y_2(x)$ می باشد. جدول درستی این سه وارونگر در جدول (۱) آورده شده است.

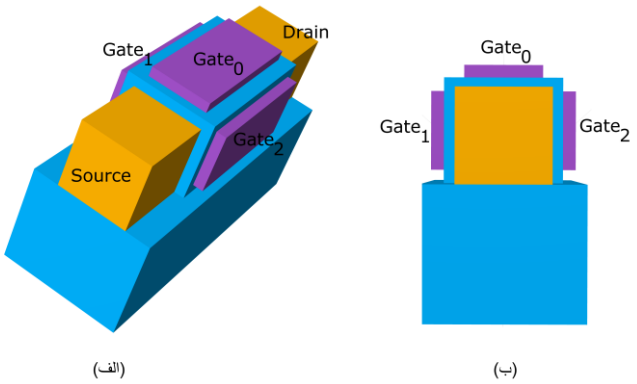
جدول (۱): جدول درستی گیت وارونگر در منطق سه ارزشی

Input X	STI	PTI	NTI
۰	۲	۲	۲
۱	۱	۲	۰
۲	۰	۰	۰

۲-۲- ترانزیستور نانوسیم

نانو سیم‌های سیلیسیومی دارای ساختار تک بلوری هستند و ضخامت آنها تنها چند نانومتر است[۱۲]. همچنین هدایت آنها بوسیله اضافه کردن ناخالصی بخشنده و یا پذیرنده قابل کنترل است. نانو سیم‌ها به دلیل کاربرد آنها در ادوات الکترونیکی مانند سلول‌های خورشیدی [۱۳]، ترانزیستورهای اثرمیدانی [۱۴] و زیست حسگرها [۱۵]، مورد توجه زیادی قرار گرفته است. محدودیت دوبعدی در نانوسیم های سیلیسیومی به دلیل قوی شدن آثار کوانتومی، منجر به تغییر خواص آن در مقایسه با توده سیلیسیوم می‌شود. بدلیل ایجاد آثار کوانتومی، کوچکترشدن ضخامت نانوسیم موجب افزایش گاف انرژی و جرم موثر الکترون و حفره می‌گردد [۱۶]. بازدهی ترموالکتریک نانو سیم‌های سیلیسیومی به دلیل نزدیکی سایز آنها با مسیر آزاد میانگین فونون، بیشتر از توده سیلسیومی می‌باشد. در ضمن، باتوجه به نزدیک بودن سایز زیست مولکول ها به نانوسیم ها و همچنین نسبت سطح به حجم بالا، آنها مناسب برای کاربردهای حسگری نیز هستند.

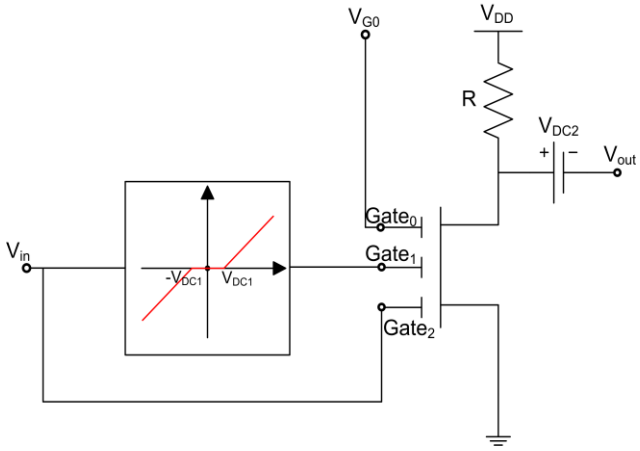
شکل سه بعدی و نمای کناری ترانزیستور پیشنهادی، به ترتیب در شکل ۱-الف و ۱-ب نشان داده شده است. کانال ترانزیستور از جنس سیلیسیوم می باشد که مقدار عرض و ضخامت آن ۷ نانومتر و مقدار طول آن برابر ۳۲ نانومتر است. این کانال بوسیله اکسیدسیلیسیوم احاطه شده است و سه گیت مجزا از جنس آلومنیوم روی آن اکسید قرار گرفته است. مقدار ضخامت اکسید برابر یک نانومتر می‌باشد. مقدار چگالی ناخالصی فسفر کانال برابر $۵\times۱۰^{۱۹}/cm^3$ (نوع n) می‌باشد. در نهایت کل این ساختار بر روی یک اکسید سیلیسیوم ضخیم قرار گرفته شده است. در این ساختار گیت بالای کانال($Gate_0$) وظیفه تعیین نوع وارونگر و گیت‌های کناری ($Gate_1$) و ($Gate_2$) ورودی‌های تابع منطقی می باشند.



شکل (۱): الف) شکل سه بعدی و ب) نمای کناری از یک ترانزیستور نانوسیمی با سه گیت مجزا

۲-۳- مدار پیشنهادی مبتنی بر ترانزیستور نانوسیم

مدار پیشنهادی در شکل (۲) نمایش داده شده است. در این مدار از ترانزیستور نانوسیم استفاده شده است. این ترانزیستور دارای سه ورودی گیت می باشد. گیت شماره صفر ($Gate_0$) گیت کنترلی نامیده می شود. این گیت وظیفه تعیین نوع وارونگر را برعهده دارد. درصورتیکه V_{G0}=-1V باشد، وارونگر از نوع NTI خواهد بود. در شرایط V_{G0}=-3V وارونگر از نوع STI و در حالت V_{G0}=-4V وارونگر از نوع PTI می باشد.



شکل (۲): مدار پیشنهادی جدید برای پیاده‌سازی وارونگر

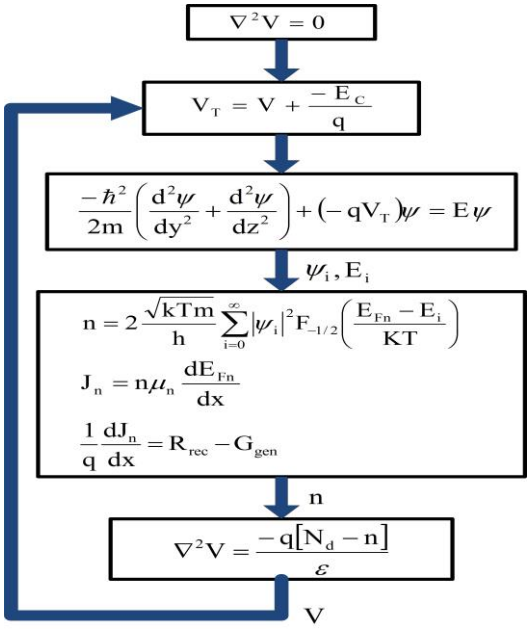
باتوجه به مدار یکی از ورودی ها مستقیما به ($Gate_2$) وصل می باشد و ورودی دیگر ترانزیستور از مدار جانبی سمت چپ گرفته می شود. در این مدار V_{DC1}=۰/۲۵V و V_{DC2}=1V می باشد. مشخصه ورودی-خروجی مدار جانبی در داخل بلوک بیان شده است.

۲-۴- روش شبیه سازی

شبیه‌سازی بوسیله کد نرم افزاری سیلواکو انجام شده است[۱۷]. مدل استفاده شده یک مدل نیمه کلاسیک می باشد. این مدل بر مبنای حل خودسازگار معادله شرودینگر دوبعدی عمود بر مسیر کانال برای در نظر گرفتن آثار کوانتومی و حل معادلات تک بعدی انتقال رانش-نفوذ و پیوستگی در مسیر کانال می‌باشد. این معادلات با استفاده از روش گسسته‌سازی Sharfetter-Gummel شده است. فلوچارت شبیه‌سازی در شکل (۳) نشان داده شده است. در ابتدا پتانسیل الکتریکی اولیه با حل معادله لاپلاس بدست می‌آید و سپس انرژی نوار باند هدایت به آن اضافه می‌گردد. در این کد، نوار باند هدایت بصورت پله‌ای در مرز سیلیسیوم و اکسید سیلیسیوم تغییر می‌کند و مقدار ارتفاع سد پتانسیل برابر اختلاف وابستگی الکترون بین سیلیسیوم و اکسید سیلیسیوم می‌باشد. معادله شرودینگر دوبعدی در جهت عمود بر کانال (جهت y,z) در هر نقطه x حل می‌گردد. با حل معادله شرودینگر، مقدار ویژه‌های انرژی E_i و توابع موج الکترون ψ_i بدست می آید. چگالی الکترون از رابطه زیر محاسبه می شود[۱۹]:

$$n = 2\frac{\sqrt{kTm}}{h}\sum_{i=0}^{\infty}\left|\psi_i\right|^2 F_{-1/2}\left(\frac{E_{Fn}-E_i}{KT}\right) \qquad (۲)$$

در این رابطه n چگالی الکترون و E_{Fn} انرژی تراز شبه فرمی الکترون می‌باشد. $F_{-1/2}$ تابع انتگرال فرمی دیراک از مرتبه ۱/۲- می‌باشد[۱۹]. طبق رابطه (۲) برای محاسبه چگالی الکترون به انرژی تراز شبه فرمی الکترون E_{Fn} نیاز داریم. مقدار انرژی تراز شبه فرمی الکترون از حل معادله تک بعدی نفوذ-رانش و معادله پیوستگی در راستای کانال(جهت x) محاسبه می گردد. با یافتن چگالی الکترون، میدان الکتریکی و توزیع پتانسیل از حل معادله پواسن بدست می‌آید. این توزیع پتانسیل با پتانسیل لبه باند هدایت جمع می‌گردد تا پتانسیل کل بدست آید و این حلقه تکرار می گردد تا همگرایی صورت پذیرد. روی گیت‌ها شرط مرزی دریکله و روی نواحی سورس و درین شرط مرزی نیومن اعمال شده است. در فلوچارت شکل (۳)، μ_n قابلیت تحرک الکترون، q بیانگر بار الکترون، k ثابت بولتزمن، T دمای محیط ، E_c انرژی لبه باند هدایت، m برابر جرم الکترون، E برابر انرژی الکترون، ψ گویای تابع موج الکترون، $\hbar$ ثابت پلانک کاهش یافته، N_d چگالی ناخالصی دهنده، ε ثابت گذردهی خلا و V پتانسیل الکتریکی می‌باشد. مش‌بندی بصورت یکنواخت می‌باشد و فاصله نقاط در راستای x برابر ۱ نانومتر است، درحالیکه این فاصله در راستای y و z برابر ۰/۲۵ نانومتر می باشد.

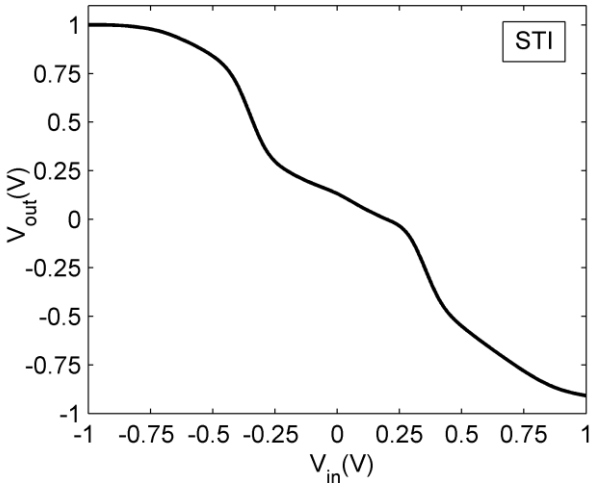


شکل (۳): فلوچارت شبیه‌سازی

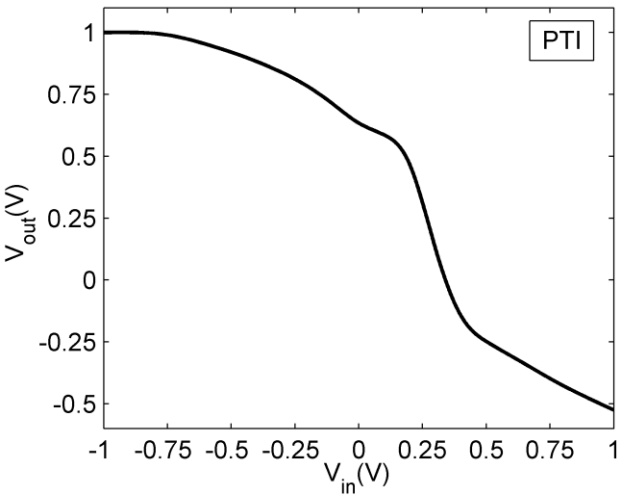
۳- نتایج و بحث

۳-۱- بررسی مشخصه

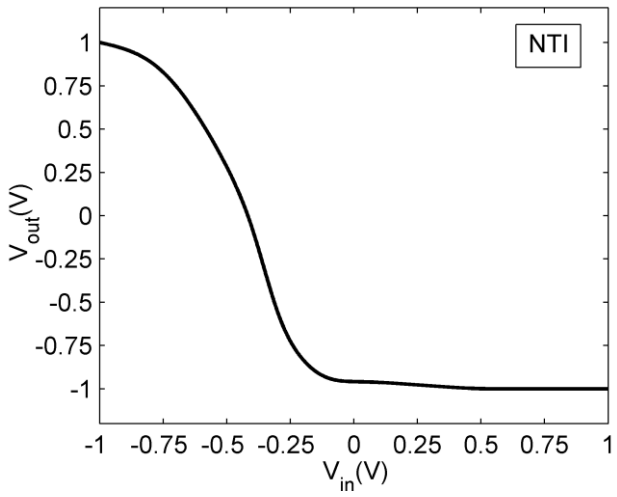
در مدار شکل (۲) مقدار V_{DC1}= ۰/۲۵V و V_{DD}=۲V می‌باشد. یکی از ورودی های ترانزیستور مستقیما از ولتاژ ورودی V_{in} گرفته می‌شود و ورودی دیگر از مدار جانبی گرفته می‌شود. در صورتیکه ولتاژ ورودی بین۰/۲۵V- و ۰/۲۵V+ باشد، خروجی مدار جانبی برابر صفر می‌باشد. صفر شدن یکی از ورودی های ترانزیستور، منجر به کم شدن شیب مشخصه مطابق شکل (۴) می‌شود. خارج از این بازه منحنی به شیب معمول خود ادامه می دهد.



شکل (۴): مشخصه انتقالی ولتاژ برای گیت STI



شکل (۵): مشخصه انتقالی ولتاژ برای گیت PTI



شکل (۶): مشخصه انتقالی ولتاژ برای گیت NTI

لازم به ذکر است که این تغییرات شیب در حالت V_{G0}=-3V که مربوط به حالت STI می‌باشد، نسبت به حالت های PTI و NTI که در آن ورودی به ترتیب برابر V_{G0}=-4V و V_{G0}=-2V می‌باشد، قابل محسوس‌تر است. در واقع در حالت V_{G0}=-4V، (حالتPTI)، مقاومت کانال بالا می‌باشد و مدار جانبی اثر شایانی بر مشخصه ندارد. همچنین در حالت V_{G0}=-2V ، (حالتNTI)، مقاومت کانال بسیار کم می‌باشد و در این حالت نیز مدار جانبی اثر شایانی رو تغییر شیب مشخصه ندارد.

۳-۲-بررسی نویز

حاشیه نویز معیاری برای تحمل پذیری نویز در یک مدار منطقی می‌باشد و در وارونگر منطق سه ارزشی (STI) چهار حاشیه نویز تعریف می‌شود. حاشیه نویز NM_0 برای منطق صفر و دو حاشیه نویز NM_1^- و NM_1^+ برای منطق یک و همچنین NM_2 برای منطق دو، بصورت زیر تعریف می‌شوند.

$$NM_0 = V_{I0} - V_{O0} \quad (۳)$$

$$NM_1^- = V_{O1}^- - V_{I1}^- \quad (۴)$$

$$NM_1^+ = V_{I1}^+ - V_{O1}^+ \quad (۵)$$

$$NM_2 = V_{O2} - V_{I2} \quad (۶)$$

$V_{I0}\left(V_{I1}^+\right)$=بیشترین ولتاژ ورودی که هنوز می تواند به عنوان صفر(یک) تلقی گردد.

$V_{I2}\left(V_{I1}^-\right)$=کمترین ولتاژ ورودی که هنوز می تواند به عنوان دو(یک) تلقی گردد.

$V_{O0}\left(V_{O1}^+\right)$ = بیشترین ولتاژ خروجی هنگامی که خروجی در منطق صفر(یک) است.

$V_{O2}\left(V_{O1}^-\right)$=کمترین ولتاژ خروجی هنگامی که خروجی در منطق دو(یک) است.

در این قسمت حاشیه‌های نویز مدارپیشنهادی بوسیله ترانزیستور نانو سیم با کارهای اصلی که قبلا بر روی گیت‌های سه ارزشی بیان شده است، مقایسه شده و در جدول (۲) گردآوری شده است. تحقیق‌های گذشته اصلی شامل طراحی گیت منطقی سه ارزشی با استفاده از نقاط کوانتومی [۳]، خانواده شبه nFET با بار منبع جریان[۶]، طراحی منطقی مکمل با بار دیودی[۷]، ترانزیستور تونلی [۸]، Graphene barrister [۹]، اثر میدانی دارای مقاومت دیفرانسیل منفی [۱۰] ونانو نوار گرافنی[۱۱] می باشد.

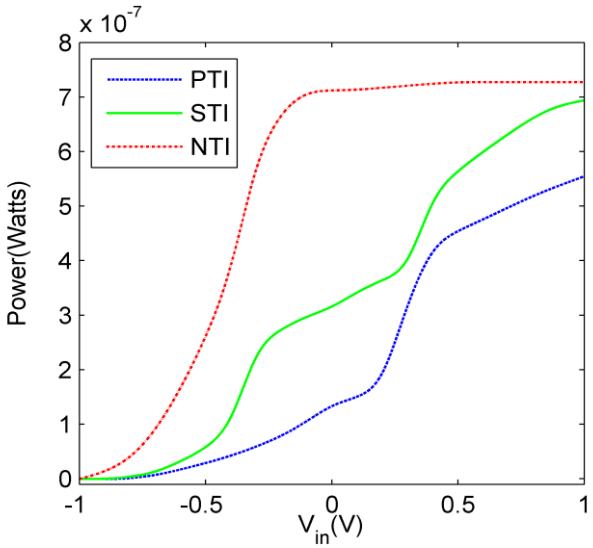
جدول (۲): حاشیه نویز برای گیت های وارونگر STI (برحسب mV)

روش پیاده سازی	NM_0	NM_1^-	NM_1^+	NM_2	V_{FS}	$\frac{\sum NM}{V_{FS}}$
نقطه کوانتومی[۳]	۵۵	۵۰	۵۰	۵۰	۰/۵	۰/۴۲
خانواده شبه nFET با بار منبع جریان [۶]	۱۶۹	۱۰۰	۱۴۲	۲۳۳	۱	۰/۶۴
منطقی مکمل بار دیودی [۷]	۲۳۴	۹۷	۹۵	۲۳۶	۱	۰/۶۶
ترانزیستور تونلی [۸]	۱۶۰	۱۱۰	۱۲۱	۱۵۴	۱	۰/۵۴
Graphene barristor [۹]	۱۵۳	۱۳۶	۱۴۱	۱۵۱	۱	۰/۵۸
ترانزیستور اثرمیدانی با مقاومت دیفرانسیل منفی[۱۰]	۱۸۳	۱۴۲	۱۷۳	۱۱۹	۱	۰/۶۲
نانو نوار گرافنی [۱۱]	۲۱۵	۱۲۶	۱۱۷	۲۲۵	۱	۰/۶۸
مدار پیشنهادی در این مقاله مبتنی بر نانو سیم	۵۱۸	۲۳۰	۲۵۴	۴۶۶	۲	۰/۷۳

در این طراحی مقدار کل رنج کامل ولتاژ (V_{FS}) برابر ۲ ولت می‌باشد. برای یک مقایسه صحیح با تحقیقات قبلی، جمع کل حاشیه‌های نویز $\sum NM$ بر (V_{FS}) تقسیم شده است و در ستون آخر جدول (۲) برای هر طراحی محاسبه شده است. این پارامتر نشان می‌دهد که چند درصد از کل بازه در برابر نویز تحمل‌پذیر است. مقدار این پارامتر در طراحی این مقاله برابر، ۰/۷۳۴ می باشد که نسبت به طراحی‌های قبلی بالاتر است. بنابراین از نظر نویز، دارای مشخصه بهتری نسبت به کارهای قبلی می‌باشد.

۳-۳-بررسی و مقایسه توان مصرفی

در این قسمت توان مصرفی استاتیک محاسبه شده و با تحقیقات قبلی مقایسه می‌شود. نحوه محاسبه توان مصرفی استاتیک بصورت حاصلضرب مقدار منبع ولتاژ در جریان آن می‌باشد. در شکل (۷)، میزان توان مصرفی گیت های وارونگر STI، NTI و PTI برحسب ولتاژ ورودی رسم شده است. از شکل (۷) فهمیده می شود که بیشترین توان مصرفی در حالت NTI و کمترین توان مصرفی در حالت PTI می‌باشد. در جدول (۳) میزان متوسط توان مصرفی با کارهای قبلی مقایسه شده است. در این حالت روی کل بازه ورودی متوسط‌گیری شده است. با توجه به جدول (۳)، توان مصرفی در رنج کارهای گذشته است.



شکل (۷): مصرف توان استاتیکی در گیت های مختلف

جدول (۳): متوسط توان مصرفی استاتیک گیت های وارونگر بر حسب nW

روش پیاده سازی	STI	PTI	NTI
نقطه کوانتومی[۳]	۱۸۰	۱۴۷	۲۵۱
خانواده شبه nFET با بار منبع جریان [۶]	۳۲۰	۲۲۵	۳۲۱
منطقی مکمل بار دیودی [۷]	۲۹۰	۲۲۸	۴۱۸
ترانزیستور تونلی [۸]	۳۵۱	۳۱۴	۵۴۴
Graphene barrister [۹]	۲۳۰	۱۶۰	۲۵۰
ترانزیستور اثرمیدانی با مقاومت دیفرانسیلی منفی [۱۰]	۸۵۰	۶۵۴	۹۴۰
نانو نوار گرافنی [۱۱]	۲۳۹	۱۱۷	۶۱۴
مدار پیشنهادی در این مقاله مبتنی بر نانو سیم	۳۲۱	۲۱۶	۵۲۴

از مقایسه نتایج گردآوری شده در جدول (۳) دریافت می‌شود که میزان توان مصرفی در طراحی صورت گرفته در این مقاله، نسبت به طراحی‌های مبتنی بر ترانزیستور تونلی [۸] ،اثر میدانی دارای مقاومت دیفرانسیل منفی[۱۰] و نانو نوار گرافنی [۱۱] کاهش یافته است ولی نسبت به طراحی‌های دیگر ذکر شده در جدول بیشتر است. در واقع با توجه به اینکه نانوسیم سیلیسیومی دارای گاف انرژی بیشتری نسبت به نانو نوار گرافنی استفاده شده در مراجع[۱۱-۱۰] است ، جریان عبوری کمتری در مقایسه با آنها دارد و به همین دلیل توان پایین‌تری را مصرف می کند. با توجه به مزایای استفاده از حافظه‌های سه ارزشی [۲۰]، پیشنهاد می شود از این نوع ترانزیستور نانو سیم برای طراحی حافظه های سه ارزشی استفاده گردد. همچنین با توجه به اثر دماهای منفی بر پایداری افزاره‌های نانومتری چندگیتی[۲۱]، بررسی پایداری این وارونگر در دماهای مختلف پیشنهاد می‌گردد.

۴- نتیجه‌گیری

در این تحقیق بوسیله ترانزیستور نانوسیم، یک گیت وارونگر جدید با قابلیت پیاده‌سازی STI، NTI و PTI در یک مدار، طراحی شده است. نوع تابع وارونگر فقط با تغییر سطح ولتاژ گیت صفر و بدون تغییر سخت افزار امکان‌پذیر است. شبیه سازی بر مبنای معادلات شرودینگر- پواسن انجام شده است. نتایج نشان می دهد که ۷۳/۴٪ تحمل‌پذیری نویز وجود دارد که نسبت به کارهای مشابه بیشتر است همچنین توان مصرفی کمتری در مقایسه با طراحی های مبتنی بر نقطه کوانتومی، اثر میدانی با مقاومت دیفرانسیلی منفی و نانو نوار گرافنی دارد.

مراجع:

[1] P. C. Balla and A. Antoniou, “Low power dissipation MOS ternary logic family IEEE J. Solid-State Circuits, 19, 739–749, 1984.

[2] Y. Yasuda, Y. Tokuda, S. Taima, K. Pak, T. Nakamura, and A. Yoshida, “Realization of quaternary logic circuits by n-channel MOS devices,” IEEE J. Solid-State Circuits, 21, 162–168, 1986.

[3] S. Karmakar, J. Chandy, F. Jain, "Design of Ternary Logic Combinational Circuits Based on Quantum Dot Gate FETs" IEEE Transactions on VLSI Systems, 21, 793-806, 2013.

[4] N. Syed, C. Chen, "Low-power multiple-valued SRAM logic cells using single-electron devices", Nanotechnology (IEEE-NANO), pp.1-4 ,2012 12th IEEE Conference on, Aug.20-23, 2012.

[5] A. Raychowdhury and K. Roy, “Carbon-nanotube-based voltage-mode multiple-valued logic design" IEEE Trans. Nanotechnology ,4, 168–179, 2005.

[6] L. Jinghang, L. Chen, J. Han, and F. Lombardi."Design and Evaluation of Multiple Valued Logic Gates using Pseudo N-type Carbon Nanotube FETs." IEEE Transactions on Nanotechnology, 13, 695-708, 2014.

[7] S. Lin, Y. Kim and F. Lombardi, “CNTFET-Based Design of Ternary Logic Gates and Arithmetic Circuits,” IEEE Transactions on Nanotechnology, 10, 217-225, 2011.

[8] J.W. Jeong, Y.E. Choi, W.S kim, J.H. Park, S. Shin, K Lee, J.C. Seong, and K.R. Kim, “Tunneling -based ternary metal-oxide-semiconductor technology” Nature electronics,2,307-312, 2019.

[9] S. Heo, S.Kim, K. Kim, H.Lee, S. Kim, Y.J. Kim, S.M. Kim, H.I. Lee, S.Lee, K.R.Kim, S.Kang, and B.H.Lee, “Ternary Full Adder Using Multi-Threshold Voltage Graphene Barristors” IEEE Electron Devices Letters, 39, 1948-1961, 2018.

[10] Y. Ji, S. Chang, H. Wang, Q. Huang, J. He, and F. Yi, "Multi-valued logic design methodology with double negative differential resistance transistors" IET Micro & Nano Letters, 12, 738-743, 2017.
[11] Z.T. Sandhie, F.U. Ahmed, and M. Chowdhury, "GNRFET based Ternary Logic-Prospects and Potential Implementation", 2020 IEEE 11th Latin American Symposium on Circuits & Systems (LASCAS) 1-4, IEEE 2020.
[12] J. Ramanujam, D. Shiri, and A. Verma. "Silicon nanowire growth and properties: a review." Materials Express ,1,105-126, 2011.
[13] E. Garnett, and Y. Peidong "Light trapping in silicon nanowire solar cells" *Nano letters* 10, 1082-1087, 2010.
[14] N. Singh *et al.*, "Observation of Metal-Layer Stress on Si Nanowires in Gate-All-Around High- κ/Metal-Gate Device Structures " *IEEE Electron Device Letters*, 28, 558-561, 2007.
[15]G. Zheng, , X. Gao, and C.M. Lieber. "Frequency domain detection of biomolecules using silicon nanowire biosensors." Nano letters 10, 3179-3183, 2010.
[16] D. Ma, C.S. Lee, F.C.K Au., S.Y. Tong, and S.T. Lee, "Small-diameter silicon nanowire surfaces "Science, 299, 1874-1877,2003.
[17] Manual, ATLAS User'S. "Silvaco Int." *Santa Clara, CA* 5 (2008).
[18] H. Ilati, M.R. Ashrafi, S. khorasani " Simulation and optimization of nanoscale HEMTs with finite elements method" Arxiv e-prints,.1-8, 2011.
[19] J. Mateos, T. Gonzalez, D. Pardo, V. Hoel, H. Happy, and A. Cappy, "Improved Monte Carlo Algorithm for the simulation of δ-doped AlInAs/GaInAs HEMT's", IEEE Transactions on Electron Devices, 47, 250-253, 2000
[۲۰] توحیدی مریم، مولایی زاده سیده فاطمه، گندم کار مجتبی، "تاثیر ترانزیستورهای DTMOS بر عملکرد یک سلول حافظه CAM سه ارزشی مبتنی بر ممریستور در کاربردهای توان پایین." مجله مهندسی برق و الکترونیک ایران، سال هجدهم، شماره اول، بهار ۱۴۰۰
[۲۱] قبادی نیره، کوشا علی افضلی، "بررسی و مدل‌سازی اثر ناپایداری در دمای بالا و بایاس منفی (NBTI) و تزریق حامل های پر انرژی (HCI) در افزاره‌های چندگیتی نانومتری" مجله مهندسی برق و الکترونیک ایران،سال دوازدهم، شماره دوم، پائیز ۱۳۹۴