کاهش سخت‌افزار و توان نویز کوانتیزه در مدولاتورهای دلتا-سیگمای دیجیتال و پیاده سازی توسط زبان توصیف سخت‌افزار VHDL

مهدی تیزنوبیک[1] **ابراهیم فرشیدی[2]**

۱- دانش آموخته کارشناسی ارشد- گروه برق - دانشکده مهندسی - دانشگاه شهید چمران اهواز - اهواز- ایران
m.tiznobeyk@gmail.com

۲- استاد گروه برق - دانشکده مهندسی - دانشگاه شهید چمران اهواز- اهواز- ایران
farshidi@scu.ac.ir

چکیده: در این مقاله یک ساختار جدید برای مدولاتور دلتا-سیگمای دیجیتال پیشنهاد شده است، که علاوه‌بر کاهش سخت‌افزار مبتنی بر روش تودرتو، سطح توان نویز کوانتیزه خروجی و شاخک‌های موجود در آن نسبت به معماری‌های قبلی کاهش یافته است. به‌منظور کاهش تاخیر مدار، توان مصرفی و افزایش فرکانس بیشینه از جمع‌کننده‌های پایپ‌لاین و پرش رقم نقلی استفاده شده است. شبیه‌سازی ساختار پیشنهادی نشان می‌دهد که نویز کوانتیزه ۱۵dB نسبت به معماری مرسوم کاهش می یابد. همچنین نتایج پیاده‌سازی دیجیتال کاهش ۲۰٪ سخت‌افزار، ۱۵٪ توان مصرفی و افزایش ۳ برابری فرکانس کاری بیشینه را گزارش می‌دهد.

کلمات کلیدی: مدولاتور دلتا-سیگمای دیجیتال، معماری تودرتو، نویز کوانتیزه، شاخک، پایپ‌لاین، جمع‌کننده‌ی پرش رقم نقلی، ترکیب کننده فرکانس کسری

تاریخ ارسال مقاله : ۱۳۹۴/۵/۱

تاریخ پذیرش مشروط مقاله: ۱۳۹۶/۰۶/۲۳

تاریخ پذیرش مقاله: ۱۳۹۷/۰۵/۲۷

نام نویسنده‌ی مسئول: دکتر ابراهیم فرشیدی

نشانی نویسنده‌ی مسئول: ایران – خوزستان –اهواز– دانشگاه شهید چمران اهواز– دانشکده‌ی مهندسی–گروه برق

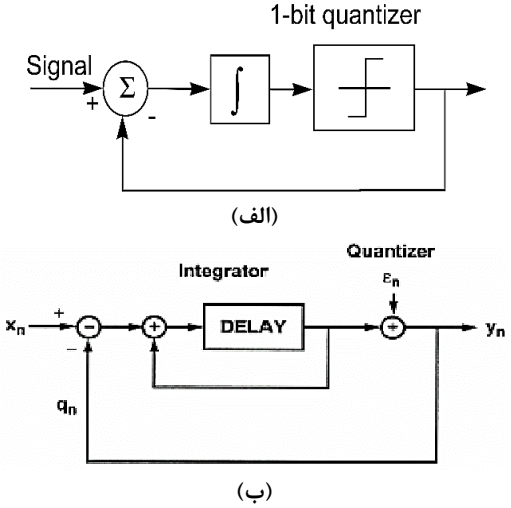
۱- مقدمه

مدولاتورهای سیگما-دلتا که بطور گسترده در کاربردهای آنالوگ به دیجیتال استفاده میشوند از دو ویژگی مهم فرانمونه برداری و شکل دهی نویز بصورت بالاگذر برای افزایش SQNR در باند پایه بهره می برند. ویژگی فرمدهی نویز در مبدل‌های داده دلتا-سیگما توسط سری کردن کوانتایزر با یک انتگرال‌گیر و قرار دادن آن‌ها در یک حلقه فیدبک منفی بدست می‌آید[۱,۲].

شکل ۱-الف نمای کلی از یک مدولاتور دلتا-سیگما را نشان می-دهد. اگر تقریب نویز سفید را برای کوانتایزر بکار ببریم می‌توان از مدل خطی مدولاتور که در شکل ۱-ب نشان داده شده است، برای محاسبات استفاده کرد. با اجرای تبدیل Z در حلقه فیدبک، خروجی بصورت زیر بدست می‌آید:

$$Y(z)=z^{-1}X(z)+\left(1-z^{-1}\right)E_q(z) \qquad (۱)$$

بطوریکه $X(z)$، $E_q(z)$ و $Y(z)$ به ترتیب تبدیل Z سیگنال ورودی،



شکل (۱): الف) مدولاتور دلتا-سیگمای مرتبه یک ب) مدل خطی مدولاتور دلتا-سیگمای مرتبه‌ی یک با فرض نویز سفید [۲]

نویز کوانتیزه و خروجی مدولاتور هستند. که در آن سیگنال ورودی بدون هیچ تغییری در اندازه تنها با یک تاخیر زمانی در خروجی ظاهر می شود و خطای کوانتیزه در خروجی توسط یک فیلتر مشتق-گیر(فیلتر بالاگذر) با یک صفر در فرکانس صفر به فرکانس‌های بالا انتقال داده می‌شود در نتیجه تابع انتقال سیگنال (STF) و تابع انتقال نویز (NTF) بصورت زیر نوشته می‌شوند:

$$STF(z)=z^{-1} \qquad (۲)$$

$$NTF(z)=1-z^{-1} \qquad (۳)$$

با توجه به گسسته‌سازی در زمان و دامنه سیگنال ورودی، مدولاتورهای دلتا-سیگما در سه گروه زیر دسته‌بندی می‌شوند. زمان پیوسته (CT)، دامنه پیوسته، زمان گسسته (DT analog) و دامنه گسسته، زمان گسسته (DT digital) که نوع دیجیتال در این مقاله مور بحث است[۳].

مدولاتورهای دلتا-سیگمای دیجیتال[۱] (DDSM) در بسیاری از سیستم‌های مخابراتی و الکترونیکی که از ترکیب‌کننده‌های فرکانس کسری[۲]، مبدل‌های دیجیتال به آنالوگ[۳] و منابع تغذیه سوئیچینگ استفاده می‌کنند کاربرد دارند. این مدولاتورها از طریق فرانمونه‌برداری[۴] و شکل‌دهی نویز[۵] بصورت بالاگذر باعث افزایش SNR[۶] می‌شوند[۳,۴].

نویز کوانتیزه مدولاتور در حالت ایده‌آل سفید و غیر همبسته با ورودی است اما در عمل دارای الگوهای تکراری با دوره تناوب پایین است که باعث تن‌های جعلی[۷] در طیف توان نویز، به خصوص وقتی‌که ورودی در کاربردهای ترکیب کننده‌ی فرکانس کسری ثابت است، می‌شود [۵,۶]. دو روش احتمالی و قطعی برای حذف شاخک‌های طیف توان نویز پیشنهاد شده است [۷]. در روش احتمالی یک سیگنال لرزش به مدولاتور اضافه می‌شود که باعث تصادفی‌تر شدن خروجی می‌شود و در نتیجه سطح توان نویز صاف و عاری از هرگونه شاخک[۸] می‌شود. عیب این روش افزایش نویز فرکانس پایین، افزایش سطح کلی توان نویز و افزایش سخت‌افزار مصرفی است [۸,۹]

در روش قطعی، با ایجاد تغییری در ساختار مدولاتور، دوره تناوب خروجی افزایش می‌یابد[۹]. یک روش موثر از این نوع در [۱۰] ارائه شده است. در این روش یک فیدبک با ضریب مناسب به مدولاتور اضافه می‌شود، بنحوی که باعث افزایش دوره تناوب به‌طور مطلوب برای حذف تن‌های گسسته و شاخک‌ها می‌شود. از معایب این معماری، افزایش سخت‌افزار، تغییر میانگین رشته‌ی خروجی و کاهش محدوده‌ی ورودی پایدار مدولاتور را می‌توان نام برد [۱۱]. همچنین در [۶] اثبات شده است که در صورت استفاده از مقدار اولیه فرد برای ثبات‌های مدولاتور، دوره تناوب افزایش می‌یابد. اما در این روش افزایش دوره تناوب برای حذف شاخک‌ها و کاهش نویز کافی نیست.

طرح های مختلفی تاکنون برای کاهش سخت‌افزار مصرفی و مساحت DDSMها ارائه شده است. در[۱۲,۱۳] یک روش طراحی مبتنی بر پوشاندن خطا برای معماری های تک‌طبقه و شکل‌دهی نویز چندطبقه[۹] (MASH) ارائه شده است. در [۱۴,۱۵] یک معماری تودرتو[۱۰] مرتبه سه پیشنهاد شده است. طرح‌های ذکر شده برای کاهش سخت‌افزار دارای نویز کوانتیزه با توان بالا و شاخک هستند.

در این مقاله یک ساختار برای DDSM MASH پیشنهاد می‌شود که علاوه‌بر کاهش سخت‌افزار مصرفی ، بدون کاهش محدوده‌ی ورودی که مدولاتور در آن پایدار است و تغییر میانگین خروجی، دوره تناوب خطای کوانتیزه افزایش یافته است. بنابراین، شاخک‌های طیف توان خروجی حذف می‌شوند. به‌صورتی‌که نویز کوانتیزه خروجی نزدیک به نویز سفید است. عللوه بر این تلاش شده است که معماری جدید توان مصرفی پایین تر و فرکانس بیشینه کاری بالاتری داشته باشد.

ساختار مقاله بدین صورت است: در بخش ۲ DDSM چندطبقه که معماری پایه برای ساختار پیشنهادی است و روش بهینه برای کاهش تن‌های جعلی معرفی می‌شود. در بخش ۳ طرح تودرتوی پیشنهادی برای کاهش تن‌های گسسته و سخت‌افزار و پیاده‌سازی

دیجیتالی آن به‌منظور کاهش توان مصرفی و تاخیر مدار ارائه می‌شود. در بخش ۴ نتایج شبیه‌سازی توسط نرم‌افزار MATLAB و سنتز کد VHDL و مقایسه‌ی بین ساختار پیشنهادی و روش‌های پیشین بیان شده است. در بخش ۵ نتیجه‌گیری و جمع‌بندی مقاله ارائه شده است.

۲- مدولاتور دلتا-سیگمای دیجیتال

مدولاتور دلتا سیگمای دیجیتال یک سیگنال دیجیتال با عرض بیت b_x را به یک سیگنال دیجیتال با عرض بیت کمتر b_y تبدیل می‌کند. این کاهش عرض بیت یک نویز به سیگنال اضافه می‌کند که توسط NTF به فرکانس‌های بالا انتقال داده می‌شود در نتیجه می‌توان توسط یک فیلتر پایین‌گذر آن را حذف کرد بنابراین SNR در باند سیگنال کاهش نمی‌یابد[۶] .

در مدولاتورهای دلتا-سیگمای دیجیتال بمنظور کاهش تن‌های جعلی و شکل‌دهی مناسب نویز کوانتیزه باید از معماری‌های مرتبه بالا استفاده کرد، که به دو روش تک‌طبقه و چندطبقه پیاده‌سازی می‌شوند. به دلیل مشکلات پایداری، مصرف سخت‌افزار بالا و سرعت پایین در معماری‌های تک‌طبقه، معماری‌های چندطبقه برتری دارند [۹,۱۲].

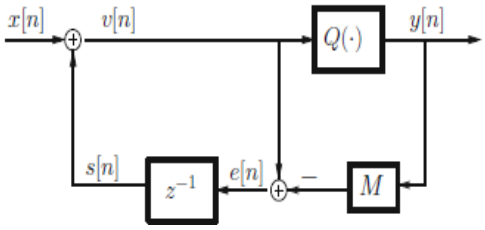
۲-۱- مدولاتور دلتا-سیگمای چندطبقه

مدولاتور فیدبک خطای مرتبه اول[۱۲] (EFM1) بلوک اصلی تشکیل دهنده‌ی DDSM MASH است که در شکل (۲-الف) نشان داده شده است. در این ساختار به جای فیدبک خروجی، خطای کوانتیزه $e[n]$ محاسبه شده و پس از عبور از یک ثبات به‌عنوان تاخیر به ورودی فیدبک می‌شود [۶,۷,۹]. در شکل (۲-ب) مشخصه انتقالی کوانتایزر[۱۵] یک بیتی EFM1 مشاهده می‌شود. رابطه بین v و y در کوانتایزر $Q(.)$ به صورت زیر است [۷]:

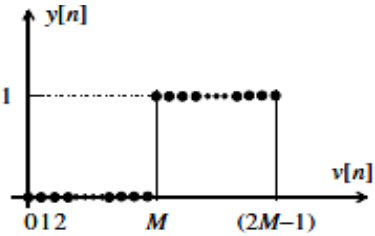
$$y[n]=\begin{cases}0, v[n]<M=2^N\\ 1, v[n]\geq M=2^N\end{cases} \quad (۴)$$

بطوریکه M مقدار آستانه کوانتایزر است. شکل (۲-پ) مدل خطی EFM1 را نشان می دهد که برای محاسبه‌ی تابع انتقال نویز[۱۳] (NTF) و تابع انتقال سیگنال[۱۴] (STF) استفاده می‌شود. در حوزه Z، خروجی ($Y(z)$) به صورت زیر بیان می‌شود [۷]:

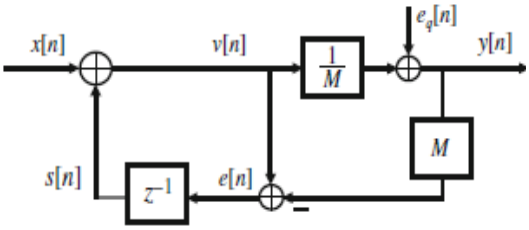
$$Y(z)=\frac{X(z)}{2^N}+\frac{(1-Z^{-1})E(z)}{2^N} \quad (۵)$$



(الف)



(ب)



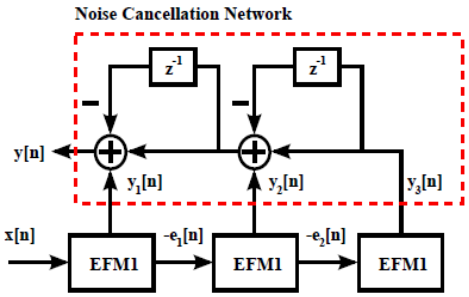
(پ)

شکل (۲): الف) مدل ریاضی مدولاتور دلتا-سیگما مرتبه اول با ساختار فیدبک خطا (EFM1) ب) کوانتایزر یک بیتی استفاده شده در EFM1 پ) مدل خطی EFM1 [۹]

به‌طوری‌که $X(z)$ و $E(z)$ به‌ترتیب تبدیل Z ورودی و خطای کوانتیزه هستند. همانطور که مشاهده می شود نویز کوانتیزه توسط تابع مشتق گیر به فرکانس های بالا منتقل می شود بنابراین EFM1 ورودی با عرض بیت N را به یک خروجی یک بیت بعلاوه نویز کوانتیزه در فرکانس های بالا تبدیل می کند که این نویز توسط یک فیلتر میانگین گیر یا پایین گذر حذف می شود.

در حوزه زمان خروجی y از یک سری صفر و یک تشکیل می‌شود که مقدار متوسط آن برابر مقدار ورودی تقسیم بر M یا تعداد یک‌ها در یک دوره تناوب تقسیم بر دوره تناوب است [۱۰].

مدولاتور دلتا-سیگمای مرتبه سه چندطبقه N بیتی (MASH 1-1-1) در شکل (۳) مشاهده می‌شود. این ساختار از اتصال آبشاری[۱۶] سه مدولاتور مرتبه اول N بیتی و یک شبکه حذف نویز ساخته می‌شود. در این معماری خطای کوانتیزه ($e_i[n]$) هر طبقه به عنوان ورودی وارد طبقه بعد و خروجی هر طبقه ($y_i[n]$) وارد شبکه حذف نویز که با خط چین مشخص شده است، می‌شود. بنابراین، خطای ناشی از طبقات اول و دوم حذف می‌شود، و تنها خطای طبقه سوم در خروجی ظاهر می‌شود [۱۲,۱۶].



شکل (۳): ساختار چند طبقه مرتبه ۳ (MASH 1-1-1) [۱۶]

تبدیل Z خروجی MASH 1-1-1 به صورت زیر بیان می‌شود [۱۶]:

$$Y = \frac{X(z)}{2^N} + \frac{\left(1-Z^{-1}\right)^3 E_3(z)}{2^N} \qquad (۶)$$

به‌طوری‌که $E_3(z)$ تبدیل Z خطای کوانتیزه طبقه سوم است. بنابراین براساس رابطه‌ی (۶)، با اعمال یک فیلتر پایین‌گذر به خروجی مدولاتور میانگین خروجی ($X/2^N$) محاسبه می‌شود [۴-۲].

۲-۲- دوره تناوب DDSM

خروجی و خطای $e[n]$ مدولاتور دلتا سیگما هنگامی‌که با ورودی ثابت کار می‌کنند یک رشته‌ی گسسته‌ی دیجیتال متناوب با دوره تناوب L_s است. مطابق با ضمیمه ۱ دوره تناوب EFM1 از رابطه زیر محاسبه می شود :

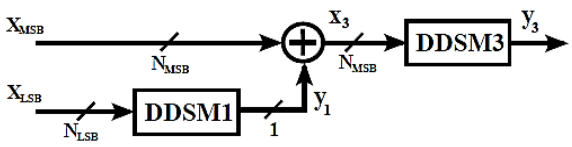
$$L_{S1} = \left(\frac{M}{GCD(X,M)}\right) \qquad (۷)$$

به‌طوری‌که $GCD(a,b)$ بزرگ‌ترین مقسوم علیه مشترک اعداد صحیح a و b است. و مقدار آستانه کوانتایزر یا مدول است. دوره تناوب به ورودی X وابسته است. اگر X و M نسبت به هم اول باشند مقدار بیشینه $L_s = M$ بدست می آید. در غیر این‌صورت $L_s < M$ است. مقدار کمینه طول سیکل وقتی‌که $X = M/2$ باشد رخ می‌دهد که در این مورد $L_s = 2$ است.

براساس رابطه‌ی پارسوال[۱۷] [۱۷]، افزایش L_s باعث افزایش تعداد تن‌های طیف توان در یک دوره تناوب و کاهش سهم هر تن از توان نویز خروجی می‌شود که کاهش تن‌های جعلی در طیف توان خروجی را نتیجه می‌دهد [۱۰-۶]. حدکثر دوره تناوب خروجی MASH 1-1-1 یا خطای طبقه سوم وقتی که شرایط اولیه ثبات طبقه اول $(s_1[0])$ فرد است برابر $2M$ است. بنابراین با اینکه ساختار MASH متداول باعث افزایش مرتبه مدولاتور و شکل دهی بهتر نویز می شود اما هنوز از طول سیکل پایین و در نتیجه وجود شاخک در طیف توان خطای خروجی رنج می برد.

۳- ساختار پیشنهادی

در DDSMها برای کاهش سخت‌افزار مصرفی، ورودی به چند بخش تقسیم می‌شود و هر بخش قبل از اضافه شدن به بخش بعدی توسط یک مدولاتور از مرتبه پایین‌تر پردازش می‌شود. این معماری تودرتو نام دارد [۱۴,۱۵]. در شکل(۴) مثالی از یک معماری مرتبه سه تودرتو (DDSM 1-3) نشان داده شده است. این ساختار معادل با یک مدولاتور مرتبه سه N بیتی ولی با سخت‌افزار کمتر است.



شکل (۴): مدولاتور دلتا-سیگمای دیجیتال مرتبه سه تودرتو (DDSM 1-3) [۱۴]

در شکل (۴) ورودی به دو بخش X_{LSB} و X_{MSB} تقسیم می‌شود. در نتیجه می‌توان ووردی را بصورت زیر نوشت:

$$X = X_{MSB}.2^{(N_{LSB})} + X_{LSB}, \qquad (۸)$$

به‌طوری‌که

$$N = N_{MSB} + N_{LSB}. \qquad (۹)$$

X_{LSB} ورودی مدولاتور مرتبه اول (DDSM1) است و سپس خروجی یک بیتی Y_1 به ورودی نقلی جمع کننده‌ی طبقه اول مدولاتور مرتبه سه وارد می‌شود. بنابراین این ساختار به جمع‌کننده اضافی برای پیاده سازی احتیاج ندارد[۱۵]. خروجی معماری تودرتو شکل (۴) از $X/2^N$ و خطاهای ناشی از مدولاتور مرتبه اول و مرتبه سوم تشکیل می‌شود. برای حذف اثر خطای مدولاتور مرتبه اول از روش پوشاندن خطا استفاده می‌شود. در این روش طیف توان خطای DDSM3 (S_{33}) و DDSM1 (S_{11}) بدست می‌آید و سپس، N_{LSB} و N_{MSB}، با توجه به اینکه باید در تمام فرکانس‌ها شرط $S_{33} > S_{11}$ برقرار باشد، محاسبه می‌شود [۱۵-۱۲]. بنابراین عرض بیت مناسب برای ساختار شکل (۴) بصورت زیر خواهد بود:

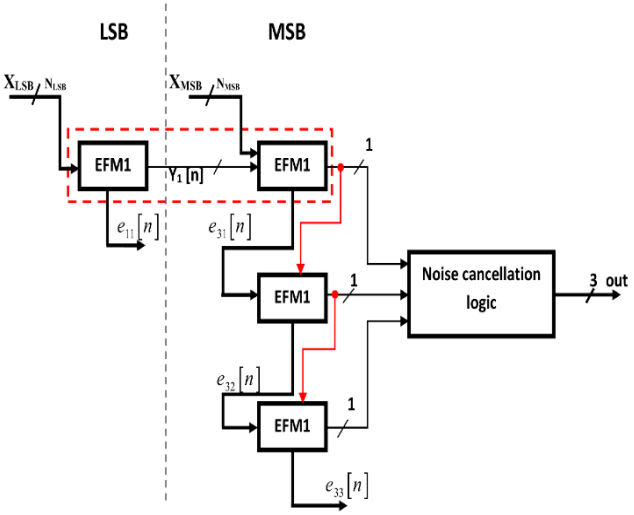
$$N_{MSB} = \lceil 0.8N - 2.12 \rceil \qquad (۱۰)$$

$$N_{LSB} = N - N_{MSB} \qquad (۱۱)$$

به‌طوری‌که $\lceil x \rceil$ برابر کوچکترین عدد صحیح بزرگتر از x است.

در مراجع [۱۴,۱۵] از EFM1 بجای مدولاتور مرتبه اول (DDSM1) و MASH 1-1-1 مرسوم در شکل (۳) به‌عنوان DDSM3استفاده شده است. همانطور که در بخش ۲-۲ بیان شد، MASH 1-1-1 مرسوم بدلیل دوره تناوب پایین و الگوهای تکراری در نویز کوانتیزه خروجی دارای شاخک و توان نویز کوانتیزه‌ی بالا است.

برای حذف تن‌های جعلی خروجی، Improved nested DDSM 1-3 در شکل (۵) پیشنهاد می‌شود. در این ساختار از EFM1 برای مدولاتور مرتبه اول و سه EFM1 که بصورت آبشاری به هم متصل شده‌اند، به‌عنوان مدولاتور مرتبه سه استفاده می‌شود.



شکل (۵): ساختار پیشنهادی برای کاهش سخت‌افزار و شاخک‌های طیف خروجی(Improved nested DDSM 1-3)

EFM1 از یک انباشتگر که از یک جمع‌کننده و ثبات N بیتی تشکیل می‌شود، ساخته می‌شود. برای افزایش دوره تناوب خطای کوانتیزه، علاوه‌بر اتصال خطای هر طبقه به ورودی طبقه‌ی بعد، خروجی تک بیت هر طبقه به نقلی ورودی جمع‌کننده‌ی طبقه‌ی بعد وصل می‌شود. بنابراین، با کمک از روابط اثبات شده در ضمیمه ۲ این ساختار بدون افزایش در سخت‌افزار مصرفی، توان و مساحت مدار، دوره تناوب خروجی را $2^{2N_{MSB}}$ برابر می کند یعنی:

$$L_{s3} = 2^{2N_{MSB}}.L_{s1} = \frac{2^{2N_{MSB}}.2^{N}}{GCD(X,2^{N})} \qquad (۱۲)$$

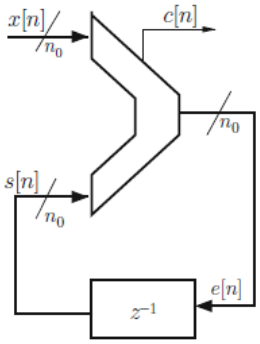
که در آن L_{s1} دوره تناوب خطای کوانتیزه EFM1 طبقه اول $e_{31}[n]$ است. برخلاف روش تودرتوی پیشین ساختار تودرتوی پیشنهادی دارای طیف توان صاف و بدون شاخک‌های با توان بالا است، که باعث افزایش کارآیی در ترکیب‌کننده‌های فرکانس کسری می‌شود. همچنین این ساختار برخلاف HK-MASH[۱۸] در [۱۰] باعث کاهش محدوده‌ی پایدار ورودی، تغییر میانگین خروجی و کاهش سخت‌افزار مصرفی نمی‌شود. در این روش میانگین خروجی برابر با X/M است. از آنجایی‌که این مقدار برای دوره تناوب بدون توجه به مقدار اولیه ثبات‌ها بدست آمده است. بنابراین ورودی بدون نیاز به بازنشانی مجدد ثبات طبقه‌ی اول قابل تغییر است. [۱۱].

۳-۱- پیاده سازی دیجیتالی

مزیت اصلی ساختار MASH پیاده‌سازی آن بصورت پایپ‌لاین[۱۹] است. این روش باعث کاهش توان مصرفی و توانایی کار در فرکانس نمونه برداری بالاتر می‌شود در این ساختار هر کدام از مدولاتور های مرتبه اول باید دارای انباشتگرهای[۲۰] پایپ‌لاین باشند [۱۶,۱۸].

۳-۱-۱- مدولاتور دلتا-سیگمای مرتبه اول پایپ لاین

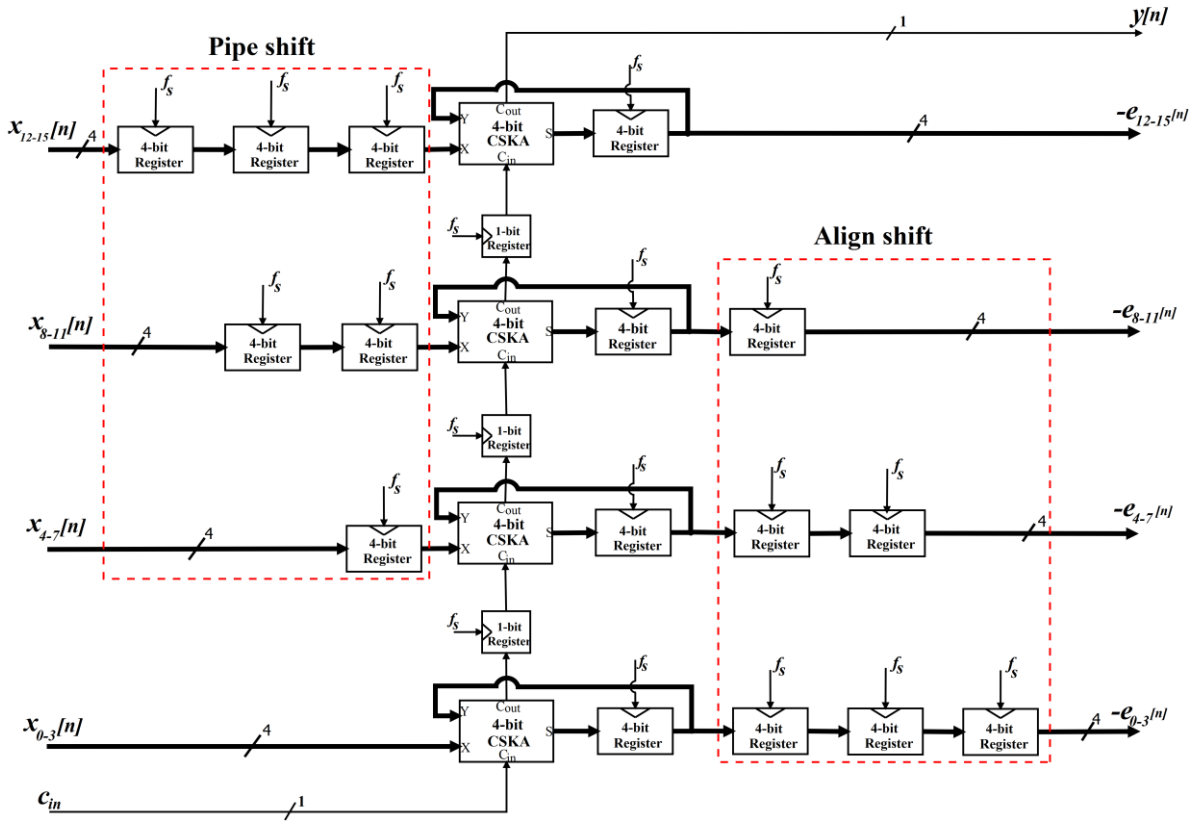
مزیت ساختار EFM1 سادگی پیاده‌سازی آن، برای کوانتایزر با فاصله‌ی کوانتیزه‌ی $M = 2^N$ است. کوانتایزر توسط عملیات سرریز[۲۱] اجرا می‌شود. همانطور که در شکل (۶) مشاهده می‌شود، این طرح توسط یک انباشتگر، که از یک جمع‌کننده و ثبات n_0 بیتی تشکیل شده است، اجرا می شود [۱۶,۱۸]. در این ساختار نقلی خروجی $c[n]$ و خروجی جمع‌کننده به ترتیب، معادل با $y[n]$ و خطای کوانتایزر ($e[n]$) در شکل (۲-الف) است.



شکل (۶): پیاده سازی EFM توسط انباشتگر دیجیتال [۷]

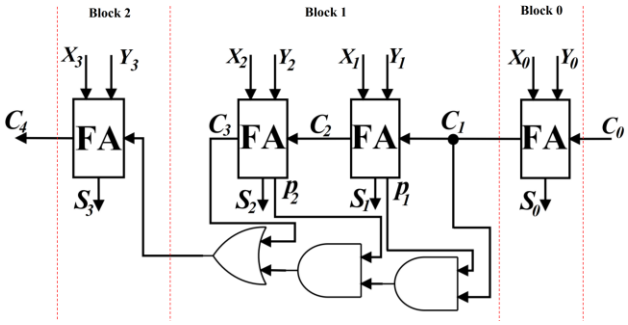
جمع‌کننده استفاده شده در EFM1 را براحتی می‌توان از طریق جمع کننده های انتشار رقم‌نقلی[۲۲] (RCA) ساخت. اما تاخیر انتشار رقم‌نقلی در این نوع جمع کننده‌ها که رابطه‌ی مستقیم با تعداد بیت‌های جمع‌کننده دارد، باعث کاهش سرعت عملیاتی مدولاتور و افزایش توان مصرفی می‌شود [۱۹]. در این مقاله برای غلبه بر این مشکل از روش پایپ‌لاین استفاده شده است. در شکل (۷) یک انباشتگر پایپ‌لاین ۱۶ بیتی با بلوک های جمع‌کننده ۴ بیتی مشاهده می‌شود. در این روش صرف نظر از تعداد بیت‌های جمع کننده، با قرار دادن یک ثبات یک بیتی بین هر طبقه، رقم‌نقلی در هر دوره‌ی کلاک فقط یک طبقه جابه‌جا شود و تاخیر کل سیستم برابر با تاخیر یک طبقه است. بنابراین زمان محاسبات، مستقل از تعداد بیت‌های جمع کننده خواهد بود. همچنین به منظور همزمان سازی بین ورودی، رقم نقلی تأخیر یافته و خروجی؛ تعدادی ثبات در هر دو ورودی‌ها و تعدادی ثبات با آرایش برعکس ورودی‌ها در خروجی قرار می‌گیرد [۱۶,۱۸,۲۰]. انباشتگر مشابه با جمع کننده، پایپ‌لاین می شود با این تفاوت که ورودی دوم از خروجی تاخیر یافته انباشتگر گرفته شده است و نیازی به ثبات‌های همزمان سازی ندارد [۱۸].

برای کاهش تاخیر در جمع‌کننده‌های ۴ بیتی و دستیابی به فرکانسهای بالاتر می‌توان از جمع‌کننده‌ی پرش رقم‌نقلی[۲۳] (CSKA) یا جمع‌کننده‌ی پیش‌بینی رقم‌نقلی[۲۴] (CLA) استفاده کرد [۱۸,۲۰]. این نوع جمع‌کننده‌ها نسبت به RCA ۵۰٪ سریع‌تر هستند [۱۹,۲۰]. همچنین در مرجع [۲۲,۲۳] اثبات شده است که در جمع‌کننده‌های CSKA اگر از بلوک‌های CSKA با اندازه‌ی متغیر استفاده شود، جمع‌کننده دارای تاخیر کمتری هستند.



شکل (۷): انباشتگر ۱۶ بیتی پایپ‌لاین با بلوک‌های جمع‌کننده CSKA ۴ بیتی

ساختار CSKA ۴ بیت که از دو بلوک یک بیتی و یک بلوک دو بیتی ساخته شده است، در شکل (۸) نشان داده شده است. در این ساختار اگر $P = P_1 \cdot P_2$ به‌طوری‌که $P_i = X_i \oplus Y_i$ است، برابر یک باشد، آنگاه رقم‌نقلی ورودی بدون گذر از سلول‌های جمع کننده‌ی کامل[۲۵] (FA) به طبقه بعد می‌رود. در جدول (۱) مقایسه‌ای بین جمع‌کننده‌های پایپ‌لاین ۱۶ بیتی هنگامی که از جمع‌کننده‌های ۴ بیتی CSKA و CLA استفاده می‌کند، ارائه شده است. مشاهده می‌شود، که توان کل و مساحت در دو روش تقریباً برابر است، ولی توان گلیچ[۲۶] در جمع‌کننده‌ی پایپ‌لاین ساخته شده از CSKA پایین‌تر است [۲۰]. توان گلیچ یک نمایش مستقیم از گذارهای ناخواسته در



شکل (۸): جمع‌کننده پرش رقم نقلی ۴ بیت با بلوک هایی با عرض بیت متغیر

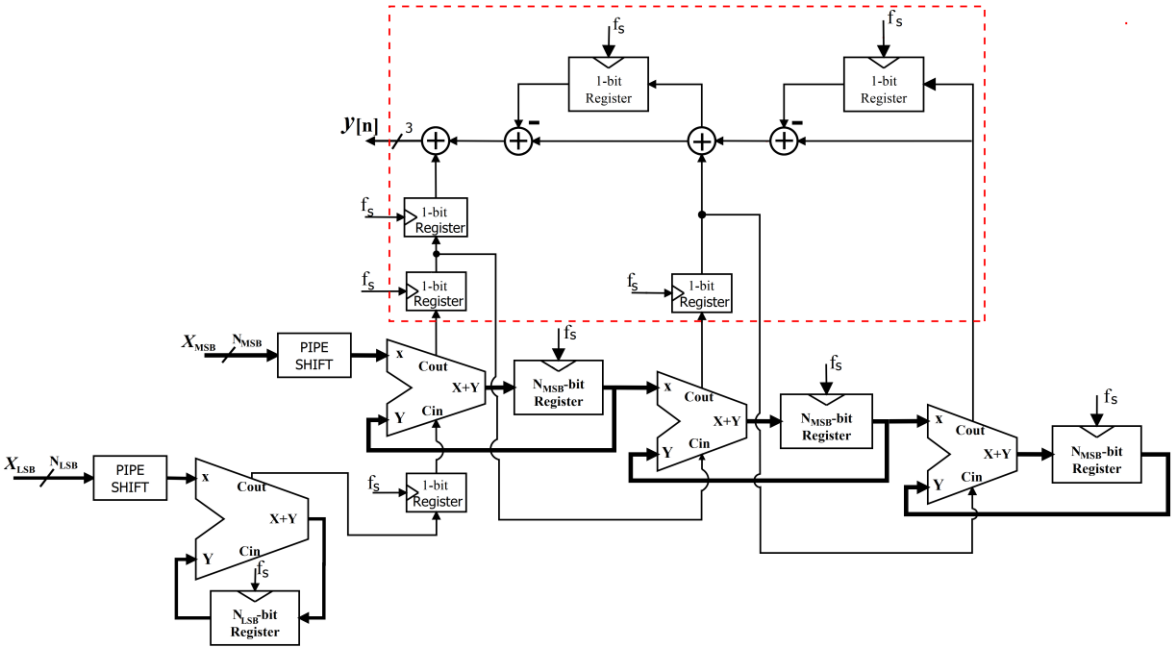
جدول(۱): مقایسه بین دو جمع‌کننده پایپ‌لاین ۱۶ بیت ساخته شده با بلوک‌های CSKA و CLA ۴ بیت [۲۰]

کمیت	جمع کننده پایپ‌لاین ۱۶ بیتی با بلوک‌های ۴ بیتی	
	CSKA	CLA
توان کل (mW)	۰/۹۵۲۸	۰/۹۴۱۶
توان گلیچ (μW)	۰/۳۷۰۵	۰/۶۰۸۰
مساحت (μm^2)	۴۰۴۵۰/۴	۳۹۳۹۷/۶

مدارات دیجیتال است. گلیچ کدهای خروجی نادرست را در خروجی مدولاتور باعث می‌شود [۲۴].

۳-۱-۲- پیاده‌سازی پایپ‌لاین ساختار پیشنهادی

در شکل (۹) پیاده‌سازی پایپ‌لاین معماری تودرتوی پیشنهادی در شکل (۵) ارائه شده است. لازم به ذکر است که استفاده از روش پایپ لاین و جمع کننده پرش رقم نقلی در ساختار تودرتو برای اولین بار در این مقاله پیشنهاد شده است. این ساختار از سه طبقه انباشتگر و یک شبکه حذف نویز تشکیل می‌شود. هر انباشتگر شامل یک جمع کننده پایپ‌لاین و یک ثبات N بیتی است. در شبکه حذف نویز که با کادر خط چین در شکل (۹) مشخص شده، دو تاخیر در مسیر خروجی طبقه اول و یک تاخیر در مسیر خروجی طبقه دوم برای جبران سازی تاخیر طبقات دوم و سوم اضافه شده است [۲۰،۱۸].



شکل (۹): پیاده‌سازی مداری ساختار پیشنهادی بصورت پایپ‌لاین

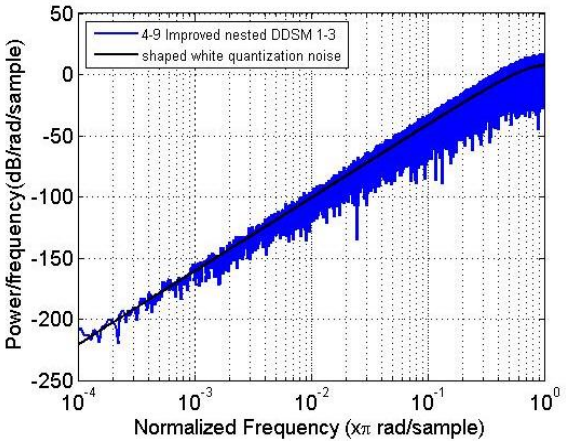
به منظور همزمان سازی داده‌های خروجی طبقه‌ی قبلی و داده‌های ورودی طبقه‌ی بعد، تعداد ثبات‌ها بین هر جفت از جمع کننده‌ها (یکی متعلق به مرحله‌ی قبل و دیگری متعلق به مرحله‌ی بعد) باید یکسان باشد. بنابراین در کاربرد ترکیب‌کننده فرکانس کسری می‌توان ثبات‌های بین طبقه‌ی اول و دوم و طبقه‌ی دوم و سوم را به‌طور کامل حذف کرد. از بیت‌های نقلی برای کنترل مقسم چند مدوله[۲۷] (MMD) استفاده می‌شود. بنابراین ثبات‌های خروجی خطای طبقه‌ی مدولاتور مرتبه سوم و ثبات‌های خروجی خطای مدولاتور مرتبه یک، کاملاً حذف می‌شود. در نتیجه، تنها ثبات‌ها برای داده‌های ورودی در سمت چپ ساختار پیشنهادی قرار می‌گیرد [۲۵]. بدون این ثبات‌ها برای هماهنگی زمان بین طبقات و خروجی طبقه‌ی آخر، این طرح صرفه جویی قابل ملاحظه‌ای در توان و مساحت خواهد داشت.

۴- مثال طراحی

۴-۱- شبیه سازی

ساختار پیشنهادی در شکل (۵) برای یک مدولاتور دلتا-سیگمای ۱۳بیتی مرتبه سه توسط نرم‌افزار MATLAB شبیه سازی شده است همچنین براساس روابط (۱۰) و (۱۱)، N_{LSB} =۴bit و N_{MSB} =۹bit بدست می‌آید. در شکل (۱۰) چگالی طیف توان[۲۸] (PSD) نویز خروجی این مدولاتور به همراه چگالی طیف توان نویز با فرض نویز ورودی سفید برای ورودی X=۳۱۵۱ مشاهده می‌شود. این مقدار ورودی، فرکانس زیر را توسط ترکیب‌کننده‌ی فرکانس کسری با فرکانس مرجع ۲۶MHz تولید می‌کند:

$$f_{out} = \left(78 + 3151/2^{13}\right) \times 26\text{MHz} = 2038\text{MHz} \quad (۱۳)$$

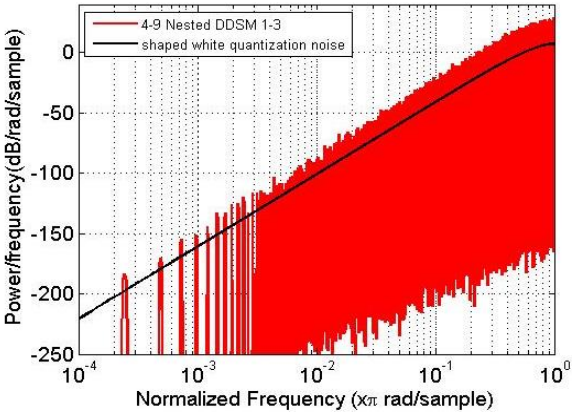


شکل(۱۰): PSD نویز خروجی روش پیشنهادی (Improved nested 4-9 DDSM 1-3) همراه با فرض نویز سفید

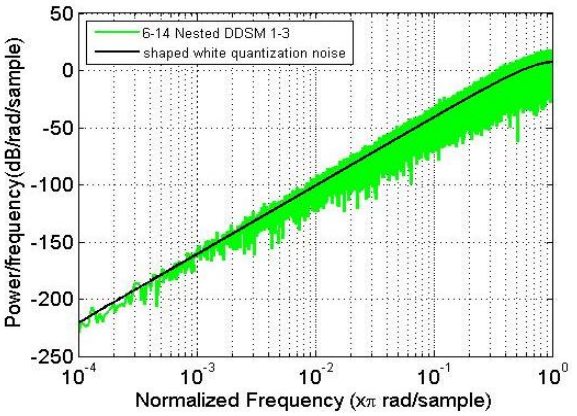
این فرکانس هنگامی‌که با فرکانس ۳۷۴MHz مربوط به سیگنال اصلی ترکیب شود، فرکانس ۲۴۱۲MHz که کانال اول استاندارد IEEE802.11b/g است، توسط میکسر ساخته می‌شود [۲۶،۲۵]. با توجه به شکل (۱۰) مشاهده می‌شود نویز خروجی نزدیک به حالت ایده‌آل، صاف و بدون شاخک‌های با توان بالاتر از فرض نویز سفید است.

در شکل (۱۱) PSD خروجی مدولاتور ۱۳ بیتی تودرتو مرتبه سه مرسوم [۱۴] در شکل (۴)، با ورودی X=۳۱۵۱ و زمان شبیه سازی 2^{18} نشان داده شده است. مشاهده می‌شود که سطح توان نویز بیشتر از حد قابل قبول و طیف خروجی دارای شاخک‌های فراوان در پهنای باند ترکیب‌کننده است، که باعث افزایش نویز فاز خروجی ترکیب‌کننده فرکانس کسری می‌شود. همین نتیجه برای MASH 1-1-1 مرسوم ۱۳ بیتی در شکل (۳) [۶] بدست می‌آید.

در شکل (۱۲) PSD نویز خروجی مدولاتور مرتبه سه تودرتو ۲۰ بیتی مرسوم [۱۴] به ازای ورودی $X = 3151 \times 2^7$ و زمان شبیه سازی 2^{18} مشاهده می‌شود که مشابه شکل (۱۰) صاف و بدون شاخک است. بنابراین برای کاهش بیشتر سخت‌افزار مصرفی می‌توان از معماری



شکل (۱۱): طیف توان نویز خروجی مدولاتور دلتا-سیگما تودرتو ۱۳ بیتی مرتبه سه (4-9 Nested DDSM 1-3) همراه با فرض نویز سفید [۱۴]



شکل (۱۲): PSD نویز مدولاتور دلتا-سیگما تودرتوی ۲۰ بیتی (6-14 Nested DDSM 1-3) به همراه PSD با فرض نویز سفید [۱۴]

تودرتوی پیشنهادی در شکل (۵) بجای مدولاتورهای با عرض بیت بالا در روش پیشین استفاده کرد.

جدول (۲) مقایسه بین توان نویز روش پیشنهادی و ساختار های پیشین می‌دهد. با محاسبه طیف های دو نوع مدولاتور نتیجه می‌شود که روش پیشنهادی باعث کاهش ۱۵dB در PSD نویز خروجی می‌شود.

جدول (۲): توان نویز روش پیشنهادی و ساختار های پیشین

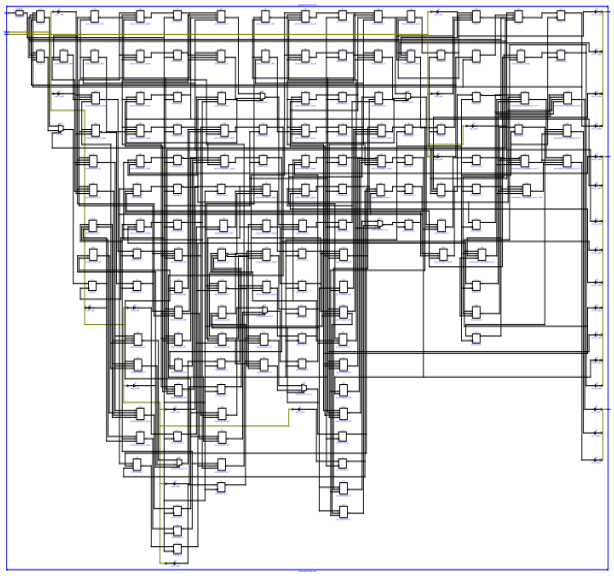
مرجع	نوع مدولاتور دلتا-سیگما	PSD (dB)
-	ساختار پیشنهادی 9-4 bit 1-3 Improved Nested MASH	-۵۱
[۱۴]	9-4 bit 1-3 Nested MASH	-۳۷
[۱۴]	14-6 bit 1-3 Nested MASH	-۵۱

۴-۲- نتایج پیاده‌سازی مداری

مدار ارائه شده، در شکل (۹) برای یک مدولاتور ۱۳ بیتی با سه انباشتگر پایپ‌لاین ۹ بیتی برای بخش MSB و یک انباشتگر ۴ بیتی برای بخش LSB با ورودی X=۳۱۵۱ توسط زبان توصیف سخت-افزار VHDL-93 در نرم‌افزار Xilinx ISE13.2 برای پیاده‌سازی برروی آی سی XC3S50 از خانواده SPARTAN3 FPGA با بسته بندی pq208 ، سرعت 5- و فرکانس نمونه‌برداری ۲۶MHz انجام شده است. شکل (۱۳) نتیجه سنتز کد VHDL را در سطح تکنولوژی را نشان می‌دهد.

شکل موج خروجی کد VHDL دقیقا با خروجی نرم‌افزار MATLAB مطابقت دارد. که قسمتی از آن در شکل (۱۴) نشان داده شده است. میانگین برای ۱۰ تناوب فرکانس نمونه‌برداری برابر است با:

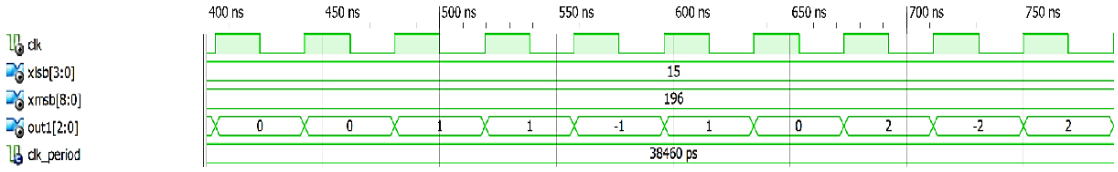
$$\frac{0+0+1+1+(-1)+1+0+2+-2+2}{10} = 0.4 \approx \frac{3151}{2^{13}} \quad (۱۴)$$



شکل (۱۳): سنتز پیاده‌سازی دیجیتالی ساختار پیشنهادی در سطح تکنولوژی

با افزایش تعداد تناوب فرکانس نمونه‌برداری به‌طوری‌که برابر یک تناوب از رشته‌ی خروجی باشد، مقدار میانگین به مقدار خروجی همگرا می‌شود.

در جداول (۳) و (۴) مقایسه‌ای بین تعداد دروازه‌های منطقی غیرهمزمان یا LUTهای ۴ ورودی، فلیپ‌فلاپ‌ها (FFs)، بیشینه فرکانس و توان مصرفی در ساختارهای مختلف و ساختار پیشنهادی شکل (۹) را ارائه می‌دهد. لازم به ذکر است برای انجام مقایسه تمام معماری ها برروی سخت افزار مشابه مدل سازی شده اند. براساس جدول (۳) در ساختار پیشنهادی با اینکه از روش تودرتو برای کاهش سخت‌افزار استفاده شده‌است. بدلیل استفاده از روش پایپ‌لاین تعداد



شکل (۱۴): شکل موج خروجی ساختار ارائه شده

فلیپ‌فلاپ‌های بیشتری نسبت به ساختار ۱۳ بیتی مرسوم [۶] و تودرتو پیشین [۱۴] نیاز دارد، که با توجه به مزیت‌های فراوان روش پایپ‌لاین قابل صرف‌نظر است، ولی کاهش محسوسی در تعداد LUTها وجود دارد. بنابراین در مجموع ساختار پیشنهادی نسبت به MASH1-1-1 ۱۳ بیتی [۶] باعث کاهش ۲۰٪ سخت‌افزار، ۱۵٪ توان و افزایش ۳ برابری بیشینه فرکانس کاری می‌شود. همچنین نسبت به ساختار تودرتوی ۱۳ بیتی پیشین [۱۴]، با توجه به اینکه در دو ساختار از روش تودرتو استفاده شده است، بنابراین سخت‌افزار تنها ۵٪ کاهش داشته است، ولی توان ۱۵٪ کاهش دارد و فرکانس بیشینه ۲/۵ برابر شده است.

جدول (۳): مقایسه سخت افزار مصرفی ساختار پیشنهادی و ساختار-های پیشین

مراجع	نوع مدولاتور دلتا-سیگما	LUTs	FFs
-	ساختار پیشنهادی 9-4 bit 1-3 Improved Nested MASH	۸۹	۴۹
[۱۴]	9-4 bit 1-3 Nested MASH	۱۱۰	۳۴
[۶]	MASH 1-1-1 13 bit	۱۳۱	۴۲
[۱۴]	14-6 bit 1-3 Nested MASH	۱۷۷	۵۱

جدول (۴): مقایسه ماکزیمم فرکانس و توان مصرفی ساختار پیشنهادی ساختارهای پیشین

مراجع	نوع مدولاتور دلتا-سیگما	ماکزیمم فرکانس(MHz)	توان (mW) @ ۲۶ MHz
-	ساختار پیشنهادی 9-4 bit 1-3 Improved Nested MASH	۲۰۴/۲۷۳	۴۶
[۱۴]	9-4 bit 1-3 Nested MASH	۷۷/۶۱۹	۵۵
[۶]	MASH 1-1-1 13 bit	۷۰/۴۷۵	۵۴
[۱۴]	14-6 bit 1-3 Nested MASH	۵۸/۱۶۰	۶۶

از آنجایی که PSD ساختار پیشنهادی، مسطح و بدون شاخک مشابه ساختار 14-6 1-1-1 Nested MASH بیتی در [۱۴] است. بنابراین قابلیت استفاده بجای ساختار ۲۰ بیتی را دارد که در نتیجه باعث کاهش ۴۰٪ سخت‌افزار، ۳۰٪ توان مصرفی و ۳/۵ برابری فرکانس بیشینه کاری می‌شود.

۵- نتیجه‌گیری

در این مقاله یک ساختار جدید برای مدولاتور دلتا-سیگمای دیجیتال با کاهش نویز کوانتیزه ارائه شده‌است. تا برای استفاده در ترکیب کننده‌های فرکانس کسری مناسب باشد. برای کاهش دروازه‌های منطقی و فیلپ‌فلاپ‌ها روش تودرتو بکار گرفته شده است. همچنین برای کاهش تاخیر و توان مصرفی و افزایش فرکانس کاری مدولاتور از روش پایپ‌لاین و جمع‌کننده‌های پرش رقم نقلی در پیاده سازی مدولاتور استفاده شده است. از آنجایی که ساختار این مقاله از لحاظ نویز خروجی کارایی معماری ۲۰ بیت تودرتوی پیشین را دارد این طراحی می تواند جایگزین معماری های با عرض بیت بالا شده و در کاربردهایی همچون بلوتوث[۲۹] و وای-فای[۳۰] (Wi-Fi) استفاده شود.

ضمایم

ضمیمه ۱- دوره تناوب خروجی EFM1

روابط این ضمیمه در [۹] آمده است اما برای فهم بهتر مقاله در این ضمیمه دوباره بیان شده است. در ابتدا لازم به ذکر است که دوره تناوب خروجی برابر دوره تناوب خطای مدولاتور است. با توجه به شکل ۲-الف ورودی کوانتایزر $(v[n])$ بصورت زیر تعریف می‌شود:

$$v[n]=x[n]+e[n-1] \quad \forall n\geq 0, \tag{۱۵}$$

خطای مدولاتور درواقع باقی مانده تقسیم ورودی کوانتازیر بر مدول (M) یا آستانه کوانتایزر است. بنابراین می‌توان نوشت:

$$e[n]=v[n]\bmod M \tag{۱۹}$$

که در آن عملگر mod عملیات پیمانه‌گیری یا باقی‌مانده تقسیم است. همچنین در پیاده سازی مدولاتور توسط انباشتگر دیجیتال $M=2^N$ است. با جایگذاری رابطه (۱۵) در (۱۹) داریم:

$$e[n]=\left(x[n]+e[n-1]\right)\bmod M \tag{۲۰}$$

معادله بازگشتی (۲۰) را با استفاده از ویژگی عملگر mod که در رابطه‌ی زیر بیان شده است باز نویسی می کنیم.

$$\begin{aligned}&\left(a+\left(b+c\right)\bmod M\right)\bmod M\\&=\left(a+b+c\right)\bmod M,\end{aligned} \tag{۲۱}$$

بنابراین رابطه‌ی زیر بدست می‌آید:

$$e[n]=\left(s[0]+\sum_{k=0}^{n}x[k]\right)\bmod M \tag{۲۲}$$

که در آن $s[0]=e[-1]$ و مقدار اولیه ثبات مدولاتور EFM1 است. $e[n]$ با دوره تناوب L_S متناوب است. پس $e[0]=e[L_S]$ است. بنابراین از رابطه (۲۲)داریم :

$$\left(\sum_{k=1}^{L_S} x[k]\right) \bmod M = 0 \qquad (۲۳)$$

برای ورودی ثابت X نتیجه می گیریم:

$$L_s.X \bmod M = 0 \qquad (۲۴)$$

بنابراین کوچک‌ترین مقدار L_S که به‌ازای آن معادله‌ی (۲۴) برقرار است:

$$L_s = \frac{M}{\mathrm{GCD}(X,M)} \qquad (۲۵)$$

به‌طوری‌که $\mathrm{GCD}(a,b)$ بزرگ‌ترین مقسوم علیه مشترک اعداد صحیح a و b است.

ضمیمه ۲: دوره تناوب خروجی ساختار پیشنهادی

این ضمیمه براساس روابط در [۱۱] نوشته شده است. مدولاتورهای EFM1 که با کادر خط‌چین در شکل (۵) نشان داده شده‌اند، تشکیل یک مدولاتور مرتبه اول با عرض بیت N می‌دهند. بنابراین، خطای این مدولاتور $e_1[n]$ را می‌توان بصورت زیر نوشت:

$$e_1[n] = 2^{N_{LSB}} \cdot e_{31}[n] + e_{11}[n] \qquad (۲۶)$$

به‌طوری‌که $e_{31}[n]$ و $e_{11}[n]$ به‌ترتیب خطای مدولاتورهای طبقه‌ی اول در بخش‌های MSB و LSB هستند. دوره تناوب $e_{31}[n]$ برابر کوچکترین مضرب مشترک دوره تناوب‌های $e_1[n]$ و $e_{11}[n]$ است. بنابراین، $L_{s31} = L_{s1} = M/\mathrm{GCD}(M,X)$. براساس رابطه (۲۲) روابط زیر برای $e_{11}[n]$، $e_{31}[n]$ و $e_1[n]$ برقرار است:

$$e_{11}[n] = \left(s_{11}[0] + \sum_{k=0}^{n} X_{LSB}\right) \bmod M_{LSB} \qquad (۲۷)$$

$$e_{31}[n] = \left(s_{31}[0] + \sum_{k=0}^{n}\left(X_{MSB} + y_{11}[k]\right)\right) \bmod M_{MSB} \qquad (۲۸)$$

$$e_1[n] = \left(s_1[0] + \sum_{k=0}^{n} X\right) \bmod M \qquad (۲۹)$$

سیگنال خطای طبقه‌ی دوم $e_{32}[n]$ با دوره تناوب L_{S32} متناوب است یعنی $e_{32}[0] = e_{32}[L_{s32}]$. به‌طوری‌که L_{s32} دوره تناوب طبقه‌ی دوم بخش MSB است. بنابراین، با توجه به رابطه‌ی (۲۳) و ووردی طبقه دوم معادله‌ی زیر نتیجه می‌شود:

$$\left(\sum_{k=1}^{L_{S32}}\left(e_{31}[k] + y_{31}[k]\right)\right) \bmod M_{MSB} = 0 \qquad (۳۰)$$

با توجه به رابطه‌ی (۲۶) معادله‌ی (۳۰) را می‌توان بصورت زیر نوشت:

$$\left(\frac{1}{M_{LSB}} \cdot \sum_{k=1}^{L_{s32}}\left(e_1[n] - e_{11}[n]\right) + \sum_{k=1}^{L_{s32}} y_{31}[k]\right) \bmod M_{MSB} = 0 \qquad (۳۱)$$

با جایگذاری روابط (۲۷) و (۲۹) در رابطه (۳۱) این معادله بصورت زیر ساده می شود:

$$\left(\sum_{k=1}^{L_{s32}}\left(s_{31}[0] + (k+1)\left(X_{MSB}\right)\right) + \sum_{k=1}^{L_{s32}} y_{31}[k]\right) \bmod M_{MSB} = 0 \qquad (۳۲)$$

میانگین خروجی EFM1 در یک دوره تناوب برابر است با:

$$\frac{1}{L_s}\sum_{k=1}^{L_s} y[n] = \frac{1}{M \cdot L_s}\sum_{k=1}^{L_s} x[n] \qquad (۳۳)$$

با توجه به اینکه $L_{s32} = R \cdot L_{s31}$ و R یک عدد صحیح است، داریم

$$\sum_{k=1}^{L_{s32}} y_{31}[k] = \frac{L_{s32} X}{M} \qquad (۳۴)$$

با ساده کردن معادله‌ی (۳۲) و جایگذاری رابطه‌ی (۳۴) در آن و با فاکتورگیری نسبت‌به $\frac{L_{s32}}{M}$ داریم:

$$\frac{L_{s32}}{M} \cdot \left(\frac{M}{2} \cdot \left(2s_{31}[0] + \left(L_{s32} + 3\right) X_{MSB}\right) + X\right) \bmod M_{MSB} = 0 \qquad (۳۵)$$

با توجه به اینکه $M = M_{MSB} \times M_{LSB}$ جمله‌ی اول درون پرانتز در معادله‌ی (۴۱) صفر است. بنابراین حداقل L_{s32} تا رابطه (۳۵) برقرار باشد برابر است با:

$$L_{s32} = \frac{M_{MSB} \bullet M}{\mathrm{GCD}(X,M)} = M_{MSB} \cdot L_{s31} \qquad (۳۶)$$

سیگنال خطای مدولاتور طبقه‌ی سوم $e_{33}[n]$ با L_{s33} متناوب است. مشابه همان استدلالی که برای $e_{32}[n]$ وجود دارد، متناوب بودن $e_{33}[n]$ رابطه‌ی زیر را نتیجه می‌دهد:

$$\left(\sum_{k=1}^{L_{s33}}\left(e_{32}[k] + y_{32}[k]\right)\right) \bmod M_{MSB} = 0 \qquad (۳۷)$$

به‌طوری‌که $L_{s33} = R \cdot L_{s32}$ و R یک عدد صحیح است. با جانشینی $e_{32}[n]$ از رابطه‌ی (۲۸) در معادله‌ی (۳۷)، رابطه‌ی زیر بدست می‌آید:

$$R \cdot \left(\sum_{k=1}^{M_{MSB} \cdot L_{s31}}\left(s_{32}[0] + \sum_{k1=0}^{k}\left(e_{31}[k] + y_{31}[k]\right)\right) + \sum_{k=1}^{L_{s32}} y_{32}[n]\right) \bmod M_{MSB} = 0 \qquad (۳۸)$$

براساس روابط اثبات شده در [۱۱] داریم که اگر سیگنال $a[k]$ با طول دوره L_s متناوب باشد. نتیجه اجرای دو بار عملیات جمع برروی $a[k]$ برای $M \cdot L_s$، مضربی از M است. بنابراین معادله‌ی زیر نتیجه می‌شود:

$$\left(\sum_{n=1}^{M \cdot L_s} \sum_{k=1}^{n} a[k] \right) \bmod M = 0, \qquad (۳۹)$$

$e_{31}[k]$ و $y_{31}[k]$ با دوره تناوب L_{s31} متناوب هستند بنابراین عملگر mod بر جمع شامل آن‌ها در رابطه‌ی (۳۸) صفر است. همچنین عملگر mod بر عبارت $\left(M \cdot L_{s31} \cdot \left(e_{32}[0] + s[0]\right)\right)$ صفر است. با توجه به رابطه (۳۳) برای میانگین خروجی EFM1 و از آنجایی که ورودی مدولاتور طبقه دوم برابر $x[n] = e_{31}[n] + y_{31}[n]$ در نهایت معادله‌ی (۳۸) بصورت زیر ساده می‌شود:

$$R \cdot \left(\frac{1}{M_{MSB}} \sum_{n=1}^{M_{MSB} L_{s31}} \left(e_{31}[n] + y_{31}[n] \right) \right) \bmod M_{MSB} = 0 \qquad (۴۰)$$

بنابراین از معادله‌ی (۴۰) داریم:

$$R \cdot \left(\sum_{n=1}^{L_{s31}} \left(e_{31}[n] + y_{31}[n] \right) \right) \bmod M_{MSB} = 0 \qquad (۴۱)$$

در صورتی که $R = M_{MSB}$ باشد با توجه به رابطه (۳۶) معادله (۴۱) برابر معادله (۳۰) می شود بنابراین طول سیکل طبقه‌ی سوم L_{s33} برابر $L_{s33} = M_{MSB} \times L_{s32} = \left(M_{MSB}\right)^2 \times L_{s31}$ است که طول سیکل خروجی کل است.

مراجع

[1] Razavi, B, "RF Microelectronics", Prentice-Hall Communications Engineering & Emerging Technologies. Prentice Hall, 2013

[2] T. A. D. Riley and M. A. Copeland, "Delta-sigma modulation in fractional-N frequency synthesis," IEEE J. Solid-State Circuits, vol. 28, no. 5, pp. 553–559, May 1993.

[3] Pavan, Shanthi, Richard Schreier, and Gabor C. Temes. "Understanding delta-sigma data converters". John Wiley & Sons, 2017.

[4] F. Maloberti, "Data converters", Springer, 2007.

[5] Kennedy, M.P., Mo, H. and Fitzgibbon, B. "Spurious tones in digital delta-sigma modulators resulting from pseudorandom dither". Journal of the Franklin Institute, 352(8), pp.3325-3344, 2015.

[6] M. J. Borkowski, T. A. D. Riley, J. Hakkinen, and J. Kostamovaara, "A practical delta sigma modulator design method based on periodical behavior analysis," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 52, pp. 626–630, Oct. 2005.

[7] Mo, Hongjia, and Michael Peter Kennedy. "Influence of Initial Conditions on the Fundamental Periods of LFSR-Dithered MASH Digital Delta–Sigma Modulators With Constant Inputs." IEEE Transactions on Circuits and Systems II: Express Briefs, 64, no. 4, 372-376, 2017.

[8] Liao Y, Fan X, Hua Z. "Influence of LFSR Dither on the Periods of MASH Digital Delta-Sigma Modulator". IEEE Transactions on Circuits and Systems II: Express Briefs. Apr 19, 2018

[9] Hosseini, K, M. P, Kennedy, "Minimizing Spurious Tones in Digital Delta-Sigma Modulators", Springer, 2012.

[10] K. Hosseini and M. P. Kennedy, "Maximum sequence length MASH digital delta-sigma modulators," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 54, no. 12, pp. 2628–2638, Dec. 2007.

[11] J. Song and I.-C. Park, "Spur-free MASH delta-sigma modulation," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 57, no. 9, pp. 24262437, Sep. 2010.

[12] Z. Ye and M.P. Kennedy, "Hardware Reduction in Digital Delta-Sigma Modulators via Error Masking-Part I: MASH-DDSM", IEEE Transactions on Circuits and Systems I, vol. 56, no. 4, pp. 714–726, Apr. 2009.

[13] Z. Ye, and M.P. Kennedy, "Hardware reduction in digital delta-sigma modulators via error masking-part II: SQ-DDSM," IEEE Transactions on Circuits and Systems I, vol. 56, no. 2, pp. 112-116, 2009.

[14] Fitzgibbon, Brian, Michael Peter Kennedy, and Franco Maloberti. "A nested digital delta-sigma modulator architecture for fractional-N frequency synthesis." In Ph. D. Research in Microelectronics and Electronics (PRIME), 2010 Conference on, pp. 1-4. IEEE, 2010.

[15] B. Fitzgibbon, M. P. Kennedy, and F. Maloberti, "Hardware reduction in digital delta-sigma modulators via bus-splitting and error masking—Part I: Constant input," IEEE Trans. Circuits Syst. I, Reg.Papers, vol. 58, no. 9, pp. 2137–2148, Sep. 2011.

[16] Mo, Hongjia, and Michael Peter Kennedy. "Masked dithering of MASH digital delta-sigma modulators with constant inputs using linear feedback shift registers." IEEE Transactions on Circuits and Systems I: Regular Papers 63, no. 8, pp. 1131-1141, 2016.

[17] Oppenheim, Alan V., and Ronald W. Schafer. Discrete-time signal processing. Pearson Education, 2014.

[18] M. Kozak, I. Kale, A. Borjak, and T. Bourdi, "A pipelined all-digital delta-sigma modulator for fractional-N frequency synthesis." pp. 1153-1157, 2000.

[19] Mondal, Suhel Ranjan, Monalisa Bhowmik, Santanu Maity, and Razia Sultana. "Comparative Analysis and Study on 4-bit RCA and CSK using CMOS Logic." International Journal of Soft Computing and Engineering 4, no. 6, pp. 2231-307, 2015

[20] P. Bhansali, K. Hosseini, and M. P. Kennedy, "Performance analysis of low power high speed pipelined adders for digital ΣΔ modulators", Electronics Letters, 42, 2006.

[21] Kennedy, Michael Peter, Hongjia Mo, Zhida Li, Guosheng Hu, Paolo Scognamiglio, and Ettore Napoli. "The noise and spur delusion in fractional-N frequency synthesizer design." In Circuits and Systems (ISCAS), 2015 IEEE International Symposium on, pp. 2577-2580. IEEE, 2015.

[22] C. Yu, C. Lin, and B.-D. Liu, "A generalized block distribution algorithm for fast carry-skip adder design." pp. 844-847, 1999

[23] Jaberipur G, Gorgin S. "Design and Synthesis of High Speed Low Power Signed Digit Adders". Journal of Iranian Association of Electrical and Electronics Engineers. 2010; 7 (2), 1389

[24] Mehrabani, Yavar Safaei, and Mohammad Eshghi. "Noise and process variation tolerant, low-power, high-speed, and low-energy full adders in CNFET

technology." IEEE Transactions on Very Large Scale Integration (VLSI) Systems 24, no. 11, pp. 3268-3281, 2016

[25] Ferriss, Mark, Bodhisatwa Sadhu, Alexander Rylyakov, Herschel Ainspan, and Daniel Friedman. "10.9 A 13.1-to-28GHz fractional-N PLL in 32nm SOI CMOS with a ΔΣ noise-cancellation scheme." In Solid-State Circuits Conference-(ISSCC), IEEE International, pp. 1-3. IEEE, 2015.

[۲۶] عابدی, مصطفی و جواد یاوند حسنی، "طراحی PLL دو حلقه ای مبتنی بر آشکارسازی فاز پنجره ای با سرعت قفل بالا، توان مصرفی و اسپور مرجع پایین"، مجله مهندسی برق و الکترونیک ایران ۱۴ (۲): ۸۷-۹۶، ۱۳۹۶

زیرنویس‌ها

[1]Digital Delta-Sigma Modulator
[2]Fractional-N frequency synthesizers
[3] Digital-to-Analog Convertor
[4] Oversampling
[5] Noise shaping
[6] Signal-to-Noise Ratio
[7] Spurious tone
[8] Spur
[9] Multi stAge noise SHaping
[10] Nested
[11] Carry input
[12] Error Feedback Modulator
[13] Noise Transformer Function
[14] Signal Transformer Function
[15] Quantizer
[16] Cascade
[17] Parseval
[18] Hosseini-Kenny
[19] Pipeline
[20] Accumulator
[21] Overflow
[22] Ripple Carry Adder
[23] Carry Skip Adder
[24] Carry Look ahead Adder
[25] Full Adder
[26] Glitch Power
[27] Multi Modulus Divider
[28] Power Spectrum Density
[29] Bluetooth
[30] Wireless Fidelity