طراحی حافظه مغناطیسی توان پایین در حضور تغییرات فرایند ساخت

سهیلا قصابی مبارک آبادی[1] علیرضا حسن‌زاده[2]

۱- دانشکده مهندسی برق - دانشگاه شهید بهشتی - تهران- ایران

s.qasabimobarak@mail.sbu.ac.ir

۲- دانشکده مهندسی برق - دانشگاه شهید بهشتی - تهران- ایران

a_hassanzadeh@sbu.ac.ir

چکیده: با پیشرفت تکنولوژی و کوچک شدن اندازه‌ی ترانزیستورها به ویژه در تکنولوژی‌های کمتر از ۹۰ نانومتر، یکی از بزرگترین مشکلات مدارهای CMOS متعارف مصرف توان ایستای بالا به خاطر افزایش نمایی جریان نشتی ترانزیستورها است. افزاره‌های spintronic از جمله پیوند تونل مغناطیسی (MTJ (magnetic tunnel junction به علت مصرف توان ایستای پایین، غیرفرار بودن، سازگاری با ترانزیستورهای CMOS و امکان ساخت در چگالی‌های بالا یکی از گزینه‌های جایگزین برای طراحی مدار-های ترکیبی MTJ/CMOS هستند. در سال‌های اخیر چندین حافظه مغناطیسی با استفاده از MTJ طراحی و ارائه شده است. این حافظه‌ها از مشکلاتی مانند مصرف توان بالا و سرعت پایین رنج می‌برند. در این مقاله روش نوشتن جدیدی برای کاهش توان پویای مصرفی مدار و اصلاحاتی برای کاهش توان ایستا در مدار مورد استفاده برای نوشتن در MTJ ها ارایه شده است. نتایج شبیه‌سازی‌ها نشان می‌دهد که حافظه پیشنهادی نسبت به حافظه‌های پیشین تا ۹۷ درصد توان ایستا و تا ۷۱ درصد توان پویای کمتری مصرف می‌کند.

واژه‌های کلیدی: توان پایین، حافظه مغناطیسی، پیوند تونل مغناطیسی، *spintronic*، تغییرات فرایند ساخت.

نوع مقاله: پژوهشی

تاریخ ارسال مقاله: ۱۳۹۷/۹/۱

تاریخ پذیرش مشروط مقاله: ۱۳۹۸/۰۶/۰۲

تاریخ پذیرش مقاله: ۱۳۹۸/۷/۱۴

نام نویسنده‌ی مسئول: دکتر علیرضا حسن زاده

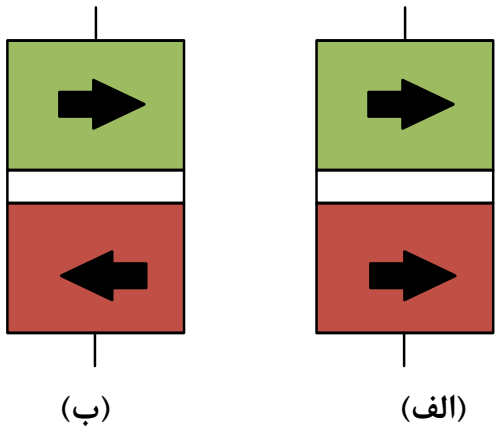
نشانی نویسنده‌ی مسئول: ایران – تهران – ولنجک – میدان شهید دکتر شهریاری – دانشگاه شهید بهشتی – دانشکده‌ی برق

۱- مقدمه

تکنولوژی سیماس فعلی به علت افزایش نمایی جریان نشتی ترانزیستورها از مشکل افزایش توان مصرفی ایستا رنج مـــی‌برد [۴-۱]. این مشکل باعث کند شدن روند کوچک‌سازی ترانزیستورها و مداراهای مجتمع مبتنی بر تکنولوژی سیماس متعارف شده است [۱], [۵]. افزاره‌های spintronic از جمله MTJ توانایی بالایی برای غلبه بر این مشکل از خود نشان داده‌اند و به خاطر ویژگی‌های مثبت شان از جمله غیرفرار بودن, طول عمر بالا, کارایی بالا, مقاومت در رنج کیلو اهم، سازگاری با ترانزیستورهای سیماس عادی و قابلیت ساخت به صورت سه بعدی در کنار مدارهای مجتمع مبتنی بر تکنولوژی سیماس عادی مورد تحقیق و بررسی قرار گرفته‌اند. ویژگی پیاده‌سازی سه بعدی در کنار مدارهای سیماس باعث کاهش فاصله بین حافظه‌ها و بخش‌های محاسباتی و منطقی و درنتیجه کاهش تاخیر و کاهش توان مصرفی برای انتقال اطلاعات می‌شود[۹-۶].

MTJ عنصر اصلی مدارهای ترکیبی MTJ/CMOS است. یک MTJ از دولایه فرومگنتیک (به عنوان مثال MgO) که توسط یک لایه‌ی نازک عایق (به عنوان مثال CoFeO) از هم جدا شده‌اند روی یک نوار فلزی تشکیل شده‌است (شکل ۱) [۱۰].

باتوجه به جهت گیری نسبی مغناطیسی لایه‌های فرومگنتیک یک MTJ می‌تواند در یکی از دو حالت موازی یا غیرموازی باشد. زمانی که یک MTJ در حالت موازی قرار دارد، مقاومت الکتریکی کمتری نسبت به یک MTJ که در حالت غیر موازی از خود نشان می‌دهد.



شکل (۱): ساختار یک MTJ الف) حالت موازی ب) حالت غیرموازی [۱۰]

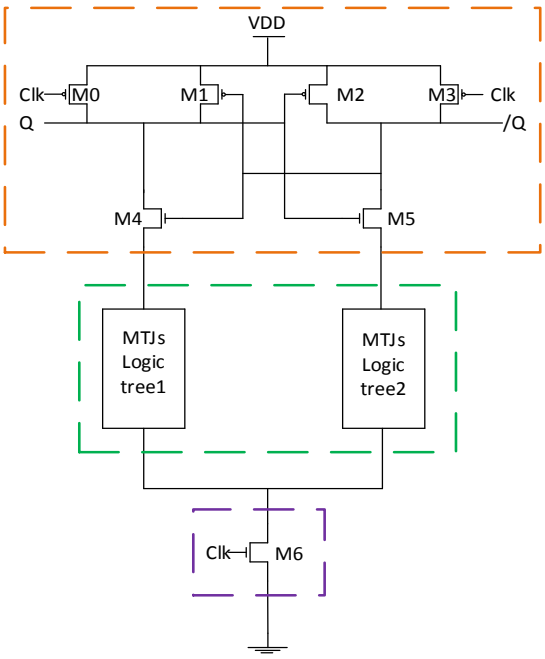
در سال‌های اخیر مدارهای ترکیبی MTJ/CMOS مختلفی از جمله حافظه[۱۱], فلیپ فلاپ[۱۲] و تمام جمع کننده[۱۳], [۱۴] طراحی شده‌اند. در میان مدارهای طراحی شده، حافظه‌ها از اهمیت بیشتری برخوردار هستند.

در این مقاله ابتدا در بخش ۲ به بررسی مدارهای ترکیبی MTJ/CMOS و حافظه مغناطیسی متعارف می‌پردازیم. سپس در بخش ۳ حافظه‌ی مغناطیسی توان پایین طراحی شده و اصلاحات انجام شده در مدارهای نوشتن MTJ ها ارائه می‌شود. در بخش ۴ نتایج شبیه سازی‌ها و مقایسه با کارهای پیشین ارائه می‌شود. سرانجام در بخش ۵ نیز بر اساس نتایج شبیه سازی‌های انجام شده جمع بندی کلی ارائه می‌شود.

۲- پیش زمینه ها

۲-۱- مدارهای ترکیبی MTJ/CMOS

شکل ۲ طرح کلی یک مدارترکیبی MTJ/CMOS را نشان می‌دهد. این مدار از دو بخش کلی تشکیل شده است . قسمت MTJ ها (مشخص شده با خط چین‌های سبز) که از دو شبکه MTJ تشکیل شده است که پیاده کننده‌ی دو تابع منطقی متمم هستند.



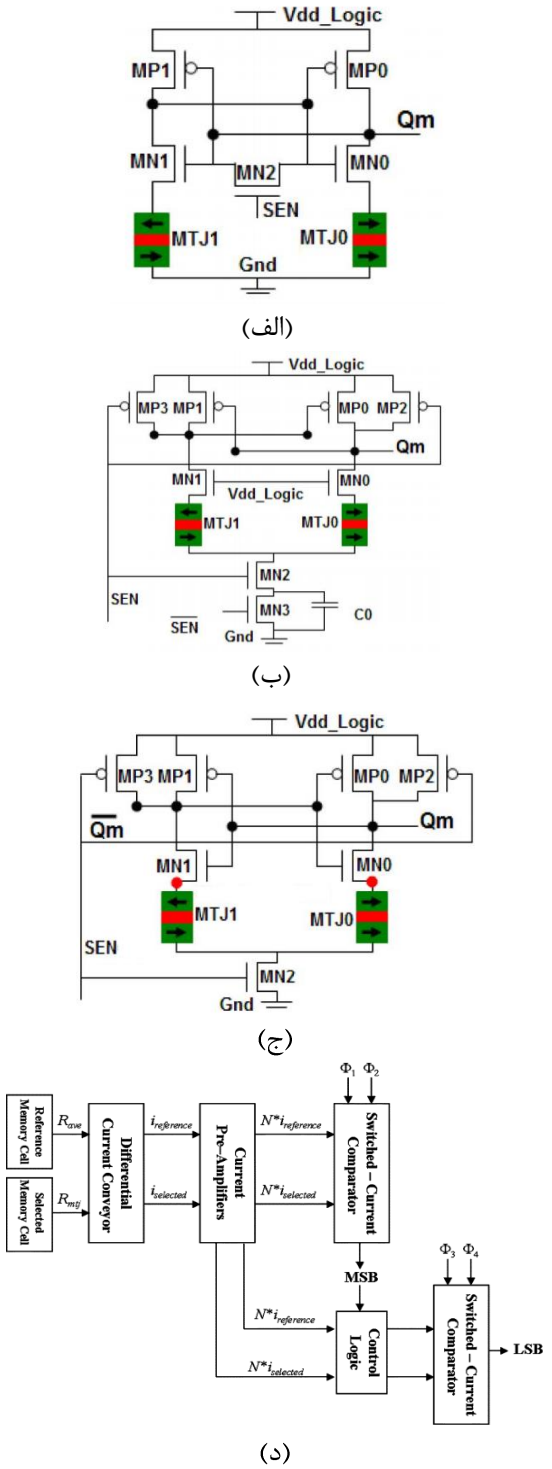
شکل (۲): طراحی کلی مدارات MTJ/CMOS

قسمت دوم مدار خواندن مقاومت دو شبکه‌ی متمم MTJ ها (مشخص شده با خط چین‌های قهوه‌ای) است. برای این منظور مدارهای مختلفی از جمله مدارهای لیست شده زیر موجود هستند (نشان داده شده در شکل ۳).

۱. **SRAM-based SA** [۱۵]
۲. **dynamic current mode (DCM)-based SA** [۱۶]
۳. **switch current-based sensing architecture** [۱۷]
۴. **pre-charge SA (PCSA)** [۱۸]

در مدار طراحی شده در این مقاله از PCSA به خاطر توان مصرفی کمتر, سرعت بالاتر و دقت بیشتر استفاده شده است. روش کار این قسمت از مدار (شکل ۲) شامل دو مرحله می‌باشد.

۱- زمانی که کلاک صفر است دو خروجی Q و Q/ از طریق ترانزیستور های MP3 و MP1 به VDD وصل می‌شوند. قابل ذکر است که عملیات نوشتن در MTJ ها نیز در این زمان انجام می‌شود.



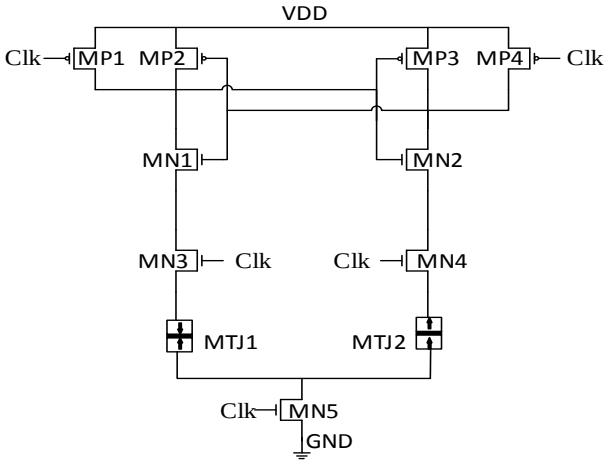
شکل (۳): انواع مدارهای SA الف) SSA [۱۵] ب) DCMSA [۱۶] ج) PCSA [۱۷] د) SCSA [۱۸]

۲- زمانی که کلاک یک است، ترانزیستور MN2 برای تخلیه‌ی خروجی‌ها وصل می‌شود. خروجی شبکه MTJ ها با مقاومت کمتر سریع‌تر تخلیه شده و زمانی که ولتاژ آن از ولتاژ آستانه ترانزیستور PMOS شاخه مقابل کمتر شد ترانزیستور روشن شده و خروجی دیگر را به VDD وصل می‌کند. به این صورت دو خروجی متمم توسط دو شبکه از MTJ ها ایجاد می‌شود.

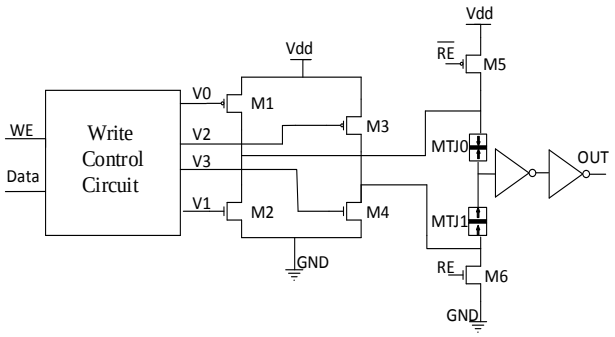
۲-۲- حافظه مغناطیسی پیشین

شکل ۴ یک حافظه‌ی مغناطیسی معمولی را نشان می‌دهد. در این حافظه از دو MTJ در دو شاخه استفاده شده است که یکی از MTJ ها ورودی و دیگری متمم ورودی را در خود ذخیره می‌کند. در این حافظه با هر تغییر حالت ورودی دو عملیات نوشتن انجام می‌شود. همچنین در این مدار در صورت یکسان بودن ورودی و داده ذخیره شده نیز یک عملیات نوشتن بدون علت انجام شده که باعث اتلاف توان می‌شود.

شکل ۵ حافظه‌ی مغناطیسی ارائه شده [۱۹] معروف به 2T/2MTJ را نشان می‌دهد. این حافظه براساس تقسیم ولتاژ بین دو MTJ کار می‌کند. در این حافظه از دو اینورتر برای رساندن سطح ولتاژ گره بین دو MTJ به مقدار صفر و یک منطقی استفاده می‌شود. به خاطر این که ورودی این دو اینورتر مقداری بین صفر و یک منطقی می‌باشد، ایـن حافظه توان ایستای بالایی مصرف می‌کند.



شکل (۴): حافظه‌ی مغناطیسی معمولی

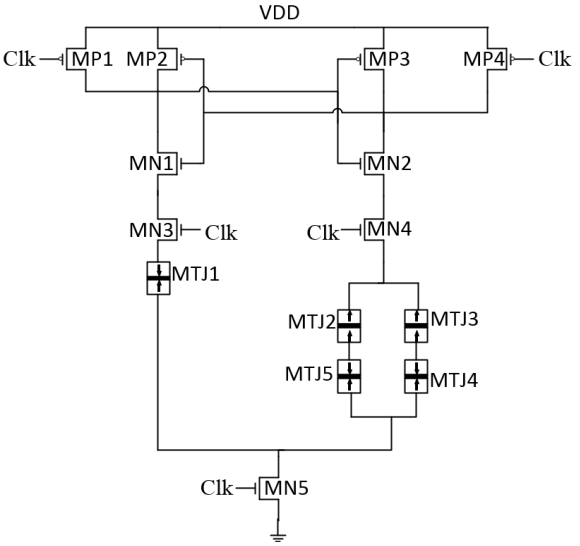


شکل (۵): حافظه‌ی مغناطیسی معروف به 2T/2MTJ [۱۹]

۳- حافظه‌ی مغناطیسی توان پایین طراحی شده

۳-۱- استفاده از شبکه مرجع

در حافظه‌های مغناطیسی سهم عمده توان مصرفی مربوط به تغییر حالت MTJ ها می‌باشد. در این قسمت حافظه‌ای طراحی شده است که تعداد تغییر حالت MTJ ها در آن کمتر است. اولین روش کم کردن تعداد تغییر حالت‌ها، طراحی حافظه‌ای با شبکه‌ی مرجع است [۲۰]. در حافظه‌ی مغناطیسی با شبکه مرجع بجای آنکه دو شبکه MTJ در مدار تغییر حالت دهند، یکی از آن‌ها ثابت است. این کار بخش زیادی از توان مصرفی را کاهش می‌دهد [۲۰]. شکل ۶ مدار طراحی شده با شبکه مرجع را نشان می‌دهد که بجای یکی از MTJ ها شبکه‌ای از MTJ های ثابت استفاده شده است که مقاومت آن نصف مجموع مقاومت حالت موازی و غیرموازی یک MTJ است ($(R_P+R_{AP})/2$). در حالتی که شاخه سمت چپ در حالت موازی باشد مقاومت آن بزرگتر از (R_{AP}) و وقتی در حالتی که در حالت غیر موازی باشد مقاومت آن کوچکتر از (R_P) است و مدار از نظر منطقی مشابه حافظه عادی است. شبکه مرجع از چهار MTJ دو به دو سری تشکیل شده است (شکل ۶). که یکی از آن‌ها در حالت موازی و دیگری در حالت غیرموازی قرار دارد. همانطور که گفته شد مقاومت هر شاخه برابر مجموع مقاومت‌های حالت موازی و غیرموازی است و مقاومت معادل شبکه مرجع نیز برابر میانگین مقاومت دو شاخه است. با در نظر گرفتن مقاومت موازی R_P و مقاومت غیرموازی R_{AP} مقاومت شبکه مرجع برابر ($(R_P+R_{AP})/2$) است. که شبکه طراحی شده در این مقاله نسبت به شبکه ارائه شده در [۲۰] به اتصالات کمتری نیاز دارد.

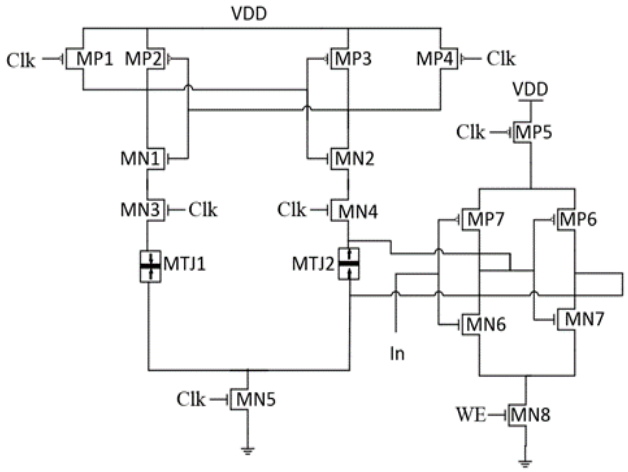


شکل(۶): حافظه مغناطیسی با شبکه مرجع

با توجه به TMR ۲۰۰٪ که در جدول ۱ ذکر شده است، در بررسی عملکر شبکه مرجع فرض شده است که $R_{AP}=3R_P$ در نتیجه مقاومت شبکه مرجع برابر $2R_P$ است.

۳-۲- اضافه کردن ورودی فعال‌ساز به مدار نوشتن و دروازه کلاک

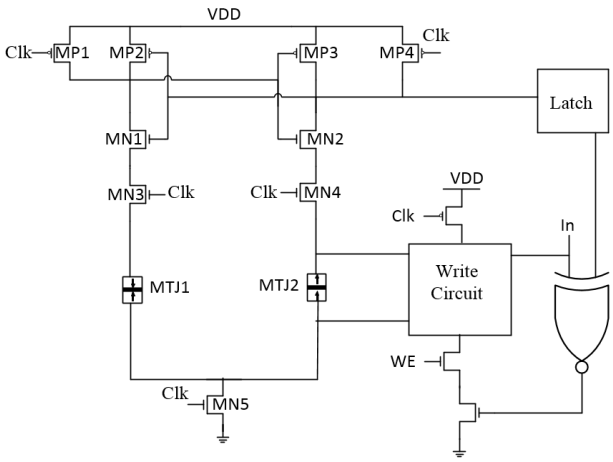
مدار نوشتن زمانی فعال می‌شود که کلاک برابر صفر باشد، اگر مقدار کلاک برابر یک باشد مدار در حالت خواندن است. برای اینکه مدار حافظه‌ی مغناطیسی به طریقه‌ی توضیح داده شده کار کند راهکار ارائه شده در این مقاله این است که با استفاده از یک ترانزیستور PMOS مدار نوشتن به منبع تغذیه وصل شود تا زمانی که مقدار کلاک برابر صفر است، مدار نوشتن فعال و عملیات نوشتن انجام شود. همچنین با اعمال ورودی کنترلی WE برای مدار نوشتن در زمان هایی که کلاک برابر صفر می‌باشد ولی نیازی به عملیات نوشتن نمی‌باشد، مدار نوشتن غیر فعال می‌شود. شکل ۷ مدار حافظه‌ی مغناطیسی با مدار نوشتن با ورودی فعال ساز و clock gating را نشان می‌دهد.



شکل (۷): حافظه‌ی مغناطیسی با مدار نوشتن با ورودی فعال ساز و clock gating

۳-۳- حافظه مغناطیسی با مقایسه‌گر ورودی

در حافظه‌ها برخی مواقع اطلاعات ذخیره شده در سلول حافظه با اطلاعات ورودی یکسان است. در این شرایط بخصوص در حافظه‌های مغناطیسی توان زیادی برای نوشتن یک اطلاعات تکراری مصرف می‌شود. برای حل این مشکل، اطلاعات ذخیره شده در حافظه را، در یک لچ ذخیره کرده سپس در حالتی که کلاک برابر صفر است قبل از اینکه مدار به حالت نوشتن وارد شود، اطلاعات ذخیره شده در لچ با اطلاعات ورودی مقایسه می‌شود. اگر اطلاعات یکسان نباشد، مدار نوشتن برای نوشتن اطلاعات جدید در حافظه فعال می‌شود. در غیر این صورت مدار نوشتن غیر فعال است. پس عملیات نوشتن در حافظه صورت نمی‌گیرد و توان مصرفی کاهش می‌یابد (نشان داده شده در شکل ۸).



شکل (۸): حافظه مغناطیسی با مقایسه‌گر ورودی (طرح نهایی)

۳-۴- پیاده سازی بایاس بدنه در مدار نوشتن برای کاهش جریان نشتی و توان ایستا

در ادامه هر سه مدار نوشتن (مدار نوشتن موجود و دو مدار پیشنهادی) را یک بار به صورت ارائه شده و بار دیگر با استفاده از بایاس بدنه برای کاهش جریان نشتی شبیه سازی می‌کنیم. بایاس بدنه بروی مدار نوشتن پیاده سازی شده است. زیرا در مدار نوشتن ترانزیستورهای بزرگی وجود دارد که جریان نشتی زیادی دارند.

۴- نتایج شبیه سازی و مقایسه

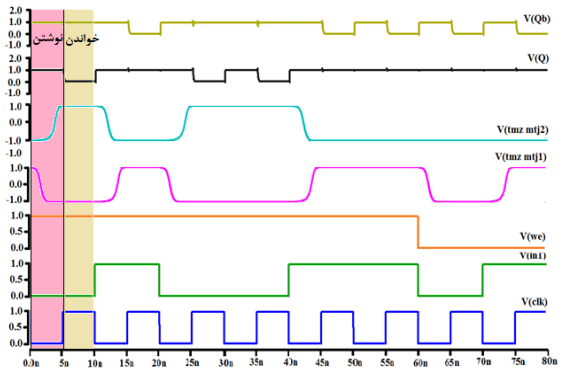
با استفاده از تکنولوژی سیماس ۴۵ نانومتر [۲۱] و مدل MTJ ارائه شده در [۲۲] مدارهای پیشنهادی با استفاده از نرم‌افزار اسپایس شبیه سازی شده است. در تمام شبیه سازی‌ها از سیگنال با پریود ۱۰ نانوثانیه و مدت زمان یک بودن ۵ نانوثانیه به عنوان کلاک و ولتاژ تغذیه ۱ ولت استفاده شده است. همچنین مشخصات MTJ استفاده شده در جدول ۱ آورده شده است.

جدول (۱): مشخصات MTJ استفاده شده

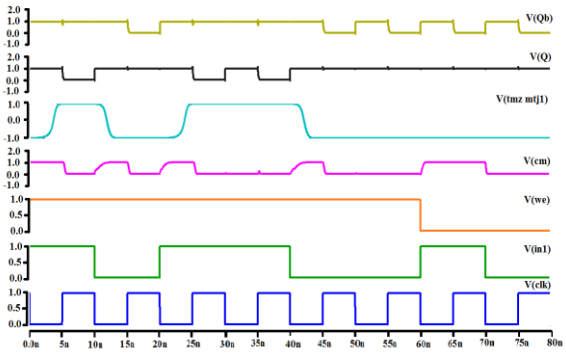
پارامتر	مقدار
ضخامت لایه عایق	0.85nm
ضخامت لایه آزاد	0.7nm
مساحت MTJ	50nm × 50nm
TMR	٪۲۰۰
مقاوت MTJ	~5kΩ, ~ 15 kΩ

۴-۱- شبیه سازی مدارهای طراحی شده

نتایج شبیه‌سازی مدار حافظه مغناطیسی معمولی و مدار حافظه مغناطیسی با مقایسه‌گر ورودی به ترتیب در شکل های ۹ و ۱۰ نشان داده شده است.



شکل (۹): نتیجه شبیه سازی مدار حافظه مغناطیسی معمولی با ورودی فعال ساز مدار نوشتن



شکل (۱۰): نتیجه شبیه سازی مدار حافظه مغناطیسی با مقایسه گر ورودی و سیگنال نتیجه مقایسه V(cm)

لازم به ذکر است که با توجه به یکسان بودن شکل موج خروجی مدارها با بایاس بدنه با مدار بدون بایاس بدنه، از آوردن شکل موج حاصل از شبیه‌سازی مدار با بایاس بدنه اجتناب شده است.

۴-۲- مقایسه مدارهای طراحی شده با کارهای پیشین

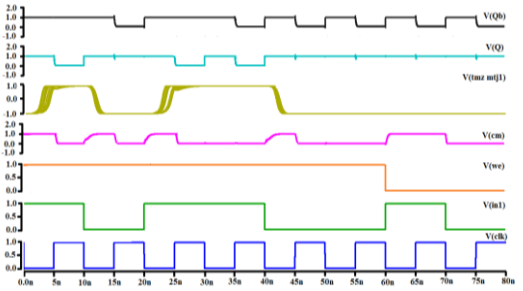
جدول ۲ نتایج مقایسه مدارهای طراحی شده را با کارهای پیشین نشان می‌دهد. همانطور که جدول ۲ نشان داده شده است، مدار نهایی طراحی شده به خاطر کاهش تعداد MTJ های متغیر و کاهش تعداد تغییر حالت‌ها نسبت به مدار اولیه و مدار ارائه شده در [۱۷] توان کمتری مصرف می‌کند. همچنین مدار نهایی به بخاطر اضافه شدن ترانزیستورهای پشته (stack) در مدار نوشتن توان ایستای کمتری را نیز مصرف می‌کند.

۴-۳- شبیه سازی مدار نوشتن MTJ ها با بایاس بدنه

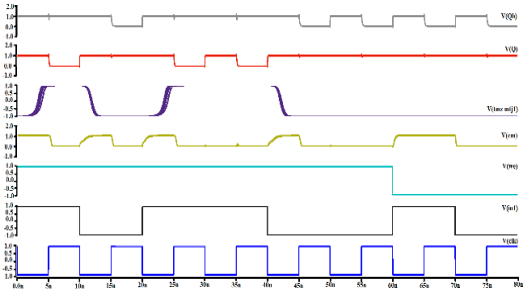
در ادامه هر سه مدار نوشتن (مدار نوشتن موجود و دو مدار پیشنهادی)، یک بار به صورت ارائه شده و بار دیگر با استفاده از بایاس بدنه برای کاهش جریان نشتی شبیه سازی شده است.

نتایج حاصل از شبیه سازی مدارهای نوشتن و تعداد ترانزیستور-

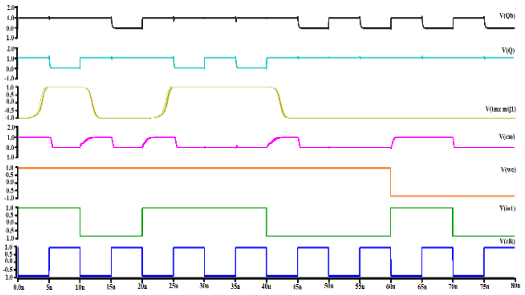
های استفاده شده در آن‌ها و همچنین تعداد منابع تغذیه مورد نیاز برای پیاده‌سازی آن‌ها در جدول ۳ آمده است.



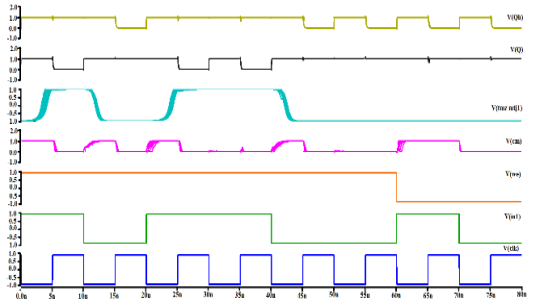
(الف)



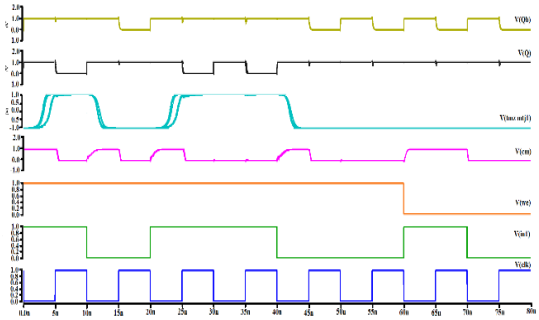
(ب)



(ج)



(د)



(ه)

شکل (۱۱): بررسی تغییرات فرایند ساخت بر کارکرد مدارهای طراحی شده الف) تغییرات W/L ب) تغییرات ولتاژ تغذیه ج) تغییرات ولتاژ آستانه د) تغییرات دمای محیط ه) تغییرات مقاومت MTJ

جدول (۲): مقایسه مدار های طراحی شده با کارهای پیشین

طرح نهایی	حافظه‌ی مغناطیسی با مدار نوشتن با ورودی فعال ساز و clock gating	حافظه‌ی مغناطیسی با شبکه مرجع	ارائه شده در [۲۲]	حافظه‌ی مغناطیسی معمولی	ارائه شده در [۱۹]	مدار	
۴۰,۹۵	۵۰,۳۹	۶۲,۲۲	۱۵۲,۶	۱۳۸,۳۱	۱۳۷,۸۴	توان کل (μW)	
۳,۵۷	۳,۵۸	۳,۷۵	۴,۲۶	۴,۴۶	۴۸,۷۷	توان ایستا (μW)	
۱۰۸,۷۵	۱۰۴,۶۶	۲۰,۱۱	۱۳۲,۵	۶۲,۶۱	۱۹۶,۲۷	تاخیر خواندن (ps)	
۴,۴۵	۵,۲۷	۱,۳۱	۲۰,۲۱	۸,۶۵	۲۷,۰۵	حاصل ضرب تاخیر در توان	
۳۵	۱۸	۱۸	۲۰	۲۱	۲۰	تعداد ترانزیستورها	
۴	۴	۴	۰	۰	۰	ثابت	تعداد MTJ ها
۱	۱	۱	۱	۲	۲	متغییر	

جدول (۳): نتایج شبیه سازی مدار های نوشتن پیشنهادی

توان ایستا (nW)	توان داینامیک (μW)	منابع تغذیه مورد نیاز	تعداد ترانزیستور های	مدار نوشتن
۶۲۷,۴۷	۷,۸۵	۱	۴	مدار اصلی نوشتن
۵۸۴,۴۸	۷,۷۱	۲+۱ (تغذیه بایاس بدنه)	۴	مدار اصلی نوشتن به همراه بایاس بدنه
۴۸,۹۰	۵,۸۵	۱	۲+۴ (footer و header)	مدار اصلاح شده اول
۴۳,۰۲	۵,۷۶	۲+۱ (تغذیه بایاس بدنه)	۲+۴ (footer و header)	مدار اصلاح شده اول به همراه بایاس بدنه
۲۱,۵۱	۴,۹۳	۱	۳+۴ (footer و header) + ۱۰ (لچ و Xnor)	مدار اصلاح شده نهایی
۲۰,۴۰	۴,۹۰	۲+۱ (تغذیه بایاس بدنه)	۳+۴ (footer و header) + ۱۰ (لچ و Xnor)	مدار اصلاح شده نهایی به همراه بایاس بدنه

با توجه به نتایج حاصل از شبیه سازی ها مدار نوشتن اصلی توان ایستای زیادی مصرف می‌کند. با استفاده از بایاس بدنه این توان ایستا کمتر از ۱۰٪ کاهش پیدا می کند. اما استفاده از بایاس بدنه به دو منبع تغذیه اضافی نیاز دارد که این باعث پیچیدگی طراحی مدار و تراشه می‌شود.

مدار اصلاح شده‌ی اول نسبت به مدار اصلی توان ایستا کمتری مصرف می‌کند. اما برای پیاده سازی آن نسبت به مدار اصلی به ۱۳ ترانزیستور (۹ عدد بیشتر از مدار اصلی) نیاز است. همچنین با استفاده از بایاس بدنه می‌توان توان ایستا این مدار را بیشتر نیز کاهش داد. اما بایاس بدنه همانطور که گفته شد به دو منبع تغذیه بیشتر نیاز دارد.

مدار اصلاح شده‌ی نهایی (شکل ۸) نسبت به دو مدار اصلی و مدار اصلاح شده‌ی اول توان ایستا کمتری مصرف می‌کند. همچنین برای پیاده سازی این مدار فقط به ۲ ترانزیستور بیشتر نیاز است.

برای مدار اصلاح شده‌ی نهایی نیز بایاس بدنه باعث کاهش توان ایستای مصرفی می‌شود. ولی از آنجایی که این کاهش توان ایستا کم بوده و بایاس بدنه به دو منبع تغذیه اضافی نیازدارد، که این دو منبع تغذیه اضافی باعث پیچیدگی طراحی مدار شده در نتیجه استفاده از مدار اصلاح شده‌ی نهایی نسبت به مدار اصلاح شده‌ی نهایی به همراه بایاس بدنه بهتر است.

۴-۴- بررسی تغییرات فرایند ساخت و دما بر مدارهای پیشنهادی

تغییرات فرایند ساخت و دمای محیط کار می‌تواند بر عملکرد صحیح مدار تاثر گذار باشد. با استفاده از شبیه سازی مونت-کارلو اثر تغییرات نسبت W/L ترانزیستورها، تغییرات ولتاژ تغذیه مدار، تغییر ولتاژ آستانه ترانزیستورها، تغییر دما محیط کار و تغییر مقاومت MTJ ها بر کارکرد مدار بررسی شده است. نتایج شبیه سازی مدار در حضور فرایند ساخت در شکل ۱۰ نشان داده شده است. همانطور که شکل ۱۰ نشان می‌دهد تغییرات فرایند ساخت تاثیری بر کارکرد صحیح مدارهای طراحی شده ندارد.

۵-نتیجه گیری

در این مقاله سه حافظه‌ی مغناطیسی توان پایین طراحی و شبیه سازی شده است. حافظه‌های پیشنهادی با کم کردن تعداد تغییر حالت‌های اضافی MTJ ها توان مصرفی کل را تا حد قابل توجهی کاهش داده‌اند (۵۵٪ تا ۷۱٪). همچنین با اصلاحاتی که در مدار نوشتن MTJ ها انجام شد توان ایستای مدار نیز نسبت به طرح اولیه بین ۷٪ تا ۹۷٪ کاهش یافت. با اضافه کردن فعال ساز نوشتن به مدار دو ترانزیستور هم به مدار اضافه می‌شود، پس مساحت مدار نیز کمی افزایش می‌یابد اما در مدارهای امروزی با توجه به کوچک شدن اندازه ترانزیستورها افزایش مساحت مسئله مهمی نیست و کاهش توان مصرفی از اهمیت بیشتری برخوردار است (به طور خاص در دستگاه هایی که توان مصرفی خود را از باطری تامین می کنند و محدودیت انرژی در دسترس وجود دارد) و چون با اضافه کردن فعال ساز نوشتن به مدار باعث کاهش قابل توجهی از توان می‌شود، پس می‌توان از افزایش مساحت چشم‌پوشی کرد.

در این مقاله همچنین اثر فرآیند ساخت نیز به عنوان بخش جدایی ناپذیر ساخت مدارهای مجتمع بر کارکرد مدارهای طراحی شده بررسی و کارایی بدون خطای مدارهای طراحی شده در حضور تغییرات فرایند ساخت و دمای محیط کار با استفاده از شبیه سازی مونت-کارلو بررسی شده است.

مراجع

[1] Nam Sung Kim, T. Austin, D. Blaauw, T. Mudge, K. Flautner, Jie S. Hu, M. Irwin, M. Kandemir and V. Narayanan, "Leakage current: Moore's law meets static power", Computer, vol. 36, no. 12, pp. 68-75, 2003.

[۲]مرادی نسب مهدی، فتحی پور مرتضی. "مدل بسته جریان - ولتاژ در ترانزیستورهای نانولوله کربنی آلاییده" مجله مهندسی برق و الکترونیک ایران. ۱۳۹۰; ۸ (۲) :۶۹-۷۴

[۳] حسن زاده ناصر، دانائی محمد. "یک راهکار جدید برای کاهش جریان نشتی در کلید های CMOS" مجله مهندسی برق و الکترونیک ایران. ۱۳۹۵; ۱۳ (۴) :۳۳-۴۰

[۴] نادری علی، قدرتی مریم. "ساختار جدید ترانزیستور اثر میدانی نانولوله کربنی با ناخالصی‌های سبک در کانال و دی‌الکتریک دو قسمتی" مجله مهندسی برق و الکترونیک ایران. ۱۳۹۷; ۱۵ (۲) :۹-۱۶

[5] B. Hoefflinger, "ITRS: The International Technology Roadmap for Semiconductors", The Frontiers Collection, pp. 161-174, 2011.

[6] Weisheng Zhao, E. Belhaire, C. Chappert and P. Mazoyer, "Power and Area Optimization for Run-Time Reconfiguration System On Programmable Chip Based on Magnetic Random Access Memory", IEEE Transactions on Magnetics, vol. 45, no. 2, pp. 776-780, 2009.

[۷]مهری حسین، علیزاده بیژن. "مدل عملکردی تحلیلی FPGA برای پردازش با قابلیت پیکربندی مجدد" مجله مهندسی برق و الکترونیک ایران. ۱۳۹۵; ۱۳ (۴) :۱-۱۳

[8] C. Chappert, A. Fert and F. Van Dau, "The emergence of spin electronics in data storage", Nature Materials, vol. 6, no. 11, pp. 813-823, 2007.

[۹] یعقوبی کریموی نازنین زهرا، گلمکانی عباس، یعقوبی کریموی رضا. "یک طراحی جدید برای بهبود Slew rate تقویت کننده‌های عملیاتی تفاضلی دو طبقه تک سر کم توان" مجله مهندسی برق و الکترونیک ایران. ۱۳۹۶; ۱۴ (۲) :۹۷-۱۰۵

[10] S. Ikeda, J. Hayakawa, Y. Ashizawa, Y. Lee, K. Miura, H. Hasegawa, M. Tsunoda, F. Matsukura and H. Ohno, "Tunnel magnetoresistance of 604% at 300K by suppression of Ta diffusion in CoFeB⁄MgO⁄CoFeB pseudo-spin-valves annealed at high temperature", 2008.

[11] R. Rajaei, "Radiation-Hardened Design of Nonvolatile MRAM-Based FPGA", IEEE Transactions on Magnetics, vol. 52, no. 10, pp. 1-10, 2016.

[12] R. Rajaei, "Design of a Radiation Hardened Register File for Highly Reliable Microprocessors", International Journal of Engineering and Manufacturing, vol. 6, no. 5, pp. 11-21, 2016.

[13] R. Rajaei and S. Bakhtavari Mamaghani, "Ultra-Low Power, Highly Reliable, and Nonvolatile Hybrid MTJ/CMOS Based Full-Adder for Future VLSI Design", IEEE Transactions on Device and Materials Reliability, vol. 17, no. 1, pp. 213-220, 2017.
[14] E. Deng, Y. Zhang, J. Klein, D. Ravelsona, C. Chappert and W. Zhao, "Low Power Magnetic Full-Adder Based on Spin Transfer Torque MRAM", IEEE Transactions on Magnetics, vol. 49, no. 9, pp. 4982-4987, 2013.
[15] W. Black and B. Das, "Programmable logic using giant-magnetoresistance and spin-dependent tunneling devices (invited)", Journal of Applied Physics, vol. 87, no. 9, pp. 6674-6679, 2000.
[16] A. MOCHIZUKI, "TMR-Based Logic-in-Memory Circuit for Low-Power VLSI", IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. 88-, no. 6, pp. 1408-1415, 2005.
[17] E. Au, W. Ki, W. Mow, S. Hung and C. Wong, "A Switched-Current Sensing Architecture for a Four-State per Cell Magnetic Tunnel Junction MRAM", IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 51, no. 11, pp. 2113-2122, 2004.
[18] Weisheng Zhao, C. Chappert, V. Javerliac and J. Noziere, "High Speed, High Stability and Low Power Sensing Amplifier for MTJ/CMOS Hybrid Logic Circuits", IEEE Transactions on Magnetics, vol. 45, no. 10, pp. 3784-3787, 2009.
[19] E. Deng, Y. Wang, Z. Wang, J. Klein, B. Dieny, G. Prenat and W. Zhao, "Robust magnetic full-adder with voltage sensing 2T/2MTJ cell", Proceedings of the 2015 IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH´15), 2015.
[20] R. Rajaei and A. Amirany "Reliable, High-Performance, and Nonvolatile Hybrid SRAM/MRAM-based Structures for Reconfigurable Nanoscale Logic Devices", Journal of Nanoelectronics and Optoelectronics, Vol. 13, pp. 1–12, 2018.
[21] Ptm.asu.edu, 2018. [Online]. Available: http://ptm.asu.edu/modelcard/HP/32nm_HP.pm. [Accessed: 28- Dec- 2017].
[22] Z. Wang, W. Zhao, E. Deng, J. Klein and C. Chappert, "Perpendicular-anisotropy magnetic tunnel junction switched by spin-Hall-assisted spin-transfer torque", Journal of Physics D: Applied Physics, vol. 48, no. 6, p. 065001, 2015.