یک ساختار جدید برای بهبود بازدهی اینورترهای متصل‌شده به شبکه فتوولتائیک بدون ترانسفورماتور

سجاد مهربخش دوگاهه[1] آلفرد باغرامیان[2] سیدسعید محتوی‌پور[3]

۱- دانش آموخته کارشناسی ارشد- گروه مهندسی برق-قدرت – واحد رشت و پردیس علوم و تحقیقات گیلان - دانشگاه آزاد اسلامی– رشت – ایران

sajad_mehrbakhsh@yahoo.com

۲- استادیار- گروه مهندسی برق - دانشکده فنی - دانشگاه گیلان – رشت – ایران

alfred@guilan.ac.ir

۳- استادیار- گروه مهندسی برق - دانشکده فنی - دانشگاه گیلان – رشت – ایران

mohtavipour@guilan.ac.ir

چکیده: عمدتا اینورترهای بدون‌ترانسفورماتور برای سیستم‌های فتوولتائیک متصل‌شده به شبکه، به‌خاطر بازدهی بالاتر، وزن پایین‌تر، اندازه کوچک‌تر و کاهش هزینه نصب و بهره‌برداری نسبت به سیستم‌هایی با حضور ترانسفورماتور بیش از پیش مورد توجه قرار گرفته‌اند. تلفات کلیدزنی تحت این شرایط می‌تواند با کمک کلیدزنی در ولتاژ صفر (ZVS[1]) در ساختار اینورتر تمام‌پل، در هنگام روشن و خاموش شدن کلید به حداقل برسد. برای دستیابی به اهداف ذکرشده، یک ساختار تمام‌پل در این مقاله پیشنهاد شده،که در آن اصول عملکردی و تاثیر خازن‌های متصل شده به کلیدها برروی ولتاژ، با جزئیات مدنظر قرار گرفته شده است. علاوه براین، راندمان سیستم طراحی‌شده با استفاده از کلیدزنی در ولتاژ صفر و تثبیت ولتاژ ورودی توسط خازن بهبود قابل ملاحظه‌ای یافته است. فرکانس کلیدزنی نسبتا کم علاوه بر افزایش بازدهی اینورتر باعث بهبود در اندازه آن نیز شده است. در نهایت، ساختار پیشنهاد شده با ساختارهای دیگر بدون ترانسفورماتور از نقطه‌نظر راندمان اخذ شده، مقایسه شده است. نتایج حاصله حاکی از بهبود عملکرد اینورتر و شرایط کلیدزنی نرم در مدل پیشنهادی است.

کلمات کلیدی: جریان نشتی، فتوولتاییک، اینورتر بدون‌ترانسفورماتور، ولتاژ مد مشترک، بازدهی اینورتر، کلیدزنی ولتاژ صفر

تاریخ ارسال مقاله: ۱۳۹۴/۰۸/۰۶

تاریخ پذیرش مشروط مقاله: ۱۳۹۶/۰۱/۲۷

تاریخ پذیرش مقاله : ۱۳۹۶/۱۰/۱۶

نام نویسنده‌ی مسئول: دکتر آلفرد باغرامیان

نشانی نویسنده‌ی مسئول: ایران –رشت- کیلومتر ۸ جاده تهران- دانشگاه گیلان- دانشکده فنی

[Downloaded from jiaeee.com on 2026-11-16]

[DOR: 20.1001.1.26765810.1397.15.3.10.2]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.3-Fall 2018

۱- مقدمه

در سال‌های اخیر منابع انرژی تجدیدپذیر از قبیل سیستم‌های فتوولتائیک ($PV^{۲}$) و توربین بادی ($WT^{۳}$) نقش مهمی را در رفع نیاز انرژی ایفا می‌نمایند. مبدل‌های تک‌فاز با توان پایین (کمتر از 5kw) در کاربردهای منابع انرژی تجدیدپذیر متصل‌شده به شبکه تک‌فاز به‌ویژه برای سیستم‌های PV استفاده می‌شود [۱,۲]. طراحی این مبدل‌ها به‌طور کلی می‌تواند متناسب با ترانسفورماتور فرکانس خط یا یک ترانسفورماتور فرکانس بالا باشد که با ولتاژ DC مبدل و جداکردن آرایه PV از شبکه تطبیق داده شده است. به‌دلیل مشکلاتی شامل اندازه بزرگ، وزن زیاد و قیمت این ترانسفورماتورهای فرکانس بالا، تمایل به حذف آن‌ها در هنگام طراحی مبدل‌ها وجود دارد. علاوه‌براین، حضور ترانسفورماتورهای فرکانس بالای چند مرحله‌ای، باعث کاهش قابل‌ملاحظه‌ای در بازدهی سیستم شده است. به‌منظور رفع این مشکلات، اینورترهای فتوولتائیک متصل‌شده به شبکه بدون ترانسفورماتور برای دستیابی به هزینه نصب و راه‌اندازی کمتر، بازدهی بالاتر، اندازه کوچکتر و وزن کم‌تر بیش از بیش مورد توجه قرار گرفته است. درعین‌حال، وقتی‌که ترانسفورماتور حذف شود، یک اتصال فلزی بین شبکه و آرایه PV، تشکیل شده، که در نتیجه یک ولتاژ مد دیفرانسیلی ایجاد می‌شود؛ و می‌تواند باعث ایجاد جریان نشتی قابل‌ملاحظه‌ای از طریق حلقه تشکیل شده از خازن‌های پارازیتی، سلف‌های فیلتر، پل و شبکه شود. بنابراین جریان نشتی حالت مشترک، هارمونیک جریان شبکه و تلفات سیستم را افزایش می‌دهد و تداخل الکترومغناطیسی قوی بوجود می‌آورد که امنیت شبکه را مورد مخاطره قرار می‌دهد. ساختارهایی از قبیل ساختار اینورتر نیم‌پل و ساختار اینورتر تمام‌پل برای حداقل‌نمودن جریان نشتی و بالابردن بازدهی اینورترهای متصل‌شده به شبکه PV بدون ترانسفورماتور پیشنهاد شده است. مزیت اصلی ساختار اینورتر نیم‌پل این است که ولتاژ حالت مشترک نوسانی را می‌تواند حذف نماید و جریان نشتی در این اینورتر تقریبا متمایل به صفر می‌باشد. با این وجود، عیب اصلی این اینورترها نیاز داشتن به ولتاژ ورودی بالای 700 Vdc برای همخوانی با کاربردهای 230 Vac بوده [۳] و این درحالی است که در اینورترهای تمام‌پل در یک سیستم مشابه تنها به 350 Vdc نیاز می‌باشد.

مشکلات عمده موجود در اینورترهای PV بدون ترانسفورماتور عبارتند از اینکه اینورترها نبایستی هیچ جریان نشتی داشته باشند[۴] و نیز دستیابی به راندمان بالا برروی یک رنج بار گسترده بسیار مشکل می‌باشد. به‌منظور رفع این موارد، یک ساختار اینورتر متصل به شبکه PV بدون‌ترانسفورماتور تک‌فاز بهبودیافته در این مقاله ارائه شده است. از ویژگی‌های اصلی اینورتر بهبودیافته می‌توان به موارد زیر اشاره نمود:

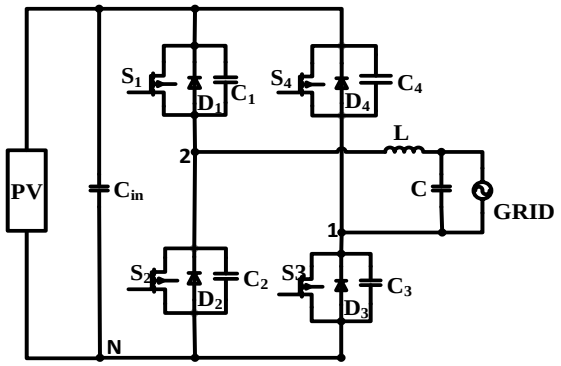
۱) جداکردن PV از شبکه در حالت‌های هرزگرد (مراحل سوم وچهارم مدهای عملکرد) (این مورد تضمین‌کننده این است که در سیستم، جریان نشتی بسیار کمی تولید شود)؛

۲) تثبیت ولتاژ مد مشترک برای تضمین حذف کامل جریان نشتی؛

۳) استفاده از تکنیک کلیدزنی نرم برای تمامی کلیدهای پیشنهادی اینورتر ارائه‌شده (چراکه استرس ولتاژ را در زمان خاموش و روشن شدن کلیدها از بین می‌برد)؛

۴) اضافه‌کردن یک خازن در سمت ولتاژ ورودی (موازی PV) برای تثبیت ولتاژ ورودی(همیشه ولتاژ تولید شده PV یکسان نیست).

۲- سیستم تحت مطالعه و مدهای بهره‌برداری



شکل (۱): ساختار اینورتر پیشنهاد شده

در شکل (۱) ساختار پیشنهادشده برای اینورترهای متصل‌شده به شبکه PV بدون‌ترانسفورماتور ارائه شده است. اینورتر تمام‌پل پیشنهادشده از چهار کلید تشکیل شده که هر کلید با یک خازن موازی شده و یک دیود موازی معکوس آن قرار گرفته است و در نهایت توسط یک فیلتر به شبکه وصل شده است. در ساختار پیشنهادشده، سلف فیلتر و خازن موازی با کلید به‌عنوان منابع تشدید عمل می‌نمایند و موجب شکل‌گیری شرایط کلیدزنی در ولتاژ صفر در مدار است. در ساختار پیشنهادشده، یک خازن موازی با PV در سمت ولتاژ ورودی قرار داده شده است و هیچ‌گونه مدار کمکی ندارد. در ساختار پیشنهادی مقدار سلف فیلتر باید به گونه‌ای انتخاب شود که هم به عنوان فیلتر و هم به عنوان یک منبع تشدید عملکرد مناسبی داشته باشد و همچنین مقدار خازن فیلتر باید به گونه‌ای انتخاب شود که به عنوان فیلتر درست عمل کرده و بر روی کلیدزنی در ولتاژ صفر کلیدها هیچ‌گونه اثری نگذارد.

عضوهای تشدید کلیدها (C_1-C_4) ، سلف فیلتر L و دیودهای موازی معکوس (D_1-D_4) به‌منظور بهره‌برداری کلیدزنی نرم برای کلیدهای (S_1-S_4) معرفی شده، که در شکل (۱) نشان داده شده است. C و L فیلتر متصل‌شده به شبکه را تشکیل می‌دهند و خازن C_{in} به‌عنوان تثبیت‌کننده ولتاژ ورودی به صورت موازی با PV متصل شده است. به‌عنوان پیش فرض، باید مقدار خازن در قسمت DC برای رفتارکردن به‌عنوان یک منبع ولتاژ ثابت، به قدر کافی بزرگ باشد.

[Downloaded from jiaeee.com on 2026-11-16]
[DOR: 20.1001.1.26765810.1397.15.3.10.2]

۲-۱- آنالیز اصلی بهره‌برداری

این بخش بر آنالیز اصلی بهره‌برداری تمرکز می‌کند. به‌طورکلی در نیم سیکل مثبت جریان در شبکه، S_1 , S_3 روشن بوده و S_2 , S_4 خاموش است. در نیم سیکل منفی S_1 , S_3 خاموش و S_2 , S_4 روشن هستند.

برای توضیح کلیدزنی در ولتاژ صفر، خروجی اینورتر در حالت ماندگار با توجه به پلاریته ولتاژ خروجی می‌تواند به دو دسته $V_{inv} > 0$ و $V_{inv} < 0$ تقسیم شود. در این قسمت مراحل بهره‌برداری برای حالت $V_{inv} > 0$ توضیح داده شده است.

۲-۲- آنالیز مدهای عملکرد

مرحله اول) در این مرحله (شکل (۲)(الف))، کلیدهای S_1 , S_3 روشن هستند و کلیدهای S_2 , S_4 خاموش می‌باشند. جریان سلف از یک مقدار منفی به یک پیک جریان مثبت افزایش می‌یابد (مقدار پیک‌تاپیک به مقدار اندوکتانس بستگی دارد). ولتاژ سرتاسر خازن C_3 صفر است در حالی که ولتاژ خازن C_4، برابر با V_{in} است (V_{in} همان ولتاژی است که در خازن ورودی به صورت ثابت در دسترس است).

مرحله دوم) با توجه به شکل (۲)(ب)، کلید S_2 وقتی که جریان سلف برابر با بیشترین مقدار جریان مثبت بوده، خاموش است. در این زمان، C_3 شارژ می‌شود، در حالی که C_4 تا زمانی که دیود D_4 روشن شود، دشارژ می‌شود. دشارژ شدن C_4 تا مقدار صفر، به معنای آمادگی برای ولتاژ کلیدزنی در ولتاژ صفر برای کلید S4 است.

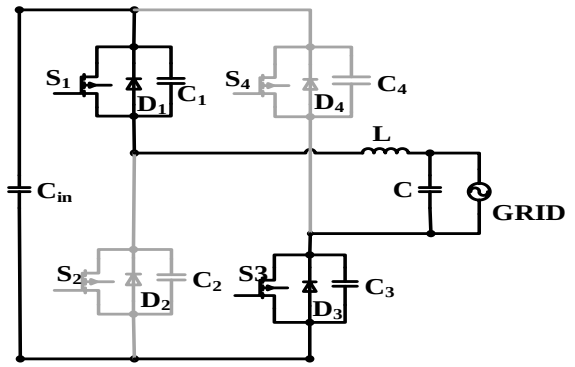
مرحله سوم) در این مرحله (شکل (۲)(ج))، جریان سلف خروجی از طریق دیود هرزگرد D_4 و S_1 در یک حلقه گردش نموده، در حالی که S_3 خاموش باقی می‌ماند. این عمل به کلیدزنی ولتاژ صفر S_4 کمک می‌نماید. در این مرحله سیگنال به گیت کلید S_4 فرستاده شده، تا در ابتدا جریان از دیود عبور کرده و جریان از یک مقدار منفی به مقدار صفر برسد و از کلید عبور نماید.

مرحله چهارم) در این مرحله (شکل (۲)(د))، کلید S_4 روشن است، جریان سلف به‌طور خطی به بیشترین مقدار منفی کاهش یافته و در این مرحله جهت جریان سلف تغییر می‌نماید. از آن‌جا که هر دو کلید بالا روشن هستند، ولتاژ خروجی اینورتر و همچنین جریان ورودی صفر است.

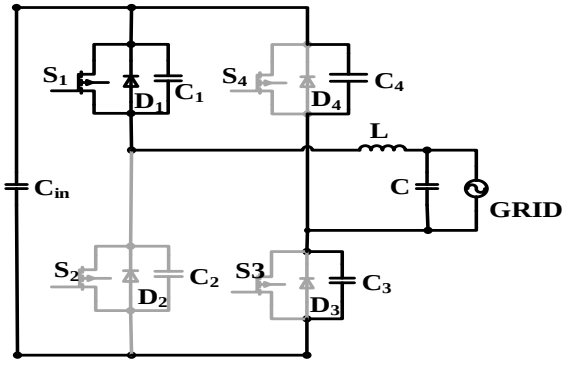
مرحله پنجم) در این مرحله (شکل (۲)(هـ))، کلید S_4 خاموش می‌شود. خازن C_4 به اندازه V_{in} شارژ شده و C_3 نیز تا صفر دشارژ می‌شود تا جایی‌که دیود D_3 روشن شود. همانند مرحله دوم، دشارژ شدن C_3 تا مقدار صفر به معنای آمادگی برای ولتاژ کلیدزنی در ولتاژ صفر برای کلید S3 است.

مرحله ششم) با توجه به شکل (۲)(و)، این مرحله دوباره یک مرحله هرزگرد است، دیود D_3 جریان سلف را آزادانه می‌چرخاند. در این مرحله نیز سیگنال به گیت S3 فرستاده شده و تا زمانی که جریان از یک مقدار منفی به صفر برسد، جریان کلید از دیود عبور می‌کند.

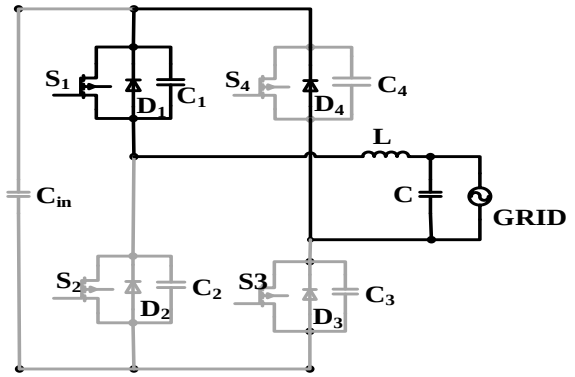
مرحله هفتم) در این مرحله (شکل (۲)(ز))، S_3 تحت ولتاژ صفر روشن می‌شود. مشابه مرحله اول، S_1 و S_3 روشن هستند.



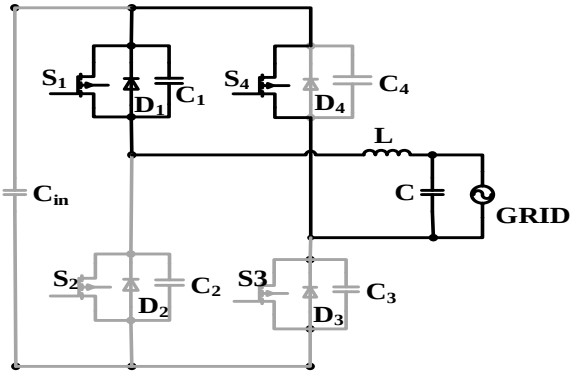
(الف): مرحله اول



(ب): مرحله دوم



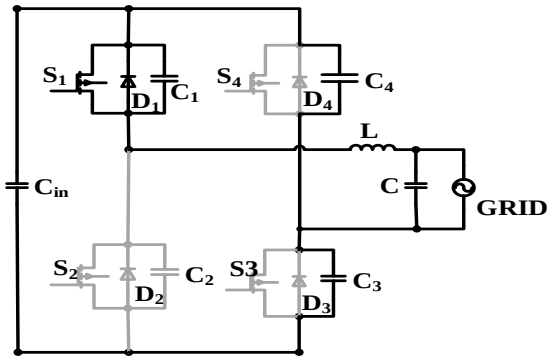
(ج): مرحله سوم



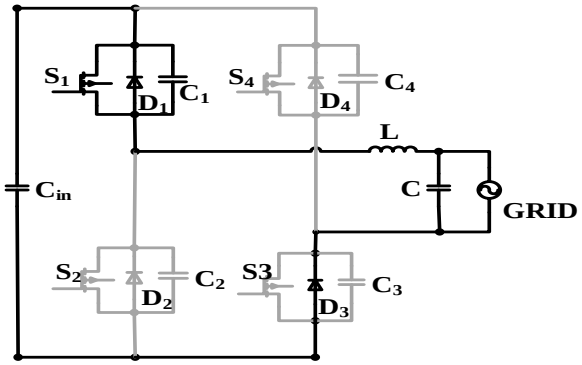
(د): مرحله چهارم

[Downloaded from jiaeee.com on 2026-11-16]

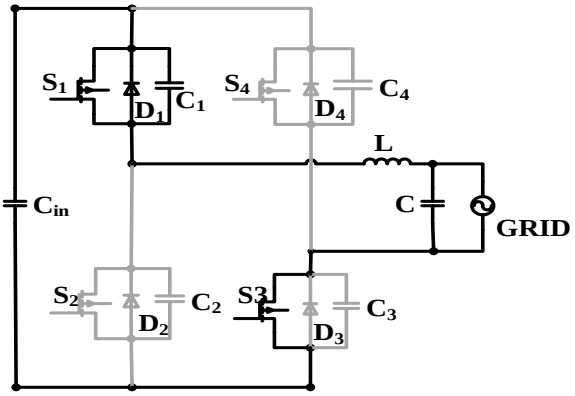
[DOR: 20.1001.1.26765810.1397.15.3.10.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.3-Fall 2018



(هـ): مرحله پنجم



(و): مرحله ششم



(ز): مرحله هفتم

شکل (۲): مدهای عملکرد

جدول (۱): شرایط عناصر مختلف در مراحل مختلف کلیدزنی

نام عناصر	اول	دوم	سوم	چهارم	پنجم	ششم	هفتم
S1	✓	✓	✓	✓	✓	✓	✓
S2	-	✓	–	–	–	–	–
S3	✓		–	–	–	–	✓
S4	–	–	–	✓	–	–	–
C1	–	–	–	–	–	–	–
C2	–	–	–	–	–	–	–
C3	–	✓	–	–	✓	–	–
C4	–	✓	–	–	✓	–	–
D1	–	–	–	–	–	–	–
D2	–	–	–	–	–	–	–
D3	–	–	–	–	–	✓	–
D4	–	–	✓	–	–	–	–

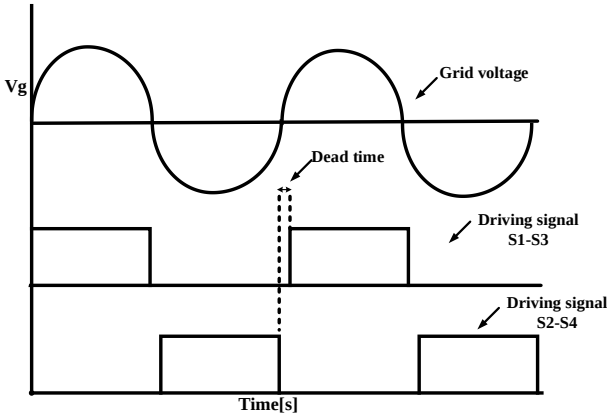
در جدول (۱) روشن و خاموش بودن هریک از عناصر مدار به طور خلاصه نشان داده شده است.

۳- ویژگی‌های بهره‌برداری و طراحی پارامترهای تشدید

در این مرحله از مقاله طریقه‌ی راه‌اندازی مدار و چگونگی مقداردهی ابزارهای مدار بحث شده است.

۳-۱- روش تولید سیگنال‌های کلید زنی

برای درایو کلیدها روش‌های مختلفی وجود دارد که هر کدام دارای مزایا و معایبی می‌باشند[۵]. به‌عنوان مثال برای اینورترهای بدون ترانسفورماتور، یکی از روش‌های مرسوم استفاده از مدولاسیون SPWM[۴] تک قطبی است. در این مدولاسیون پهنای پالس در هر زمان متفاوت است. در این مقاله برای راه‌اندازی کلیدها از سیگنال‌های موج مربعی با پهنای پالس ثابت استفاده شده است (به دلیل قرار گرفتن در حالت کلیدزنی در ولتاژصفر تمامی کلیدها و زمان روشنی و خاموشی کلیدها همواره با هم برابر است). به‌گونه‌ای که در رنج بار گسترده دارای رفتار یکسان بوده، زیراکه مقدار بار بر نوع و شکل سیگنال‌های ارسالی هیچ‌گونه تاثیری ندارد. در شکل (۳) سیگنال‌های مورد استفاده در کلیدهای اینورتر نشان داده شده است و می توان زمان مرده را در ارسال سیگنال‌ها به گیت مشاهده کرد. این زمان مرده، همان زمان لازم برای تشدید المان‌های تشدید در شکل‌گیری شرایط مناسب برای کلیدزنی در ولتاژ صفر می‌باشد.



شکل (۳): سیگنال‌های مورد استفاده در کلیدهای اینورتر

۳-۲- طراحی پارامترهای مخزن تشدید

برای دست‌یافتن به کلیدزنی در ولتاژ صفر باید تناسبی بین فرکانس کلیدزنی و منابع تشدید برقرار باشد. برای پیدا کردن مقدار مناسب سلف و خازن باید مقدار آن‌ها در محدوده خاصی قرار گیرد.

نرخ صعود جریان در کلیدها (K) به سلف تشدید (L) بر حسب(H) و ولتاژ آرایه PV (U_{PV}) بر حسب(V) متکی است. با توجه به این موضوع می‌توان برای مقدار سلف به عنوان یک منبع تشدید در

[Downloaded from jiaeee.com on 2026-11-16]
[DOR: 20.1001.1.26765810.1397.15.3.10.2]

اینورتر ارائه‌شده، محدوده خاصی تعریف کردکه بـه معادلـه زیـر اشـاره داده می‌شود:

$$L \geq \frac{U_{PV}}{2K} \quad (۱)$$

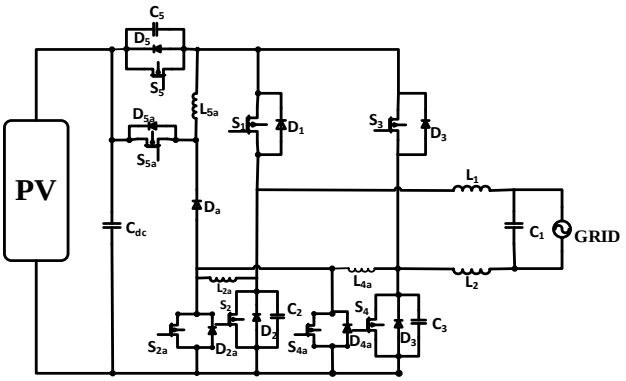
به‌طورکلی K کمتر از $100A/\mu s$ است [۵].

خاموش شدن کلیدها در ولتاژ صفر متکی بر تشدید خازنی (C) بر حسب(F)، بیشترین جریان دایم (I_{LP}) برحسب(A)، ولتاژ PV و افت زمان کلیدها (t_f) برحسب (S) است. با توجه به این موضوع محدوده مقدار مناسب خازن‌های موازی با کلید که به‌عنوان منابع تشدید در اینورتر است به‌صورت رابطه (۲) تعریف می‌شود[۵]:

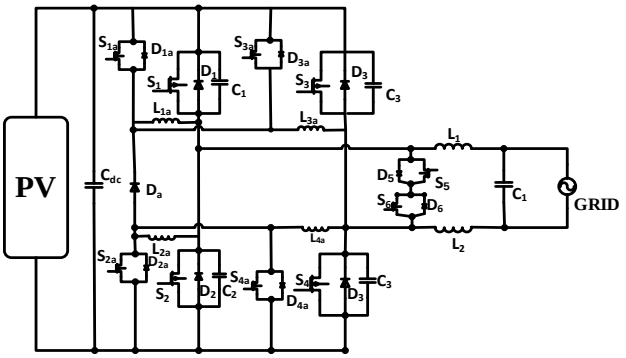
$$C \geq \frac{I_{LP} t_f}{U_{PV}} \quad (۲)$$

باید توجه داشت که مقدار خازن بر ولتاژ و جریان کلید تاثیر مستقیم دارد به این صورت که افزودن ظرفیت خازنی C جریان مخزن تشدید را افزایش می‌دهد و کم کردن مقدار C پیک ولتاژ در سرتاسر کلیدها را افزایش می‌دهد. باید به‌گونه‌ای مقادیر منابع تشدید انتخاب شود که که جریان و ولتاژ کلید افزایش پیدا نکند.

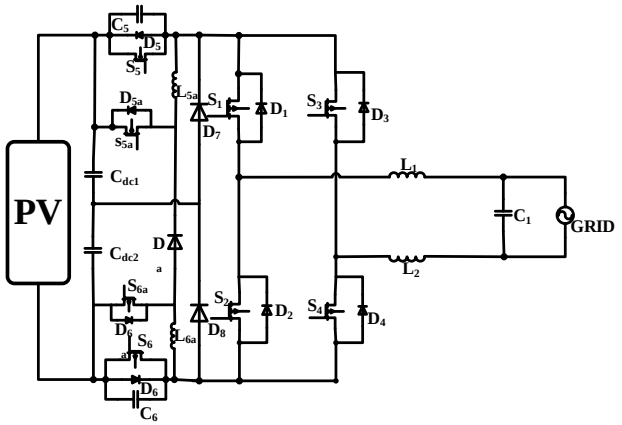
۴- مقایسه با دیگر ساختارهای تمام‌پل بدون ترانسفورماتور



H5 (الف)



Heric (ب)



ZVT-H6-I (ج)

شکل (۴): ساختارهای مشابه

به وسیله آنالیز اصلی بهره‌بـرداری در سـاختار پیشـنهاد شـده، عناصـر تشدید به‌صورتی عمل می‌نمایند که در لحظـاتی سـلول PV از شـبکه جدا می‌شود، و این دست‌آورد، یکی از شروط لازم بـرای حـذف کـردن جریان نشتی اسـت. در سـاختار پیشـنهادی بـا توجـه بـه اسـتفاده از کلیدهای کمتر و بازدهی بالاتر نسبت به ساختارهای ارائه شـده قبلـی، می‌توان مدعی یک ساختار بهتر در اینورترهای تمام پل متصل شده به شبکه فتوولتائیک بدون ترانسفورماتور بود. در شکل (۴)، چند نمونـه از این ساختارها نشان داده شده است. مزیتی که ساختار HERIC نسبت به ساختار H5 دارد؛ تعداد کلیدهای در حال هدایت می‌باشد.

در ساختار H5 ، در حال هدایت ۳ کلید روشن می‌شوند کـه ایـن امـر موجب بالارفتن تلفات هدایتی شده؛ اما در این ساختار ۲ کلید به‌طـور هم‌زمان روشن می‌باشند که این امر موجب پایین‌آمدن تلفات هـدایتی می‌شود. همچنین، ساختار Heric بهبود عملکرد توقف جریان نشتی را با حداکثر بازدهی در حالت کلیدزنی سخت دارا است و کلیدزنی سخت مهمترین نقص برای این ساختار می‌باشد [۶].

در نهایت ساختار ZVT-H6-I با استفاده از تکنیک کلیدزنی نـرم بازدهی را افزایش دادهو همچنین بهترین ساختار برای متوقـف کـردن جریان نشتی می‌باشـد. از ایـن‌رو در شـکل (۱)، ZVT-H6-I سـاختار بهتری از نظر بازدهی و جریـان نشـتی بـوده امـا بـه‌دلیـل اسـتفاده از ابزارهای بیشتر در مدار از لحاظ هزینه و قابلیت اطمینان دارای معایبی می‌باشد. در تمامی این ساختارها شاخه‌های اضافی تشدید هـر یـک از کلیدها به‌طور همزمان با آن کلید کار می‌کنند. بـه طـورکلـی، عناصـر تشدید هیچ تاثیری روی شکل نوع مدولاسیون کلیدهای اصلی ندارنـد [۶,۷].

در نمونه‌های قبلی برای جداکردن PV از شبکه، از یک مدار کمکی استفاده شده بود، که اضافه‌شدن کلیدهای کمکی، به تلفات ناشی از اضافه‌شدن کلیدها منجر شده و ابزارهای تشدید موجب پایین‌آمدن بازدهی می‌شود [۷]. در ساختار دیگری از موازی‌کردن چند اینورتر برای اتصال به شبکه، استفاده شده و در این مدل فقط یک

[Downloaded from jiaeee.com on 2026-11-16]
[DOR: 20.1001.1.26765810.1397.15.3.10.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.3-Fall 2018

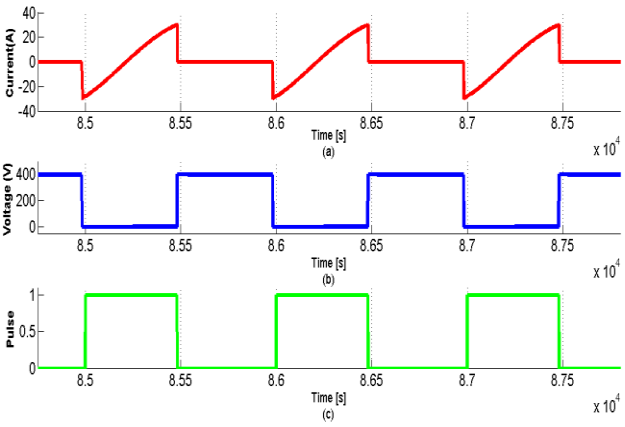
سلف در فیلتر بکار رفته و در سمت ورودی از خازن تثبیت کننده ولتاژ ورودی استفاده نشده است [۸].

۵- نتایج شبیه سازی و بحث

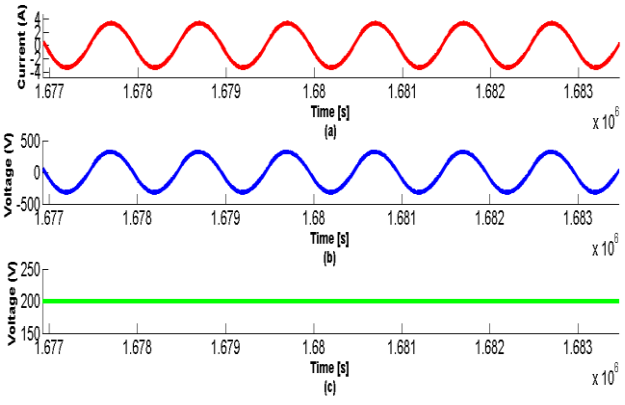
جدول (۲): مقادیر مربوط به ادوات نصب‌شده

مقدار	عناصر مدار
22400 pF	C1-C4 (خازن تشدید)
1280 nF	C (خازن فیلتر)
9300 µF	Cin (خازن ورودی)
100 µH	L (سلف فیلتر)
FCH47N60F	کلیدها S_1-S_4
220 V / 50 Hz / 1kw	شبکه
400 V	ولتاژ ورودی(PV)
20 KHz	فرکانس کلیدزنی

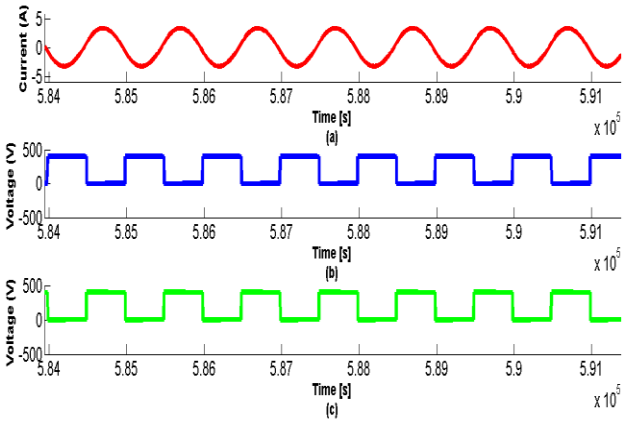
مقادیر استفاده شده در ساختار پیشنهادی به شرح زیر می‌باشد. در این بخش، نتایج حاصل از شبیه‌سازی در محیط نرم‌افزار MATLAB/SIMULIK بر روی شبکه تحت مطالعه ارائه شده و در ادامه به تحلیل برخی از خروجی‌ها پرداخته می‌شود. مقادیر مربوط به ادوات نصب شده در مدل در جدول (۲) ذکر شده است.



شکل (۵): جریان، ولتاژ و سیگنال ورودی به کلید



شکل (۶): ولتاژ و جریان شبکه به‌همراه ولتاژ مد مشترک



شکل (۷): جریان شبکه و ولتاژهای V_{N1} و V_{N2}

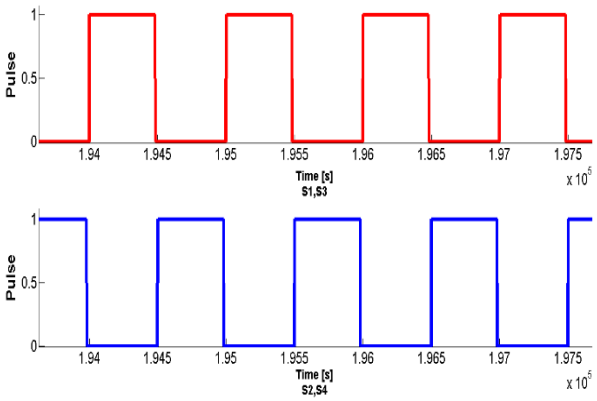
در شکل (۵) جریان، ولتاژ و سیگنال ورودی به کلید نشان داده شده است. همان‌طورکه در شکل (۵) آمده است، می‌توان کلیدزنی در ولتاژ صفر را مشاهده کرد به این صورت که در هنگام اعمال پالس به کلید، ولتاژ کلید صفر شده و جریان کلید که صفر بوده یک مقدار منفی می‌شود که این مقدار، همان جریان داخل اینورتر است و سپس شروع به افزایش می‌نماید، در واقع عبور جریان از دیود موازی و معکوس شده با کلید است. دیود تا زمانی که جریان صفر شود روشن می‌ماند و زمانی که جریان از صفر شروع به افزایش می‌کند دیود خاموش شده و جریان از کلید عبور می‌نماید. با توجه به شکل (۵) در زمانی که هنوز ولتاژ کلید صفر است کلید خاموش شده و جریان کلید که یک مقدار مثبت است صفر می‌شود.

در شکل (۶)، ولتاژ و جریان شبکه به‌همراه ولتاژ مد مشترک نشان داده شده است. به‌طور آشکار، ولتاژ حالت مشترک $V_{CM} = 0.5\times(V_{1N} + V_{2N})$ یک مقدار ثابت در شکل (۶) است. با توجه به شکل موج‌ها می‌توان مشاهده کرد که جریان نشتی در اینورترهای بدون‌ترانسفورماتور تمام‌پل، وابسته به دامنه و فرکانس در ولتاژ مد مشترک است. در ساختارهای مختلف از کلیدها یا مدارهای اضافی و یا از انواع کلیدزنی برای تثبیت ولتاژ مد مشترک استفاده شده، اما در ساختار پیشنهادی هیچ‌گونه کلید یا مداری، اضافه نشده است.

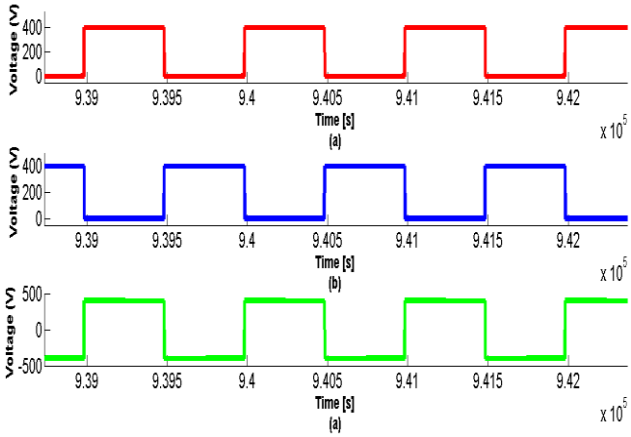
در شکل (۷) جریان شبکه و ولتاژهای V_{N1} و V_{N2} نشان داده شده است. ولتاژهای نشان داده شده کاملا در توافق ولتاژ مد مشترک شکل (۶) است. به این صورت که ولتاژهای V_{N1} و V_{N2} کاملا برعکس و مساوی هم می‌باشند که این امر، موجب ثابت‌ماندن ولتاژ مد مشترک و در نهایت از بین بردن جریان نشتی می‌شود.

در شکل (۸) سیگنال‌های راه‌اندازی کلیدهای S1 و S2 نشان داده شده است. با توجه به شکل (۸)، با مقایسه سیگنال‌های ارسالی به گیت کلیدها دیده می‌شود که زمان مرده در دوره زمانی جریان صفر اضافه شده و این قضیه منجر به شکل‌گیری زمان کافی برای تشدید منابع تشدید می‌شود.

[Downloaded from jiaeee.com on 2026-11-16]
[DOR: 20.1001.1.26765810.1397.15.3.10.2]

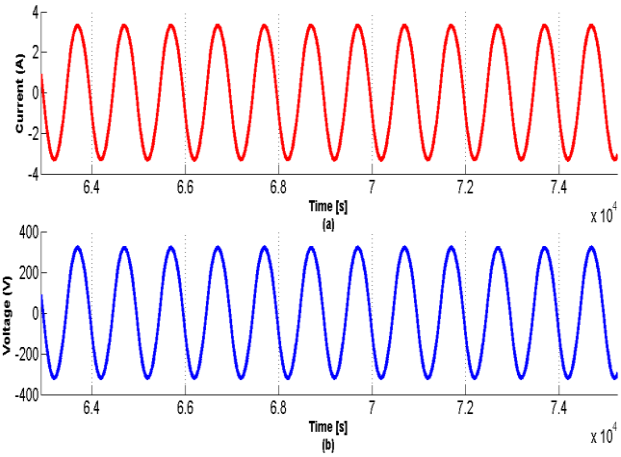


شکل (۸): سیگنال‌های راه‌اندازی کلیدها

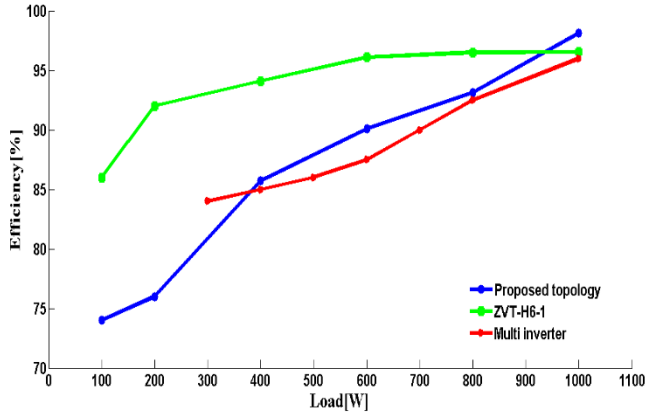


شکل (۹): ولتاژ مد دیفرانسیلی مدار

در شکل (۹) ولتاژهای V_{N1} و V_{N2} و ولتاژ مد دیفرانسیلی نشان داده شده است. با توجه به توضیحات شکل (۷)، در این حالت دامنه سیگنال‌ها یکی است و اختلاف فاز آنها ۱۸۰ درجه می‌باشد. که این حالت مطلوب‌ترین شرایط برای داشتن یک سیگنال مد دیفراسیل مطلوب است. به‌دلیل تقارن V_{N1} و V_{N2} نسبت به زمین، جریانی به سوی زمین سرازیر نخواهد شد و تمامی جریان دیفرانسیلی در بار جریان می‌یابد.



شکل (۱۰): جریان و ولتاژ شبکه



شکل (۱۱): بازدهی ساختار پیشنهادشده و نمونه‌های قبلی

در نهایت جریان و ولتاژ شبکه در شکل (۱۰) نشان داده شده است. همان‌طور که مشاهده می‌شود ولتاژ شبکه کاملا سینوسی است و درستی عملکرد اینورتر و فیلتر را تایید می‌نماید.

در شکل (۱۱) بازدهی ساختار پیشنهادی و نمونه‌های قبلی نشان داده شده است. در مدلی که چند اینورتر با هم موازی شده‌اند، بازدهی آن تا ۹۵ درصد می‌باشد [۸]. مدل ZVT-H6-I با توجه به مدار کمکی استفاده‌شده برای اینورتر و همچنین استفاده از ابزارهای بیشتر در آن، از لحاظ اقتصادی و قابلیت اطمینان مناسب نیست، بازدهی آن نزدیک به ۹۶ درصد می‌باشد [۶].

بازدهی مدار پیشنهادشده در توان‌های مختلف محاسبه شده که در مقایسه با سایر اینورترهای تمام‌پل از بازدهی بالایی برخوردار است. بازدهی مدل پیشنهاد شده به ۹۸ درصد می‌رسد. مدار پیشنهادی علاوه‌بر بازدهی بالا، به‌دلیل استفاده از ابزارهای کم‌تر و حذف مدار کمکی از لحاظ هزینه و قابلیت اطمینان نسبت به مدل‌های دیگر برتری دارد.

۶- نتیجه‌گیری

در سیستم‌های فتوولتائیک بدون ترانسفوزماتور، محاسبه بازده و جریان نشتی برای حفظ ایمنی و کنترل تعادل ولتاژ نقطه‌ی خنثی به‌منظور بهره‌برداری نرمال اینورتر از اهمیت ویژه‌ای برخوردار می‌باشد. موثرترین راه‌حل برای دستیابی به این اهداف تغییر روش کلیدزنی در اینورتر است که دو شرط را برآورده نماید. در این مقاله، تکنیک مدولاسیون ZVS ارائه شده که رفتار اینورتر به شرط حضور جریان نشتی گارانتی می‌شود. کلیدزنی ولتاژ صفر MOSFETهای تمام‌پل، تضمین‌کننده سیکل AC کامل با بارهای متغیر برای اینورتر طراحی‌شده، بدون نیاز به اضافه‌نمودن هیچ اجزای مدار اضافی است. تکنیک ZVS ارایه‌شده در یک ساختار تمام‌پل بدون ترانسفورماتور دارای ویژگی‌های لیست شده زیر می‌باشد:

۱- کلیدهای فرکانس بالا با ولتاژ صفر روشن و خاموش می‌شوند؛

[Downloaded from jiaeee.com on 2026-11-16]

[DOR: 20.1001.1.26765810.1397.15.3.10.2]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.3-Fall 2018

۲- دیودهای موازی معکوس[5] با رسیدن به ولتاژ صفر روشن و خاموش می‌شوند و با این عمل مشکل بازیابی معکوس[6] نیز مرتفع می‌شود؛
۳- خازن‌های تشدید ZVS هیچ تاثیری روی مشخصه‌های CM در ساختارهای بدون ترانسفورماتور پیشین نداشته، و هنوز هم برای کاربردهای PV بدون ترانسفورماتور متصل‌شده به شبکه مناسب است؛
شبیه‌سازی‌های صورت‌پذیرفته کارایی مشابه‌ای را که برای هر تکنیک مدولاسیون قابل انتظار بوده، نشان می‌دهد. علاوه‌براین، کارایی مدولاسیون ZVS برای سیستم‌های سلول خورشیدی متصل شده به شبکه با چگالی توان بالا به اثبات رسیده است.

مراجع

[1] Kjaer, S. B., Pedersen,J. K. and Blaabjerg, F., "A review of single-phase grid- connected inverters for photovoltaic modules," IEEE Trans. Ind. Appl., vol. 41, no. 5, pp. 1292–1306, 2005.

[2] Paulino, H. D., Menegáz,P. J. M. and Simonetti,D. S. L., "A review of the main inverter topologies applied on the integration of renewable energy resources to the grid," in COBEP 2011- 11th Brazilian Power Electronics Conference, 2011, pp. 963–969.

[3] Tsang, K. M., and Chan, W. L., "Rapid islanding detection using multi-level inverter for grid-interactive PV system," Energy Convers. Manag., vol. 77, pp. 278–286, 2014.

[۴] ناصر حسن زاده، محمد دانائی،"یک راهکار جدید برای کاهش جریان نشتی در کلید های CMOS "، نشریه مهندسی برق و الکترونیک ایران، جلد ۱۳، شماره ۴، پاییز-زمستان ۱۳۹۵.

[۵] حمید رضا کارشناس، سید جواد موسوی،"بررسی و ساخت یک مبدل مستقیم فرکانس بدون نیاز به خازن و سلف در مدار واسط dc"، نشریه مهندسی برق و الکترونیک ایران، جلد ۸، شماره ۱، بهار-تابستان ۱۳۸۹.

[6] Xiao, H. F., Liu, X. P. and Lan, K., "Zero-voltage-transition full-bridge topologies for transformerless photovoltaic grid-connected inverter," IEEE Trans. Ind. Electron., vol. 61, no. 10, pp. 5393–5401, 2014.

[7] Heribert, S., Christoph, S. and Jurgen, K., "Inverter for transforming a DC voltage into an AC current or an AC voltage," 2003.

[8] Gupta,V., Khajehoddin, A. and Jain,P., "Phase-Staggered Multiple ZVS Inverters For Grid- Connected PV Systems," in Energy Conversion Congress and Exposition (ECCE), 2013 IEEE, 2013, pp. 4503 – 4510.

زیرنویس‌ها

[1] Zero voltage switching
[2] Photovoltaic
[3] Wind turbine
[4] Sinusoidal Pulse width modulation
[5] Anti-parallel
[6] Reserve recovery

[Downloaded from jiaeee.com on 2026-11-16]
[DOR: 20.1001.1.26765810.1397.15.3.10.2]