بررسی ضرایب بهینه برای بهره خط تاخیر در حلقه قفل شده تاخیر جهت اکتساب زمان نشست کم

جمال قاسمی[1] محمد غلامی[2]

۱- استادیار- دانشکده مهندسی برق- دانشگاه مازندران- بابلسر- ایران
j.ghasemi@umz.ac.ir

۲- استادیار- دانشکده مهندسی برق- دانشگاه مازندران- بابلسر- ایران
m.gholami@umz.ac.ir

چکیده: یکی از چالش‌های مهم در طراحی ضرب کننده‌های فرکانسی براساس حلقه قفل شده تاخیر، کم کردن زمان قفل شدن یا زمان نشست مدار است. در همین راستا در این مقاله یک ساختار متداول برای حلقه قفل شده تاخیر در نظر گرفته می‌شود که در آن تعداد سلولهای تاخیر موجود در مسیر مستقیم سیگنال مشخص است. در ادامه با استفاده از الگوریتم بهینه‌سازی ژنتیک، حلقه قفل شده تاخیر طراحی شده مورد بررسی و پردازش قرار می‌گیرد. الگوریتم ژنتیک ضرایب بهره ولتاژ به فاز سلولهای تاخیر را تغییر می‌دهد و حالتی را مشخص می‌کند که در آن زمان نشست کل سیستم کمترین مقدار ممکن (بهینه ترین حالت) می‌باشد. اگر چه در ساختار متداول حلقه قفل شده تاخیر، سلولهای تاخیر یکسان هستند ولی در ساختار موردنظر با زمان نشست حداقل، میزان تاخیر هر سلول می‌تواند با سلولهای تاخیر دیگر متفاوت باشد. در حقیقت تغییر ضریب بهره هر سلول تاخیر منتهی به تغییر مقدار تاخیر آن سلول نسبت به سایر سلولها می‌گردد. در همین راستا شبیه سازی کامپیوتری نیز برای اثبات مزایای این طرح جدید، در حالتی که مسیر سیگنال دارای ۸ سلول تاخیر و فرکانس ورودی ۱۰۰ مگا هرتز است، به ازای ضرایب مختلف بهره خط تاخیر انجام گرفته است. نتایج شبیه سازی نشان می‌دهد زمان قفل شدن حلقه قفل شده تاخیر به روش پیشنهاد شده، حدود ۰/۵۸ میکرو ثانیه و معادل با ۵۸ سیکل کلاک ورودی می باشد.

کلمات کلیدی: حلقه قفل شده تاخیر، الگوریتم ژنتیک، ضرب کننده فرکانسی، زمان قفل شدن، بهینه سازی، زمان نشست.

تاریخ ارسال مقاله: ۱۳۹۴/۰۶/۳۰
تاریخ پذیرش مشروط مقاله: ۱۳۹۴/۹/۱۳
تاریخ پذیرش مقاله: ۱۳۹۴/۰۹/۲۳
نام نویسنده‌ی مسئول: دکتر جمال قاسمی
نشانی نویسنده‌ی مسئول: مازندران – بابلسر – خیابان پاسداران – دانشگاه مازندران – دانشکده‌ی فنی و مهندسی

[Downloaded from jiaeee.com on 2026-10-30]

[DOR: 20.1001.1.26765810.1395.13.2.10.6]
Journal of Iranian Association of Electrical and Electronics Engineers Vol13 No.2 Summer 2016

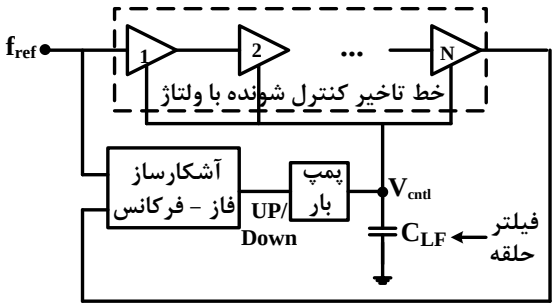
۱- مقدمه

حلقه قفل شده تاخیر و حلقه قفل فاز به طور گسترده‌ای در مدارات همزمان سازی کلاک، سنتز کننده‌های فرکانسی، فرستنده-گیرنده‌های دیجیتالی، حافظه‌های استاتیکی و دینامیکی و مدارات بازیابی کلاک و داده مورد استفاده قرار می-گیرند [۳-۱، ۱۶و۱۷]. حلقه قفل شده تاخیر از نظر جیتر[۱] [۴] عملکرد بهتری را نسبت به حلقه قفل فاز از خود نشان می‌دهد. همچنین معمولا در مدارات ضرب کننده از حلقه قفل فاز و حلقه قفل شده تاخیر استفاده می‌گردد.

چند پارامتر مهم در طراحی حلقه‌های قفل شده تاخیر وجود دارد. اولین چالش موجود در این مدارات، داشتن سرعت بالاتر جهت انتقال سریعتر اطلاعات می‌باشد. به بیان دیگر یک نقطه مناسب در طراحی حلقه‌های قفل شده تاخیر، طراحی آنها برای داشتن زمان نشست کمتر و سرعت قفل شدن بیشتر است [۵ و ۶]. همچنین مشکل مهم دیگر موجود در حلقه‌های قفل شده تاخیر، داشتن گستره قفل کم است [۷]. از شاخص‌های مهم دیگر در طراحی حلقه‌های قفل شده تاخیر می‌توان به کم نمودن جیتر [۸] و نویز فاز، کم کردن سطح مقطع اشغالی و توان مصرفی اشاره کرد.

در این راستا برای کم کردن زمان نشست سیستم حلقه قفل شده تاخیر باید راهکاری اندیشیده شود. ساختارهای مختلفی برای بهبود زمان نشست و یا زمان قفل حلقه قفل شده تاخیر پیشنهاد شده است که هر یک با وجود ویژگی‌های مناسب، منتهی به پیچیدگی کل سیستم می‌گردد. زیرا عموما بهبود پارامترهای طراحی در حلقه قفل شده تاخیر با اضافه کردن تعدادی بلوک به آن صورت می‌پذیرد. به همین دلیل در این مقاله از الگوریتم بهینه سازی ژنتیک به نحوی استفاده می‌شود که میزان تاخیر سلولها کنترل شده و به حالت بهینه برای مقادیر تاخیر به طوری که زمان نشست کل سیستم کاهش یابد، دست یافت. این موضوع می‌تواند توام با متقاوت بودن میزان تاخیر سلولها با یکدیگر باشد.

این مقاله به صورت زیر سازمان‌دهی شده است. بخش آتی به توضیح در مورد ساختار متداول حلقه‌های قفل شده تاخیر و مشکلات آن خواهد پرداخت. بخش سوم نیز، توضیحاتی را در مورد الگوریتم ژنتیک ارائه می‌دهد. همچنین ساختار پیشنهادی این مقاله و نحوه عملکرد آن در بخش چهارم خواهد آمد. بخش پنجم نیز به بررسی نتایج شبیه سازی ساختار ارائه شده می-پردازد.



شکل (۱): ساختار یک ضرب کننده فرکانسی متداول براساس حلقه قفل شده تاخیر

۲- ساختار متداول حلقه‌های قفل شده تاخیر

ساختار متداول حلقه‌های قفل شده تاخیر در شکل-۱ نشان داده شده است. همانگونه که از ساختار فوق بر می‌آید، حلقه قفل شده تاخیر متداول از یک خط تاخیر کنترل شونده با ولتاژ، یک آشکار ساز فاز- فرکانس، یک پمپ بار و یک فیلتر حلقه تشکیل شده است. گاهی جهت تولید مضارب فرکانسی بلوک دیگری با عنوان ترکیب کننده لبه به این ساختار اضافه می‌شود [۹ و ۱۰]. عملکرد مدار نیز به این صورت است که، اختلاف فاز ورودی و خروجی خط تاخیر کنترل شونده با ولتاژکه همان ورودی و خروجی حلقه قفل شده تاخیر می‌باشند، در آشکارساز فاز با هم مقایسه می‌شوند. آشکار ساز فاز – فرکانس با توجه به این اختلاف فاز، سیگنال‌های مناسبی را به پمپ بار می‌فرستد. پمپ باز نیز با توجه به سیگنال‌های دریافتی فیلتر حلقه را که یک خازن است، شارژ یا دشارژ می‌کند تا با توجه به آن، ولتاژ کنترل لازم برای تغییر تاخیر مسیر سیگنال ورودی فراهم شود. این روند تا زمانی تکرار می‌شود که ورودی و خروجی حلقه قفل شده تاخیر دقیقا به اندازه یک پریود کلاک ورودی (T_{REF}) نسبت به هم اختلاف فاز داشته باشند. بنابراین در شرایط قفل برای یک حلقه قفل شده تاخیر با N سلول تاخیر، تاخیر ناشی از هر سلول تاخیر برابر با $\frac{T_{REF}}{N}$ خواهد شد.

طراحی یک حلقه قفل شده تاخیر با سرعت بالا هنوز هم یک چالش مهم به شمار می‌رود. به همین دلیل برای کم کردن زمان نشست سیستم حلقه قفل شده تاخیر باید راهکاری اندیشیده شود. ساختارهای مختلفی برای بهبود زمان نشست و یا زمان قفل حلقه قفل شده تاخیر پیشنهاد شده است که هر یک با وجود ویژگی‌های مناسب، منتهی به پیچیدگی کل سیستم می-گردد. زیرا عموما بهبود پارامترهای طراحی در حلقه قفل شده تاخیر با اضافه کردن تعدادی بلوک به آن صورت می‌پذیرد. در

[Downloaded from jiaeee.com on 2026-10-30]
[DOR: 20.1001.1.26765810.1395.13.2.10.6]

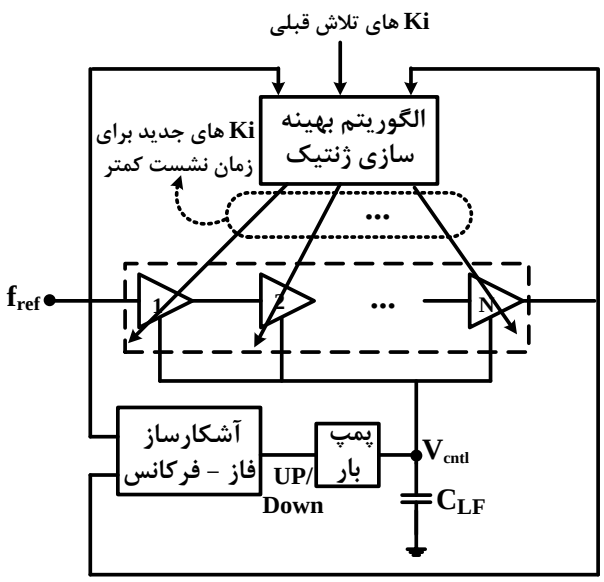
این تحقیق تلاش بر این است که بدون افزایش پیچیدگی سیستم، مسیری برای طراحی حلقه قفل شده تاخیر با سرعت قفل بیشتر یا زمان نشست کمتر مشخص گردد.

۳- الگوریتم بهینه سازی ژنتیک

هدف الگوریتم ژنتیک[۲] پیدا کردن بهترین راه حل ممکن برای یک مساله، مبتنی بر پروسه تکامل در طبیعت است. الگوریتم ژنتیک روی مجموعه ای از راه حل های ممکن به نام مجموعه جمعیت یا به اختصار جمعیت کار می کند [۱۱- ۱۴]. هر راه حل ممکن در مجموعه جمعیت یک کروموزوم نام دارد. اجزای هر کروموزم، ژن ها نامیده می شوند. در هر تکرار الگوریتم ژنتیک، برای به دست آوردن راه حل های بهتر از راه حل های موجود، یا به عبارتی یافتن جمعیتی بهتر از جمعیت موجود، نسل جدیدی ازجمعیت تولید خواهد شد [۱۱].

تولید نسل های جدید درگیر گام های مختلفی است. در الگوریتم ژنتیک معمولا دو عملگر اصلی تقاطع و جهش برای تولید نسل های جدید مورد استفاده قرار می گیرد. عمل تقاطع تولید فرزند در طبیعت را شبیه سازی می کند. در حالی که هدف از عملگر جهش، همانطوری که از نامش برمی آید، مدل سازی فرایند جهش در طبیعت است. قبل از شروع فرایند تولید نسل های جدید، نسل های موجود بر اساس یک تابع هزینه تعریف شده توسط کاربر مورد ارزیابی قرار می گیرند. سپس تعدادی از بهترین نسل ها با توجه به تعریف تابع هزینه برای تولید نسل های جدید انتخاب می شوند. جمعیت های انتخاب شده بصورت زوج هایی مجزا به نام والدین در نظر گرفته خواهند شد. برای تعیین تعداد والدین معمولا از ضریب $0 \le P_c \le 1$ استفاده می شود. به عبارت دیگر $P_c\%$ از جمعیت (بهترین ها) به عنوان والدین در نظر گرفته می شود. در عمل تقاطع بخش های از دو والد با یکدیگر ترکیب شده و دو نسل جدید از جمعیت (فرزندان) را به وجود می آورد. فرایند تقاطع، ژن هایی از کروموزم های والدین را با یکدیگر ترکیب نموده و به دنبال ایجاد نسل های بهتر است.

عملگر دوم برای تولید جمعیتهای جدید، عملگر جهش است که در آن ویژگی های جدید به ساختار جمعیت اضافه می شود. جهش برای جستجوی بیشتر در فضای راه حل های ممکن است. اگرچه همواره جهش به پاسخ های مناسبی منجر نمی شود، اما در مجموع در یافتن پاسخ های بهینه کمک خواهد کرد [۱۱]. در فرایند جهش $P_m\%$ ($0 \le P_m \le 1$) از جمعیت انتخاب شده و بطور تصادفی تغییراتی بر آنها اعمال می شود.



شکل (۲): ساختار پیشنهادی برای حلقه قفل شده تاخیر با استفاده از الگوریتم بهینه سازی ژنتیک

از آنجاییکه دو فرایند تقاطع و جهش هیچگونه تضمینی برای یافتن پاسخ های بهتر ارائه نمی کنند، لذا ریسک زیادی برای از بین رفتن پاسخ های بهینه در فرایند های مذکور وجود دارد [۱۱]. برای رفع مشکل ذکر شده در هر مرحله از الگوریتم ژنتیک، جمعیت های قبلی و جمعیت های جدید تولید شده با جهش و تقاطع ذخیره می گردند. سپس از بین کل جمعیت ذخیره شده در هر مرحله، بهترین جمعیت ها برای شروع مرحله بعد انتخاب می شوند.

فرایند ذکرشده، الگوریتم ژنتیک را سریعتر همگرا کرده و دستیابی به بهترین پاسخ را محتمل تر می کند. به عبارت دیگر این فرایند، بهبود قابل ملاحظه ای در یافتن پاسخ بهینه در الگوریتم ژنتیک ایجاد می کند.

در نهایت اینکه جمعیت اولیه در الگوریتم ژنتیک یا بطور تصادفی یا توسط کاربر (از پیش تعریف شده) ایجاد می شود.

۴- ساختار پیشنهادی

همانگونه که در بخشهای قبلی توضیح داده شده است، یکی از چالشهای مهم در طراحی حلقه‌های قفل شده تاخیر، سرعت قفل شدگی آن (زمان نشست) است.

یکی از مهمترین پارامترهای حلقه قفل شده تاخیر که با تغییر آن سرعت قفل شدگی تغییر می‌کند، بهره تاخیر سلولهای تاخیری است [۱۵]. پیدا کردن مقادیر بهینه‌ی بهره به منظور دستیابی به حداقل سرعت قفل شدگی می‌تواند از منظر یک

[Downloaded from jiaeee.com on 2026-10-30]
[DOR: 20.1001.1.26765810.1395.13.2.10.6]
Journal of Iranian Association of Electrical and Electronics Engineers Vol13 No.2 Summer 2016

مسئله بهینه‌سازی مورد مطالعه قرار گیرد. بلوک دیاگرام ساختار پیشنهادی در شکل-۲ آورده شده است.

همانگونه که در شکل-۲ نشان داده شده است، در ساختار پیشنهادی این تحقیق از الگوریتم بهینه سازی ژنتیک جهت بهینه کردن مقادیر تاخیر سلولهای موجود در *VCDL* استفاده شده است. همانگونه که در بخش سوم نیز توضیح داده شده است، مولفه های اساسی الگوریتم بهینه سازی ژنتیک، جمعیت، تابع هزینه و البته فرایند تولید نسل های بعدی می باشد. در ساختار پیشنهادی این تحقیق، الگوریتم ژنتیک با درنظر گرفتن یک جمعیت اولیه متشکل از ضرایب بهره تاخیر سلولها، فرایند بهینه‌سازی را آغاز می‌کند. تابع هزینه مورد نظر برای ارزیابی نسل های موجود، زمان نشست سیستم در نظر گرفته شده است. به عبارت دیگر آن دسته از ضرایب بهره که ترکیب آنها منجر به زمان نشست کمتری می شود به عنوان پاسخ های بهتر ارزشگذاری می گردند.

۵- نتایج شبیه‌سازی

در این بخش نتایج حاصل از شبیه سازی یک حلقه قفل شده تاخیر منطبق با تکنولوژی ۰/۱۸ میکرون، با بهره گیری از الگوریتم ژنتیک جهت پیدا کردن بهترین زمان نشست (قفل) ارائه شده است. برای این منظور طراحی یک حلقه قفل شده تاخیر با استفاده از مقدار پیش فرض ۸ سلول تاخیر در مسیر مستقیم در نظر گرفته شد. همچنین فرکانس کاری این حلقه قفل شده تاخیر، ۱۰۰مگاهرتز (f_{REF}=100MHz) منطبق با باند *VHF* در نظر گرفته شده است. به بیان دیگر پریود کلاک ورودی (T_{REF}) برابر با ۱۰ نانو ثانیه می‌باشد. در ساختار طراحی شده، الگوریتم بهینه‌سازی ژنتیک نیز به گونه‌ای مورد استفاده قرار گرفته است تا قادر باشد مقدار بهره ولتاژ به فاز در هر سلول تاخیر را کنترل نماید. از آنجایی که کل تاخیر مسیر مستقیم ناشی از سلولهای تاخیر موجود در *VCDL* نباید از یک پریود کلاک ورودی (T_{REF}) بیشتر باشد، پس با توجه به اینکه حداقل مقدار تاخیر در سلولهای تاخیر تکنولوژی ۰/۱۸ میکرون حدود ۵۰ پیکوثانیه است، می‌توان حداکثر مقدار تاخیر این سلولها را جهت کنترل توسط الگوریتم ژنتیک به صورت زیر به دست آورد:

$$t_{d1} + \cdots + t_{d8} = T_{REF} \Rightarrow t_{d,max} = T_{REF} - 7 \times t_{d,min} = 10ns - 7 \times 0.05ns = 9.65ns \quad (۱)$$

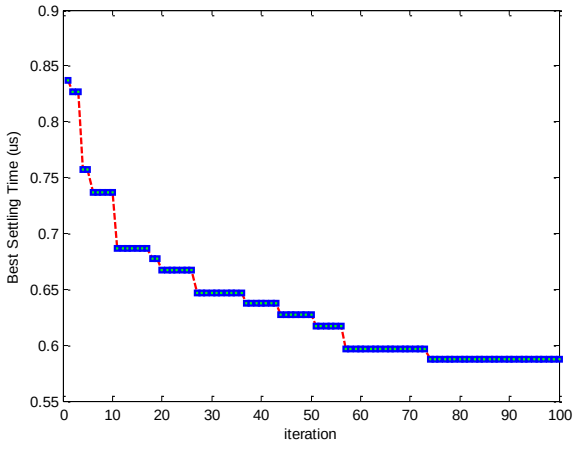
که در آن برای به دست آوردن حداکثر مقدار تاخیر ممکن برای عملکرد درست *DLL*، فرض شده است که همه سلولهای تاخیر به جز یکی در شرایط مینیمم تاخیر قرار دارند. بنابراین محدودیت ارائه شده در الگوریتم ژنتیک برای تاخیر هر سلول به صورت زیر بوده است:

$$0.05ns < t_{d1} < 9.65ns \quad (۲)$$

محدودیت دیگر برای الگوریتم بهینه سازی ژنتیک، محدودیت ولتاژ کنترل (شرط قفل شدگی) می باشد که با توجه به تکنولوژی ۰/۱۸ میکرون بازه مجاز ولتاژ کنترل بصورت زیر می باشد:

$$0\,V < V_{cntl} < 1.8\,V \quad (۳)$$

در شبیه سازی های صورت گرفته، تعداد جمعیت اولیه الگوریتم بهینه سازی ژنتیک ۸۰ و تعداد تکرارها ۱۰۰ انتخاب شده است. همچنین با توجه به ساختار *DLL* موردنظر که با ۸ سلول تاخیر در نظر گرفته شده است، هر نسل جمعیت ۸ بعدی خواهد بود. به عبارت دیگر از منظر بهینه سازی، بهترین نقطه در یک فضای ۸ بعدی مورد جستجو قرار گرفته می شود. شکل-۳ نمودار همگرایی الگوریتم ژنتیک در مسیر رسیدن به بهترین شرایط برای بهره ولتاژ به فاز در حلقه قفل شده تاخیر مورد نظر را نشان می‌دهد.



شکل (۳): نمودار همگرایی الگوریتم بهینه سازی ژنتیک استفاده شده در ساختار حلقه قفل شده تاخیر پیشنهادی

همانطور که از این شکل پیدا است، الگوریتم ژنتیک با تغییر مقدار تاخیر سلولها، در نهایت حالتی را به عنوان بهترین جواب

[Downloaded from jiaeee.com on 2026-10-30]
[DOR: 20.1001.1.26765810.1395.13.2.10.6]

برگزید که در آن زمان نشست مدار در بهترین شرایط و حدود ۰/۵۸ میکرون است. در این شرایط مقدار بهره ولتاژ به فاز در سلولهای تاخیر اول تا هشتم که با ضرایب Ki نمایش داده می‌شود (K_i بهره ولتاژ به فاز در سلول تاخیر iام است) به صورت مقادیر ارائه شده در جدول-۱ به دست آمده است.

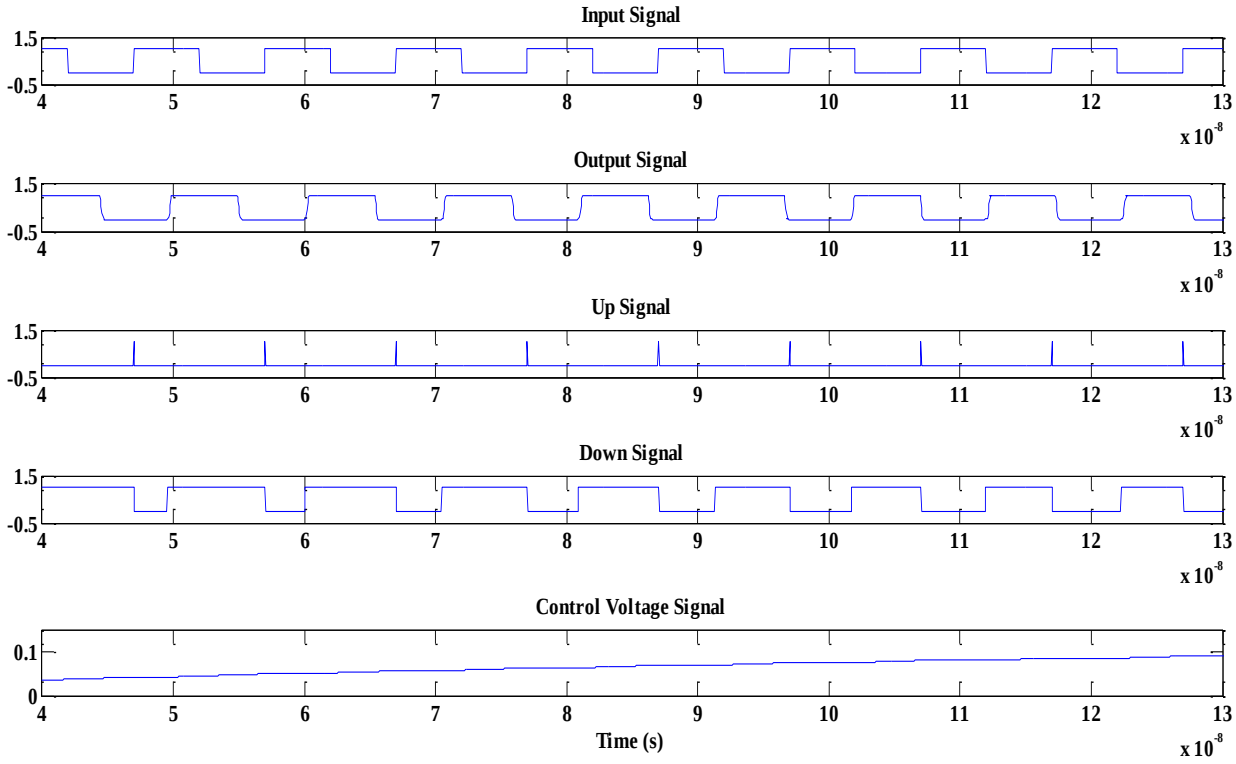
جدول-۱ مقادیر به دست آمده از الگوریتم ژنتیک برای K_iها برای داشتن کمترین زمان نشست

K_1	K_2	K_3	K_4
0.75×10^{-8}	0.84×10^{-8}	0.84×10^{-8}	0.90×10^{-8}
K_5	K_6	K_7	K_8
0.94×10^{-8}	0.8×10^{-8}	0.68×10^{-8}	0.68×10^{-8}

در ادامه نتایجی که ارائه می‌شود حاصل از شبیه‌سازی ساختار موردنظر به ازای مقادیر بهره سلولهای تاخیر نشان داده شده در جدول-۱ می‌باشد. شکل-۴ نتایج حاصل از شبیه سازی DLL را پیش از رسیدن به شرایط قفل نمایش می‌دهد. همانگونه که از این شکل برمی‌آید، ولتاژ کنترل با توجه به اختلاف فاز بین ورودی و خروجی $VCDL$، به گونه‌ای تغییر می‌کند که اختلاف فاز بین سیگنالهای ورودی و خروجی کم شده و در نهایت این دو سیگنال همفاز (دقیقا به اندازه یک پریود کلاک ورودی اختلاف فاز داشته باشند) گردند. همانطور که در این شکل دیده می‌شود با افزایش تدریجی ولتاژ کنترل، عرض پالس تشکیل شده در خروجی $Down$ آشکارساز فاز، کاهش یافته و این به معنی نزدیک تر شدن DLL به شرایط قفل است.

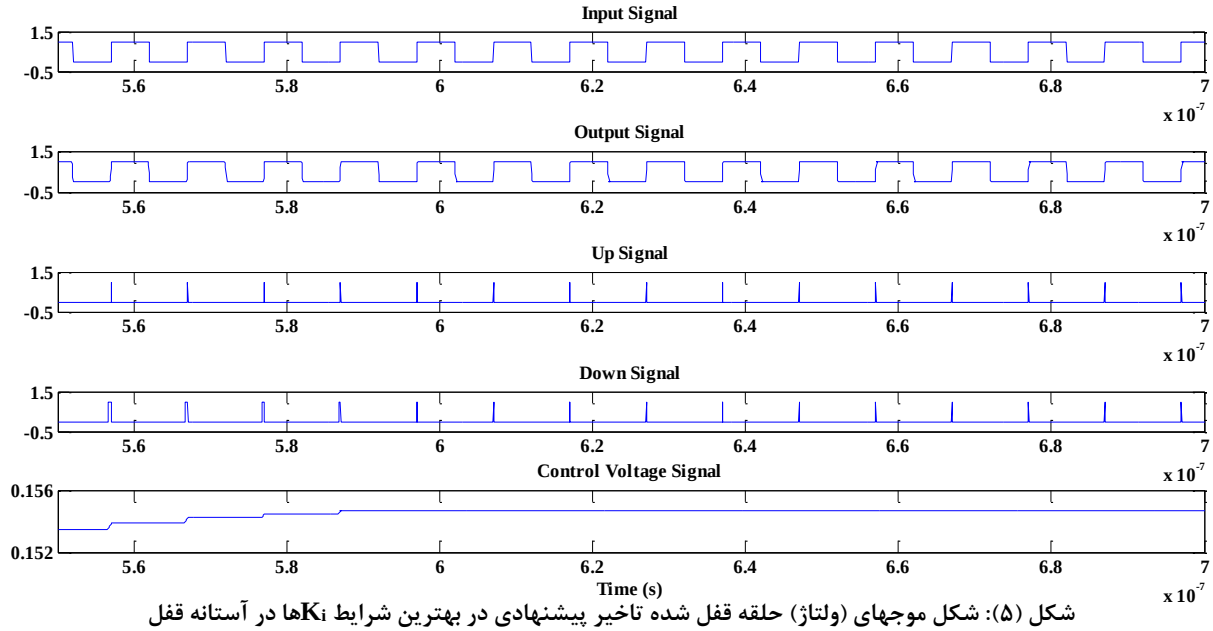
همچنین شکل-۵ شکل موج قسمتهای مختلف حلقه قفل شده تاخیر موردنظر را در شرایط نزدیک قفل نشان می‌دهد. با توجه به مقادیر به دست آمده برای Kiها، با توجه به مدل خطی سلولهای تاخیر انتظار داریم که ولتاژ کنترل مدار برابر با:

$$V_{cntl} = \frac{T_{REF}}{K_1 + \cdots + K_8} \approx 0.155\ V \qquad (۴)$$



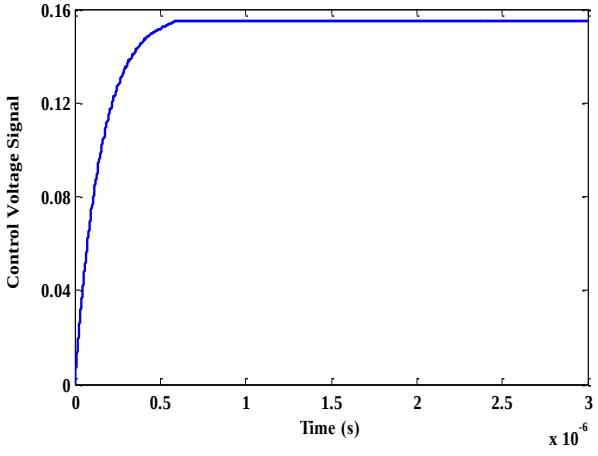
شکل (۴): شکل موجهای (ولتاژ) حلقه قفل شده تاخیر پیشنهادی در بهترین شرایط K_iها در شرایط پیش از قفل

[Downloaded from jiaeee.com on 2026-10-30]
[DOR: 20.1001.1.26765810.1395.13.2.10.6]
Journal of Iranian Association of Electrical and Electronics Engineers Vol.13 No.2 Summer 2016



شکل (۵): شکل موجهای (ولتاژ) حلقه قفل شده تاخیر پیشنهادی در بهترین شرایط K_iها در آستانه قفل

همانطور که در شکل-۵ دیده می‌شود، ولتاژ کنترل مدار در نهایت به سمت مقدار ۰/۱۵۵ ولت میل کرده است که این موضوع حکایت از قفل صحیح ساختار به ازای مقادیر K_iهای ارائه شده دارد. همچنین از این شکل اینگونه بر می‌آید که سیگنالهای ورودی و خروجی DLL در زمانی حدود ۰/۵۸ میکروثانیه که همان زمان قفل یا زمان نشست سیستم است، با یکدیگر همفاز شده‌اند. این موضوع یعنی قفل شدن صحیح DLL از ثبات ولتاژ کنترل در مقدار ۰/۱۵۵ ولت و نیز عرض پالسهای بسیار کوچک در سیگنالهای UP و $Down$ (خروجی PFD) بعد از زمان ۰/۵۸ میکروثانیه نیز قابل اثبات است. همچنین برای نشان دادن روند درست قفل شدن DLL و نیز تشخیص صحیح زمان نشست سیستم، ولتاژ کنترل مدار برحسب زمان در شکل-۶ رسم شده است. از این شکل اینگونه بر می‌آید که ولتاژ کنترل به گونه‌ای تغییر یافته است که در نهایت در زمان نشست گزارش شده، سیستم به قفل صحیح رسیده است.



شکل (۶): ولتاژ کنترل ساختار پیشنهادی در شرایط قفل

برای اینکه نشان داده شود مقادیر به دست آمده برای K_i ها در جدول-۱ منتهی به زمان قفل شدن کمتری نسبت به حالات دیگر می‌شوند، سه حالت تصادفی برای K_iها که توسط الگوریتم ژنتیک مورد بررسی قرار گرفته است در جدول-۲ نشان داده شده است. حالت اول مقادیر K_i ها را برای بهترین زمان قفل شدن، حالت دوم مقادیر Ki ها را برای یک حالت قفل دیگر و حالت سوم مقادیر K_i ها را برای حالتی نشان می‌دهد که DLL قادر نیست به شرایط قفل برسد. شکل موج ولتاژ کنترل مربوط به شبیه‌سازی DLL در این سه حالت در شکل-۷-الف نشان

[Downloaded from jiaeee.com on 2026-10-30]
[DOR: 20.1001.1.26765810.1395.13.2.10.6]

داده شده است. همانطور که در این شکل دیده می‌شود ساختار مورد نظر به ازای زمان بسیار کوتاه‌تری نسبت به حالات دیگر، به شرایط قفل می‌رسد. همچنین حالت سوم (*Unlock*) به این دلیل به شرایط قفل نرسیده است که با توجه به مقادیر K_iها مقدار ولتاژ کنترل آن باید برابر با:

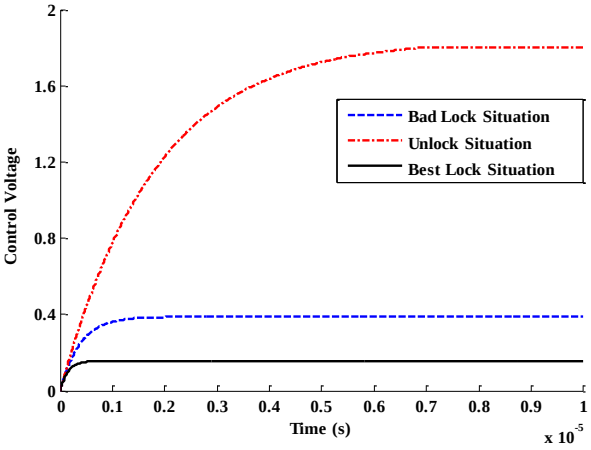
$$V_{cntl} = \frac{T_{REF}}{K_1 + \cdots + K_8} \approx 1.82\ V \qquad (۵)$$

شود که این مقدار از حد ولتاژ تعریف شده برای خط تاخیر در تکنولوژی ۰/۱۸ میکرون بیشتر است (مقدار ولتاژ تغذیه مورد استفاده در این تکنولوژی ۱/۸ ولت فرض شده است). بنابراین مدار نمی‌تواند به این ولتاژ برسد و ولتاژ کنترل در مقدار ۱/۸ ثابت مانده و نمی‌تواند به مقدار ۱/۸۲ یعنی شرایط قفل برسد. همچنین در شکل-۷- ب سرعت حلقه قفل شده تاخیر برای رسیدن به شرایط قفل در *DLL* پیشنهادی را نشان می‌دهد که برگرفته از شکل-۷-الف بوده است.

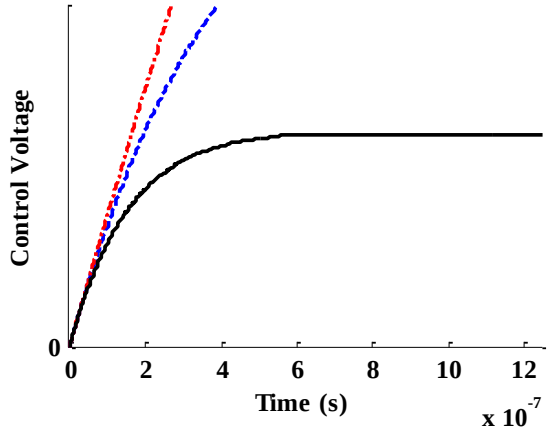
۶- نتیجه‌گیری

در این مقاله یک حلقه قفل شده تاخیر جدید با زمان نشست کم و سرعت قفل بالا طراحی شده است. ساختار پیشنهادی دارای سرعت بالاتری نسبت به حلقه قفل شده تاخیر متداول می‌باشد. در این ساختار مقدار بهره ولتاژ به فاز سلولهای تاخیر (و در نتیجه مقادیر تاخیر سلول‌های تاخیر) با استفاده از الگوریتم

بهینه سازی ژنتیک کنترل شده است. نتایج شبیه‌سازی نشان می‌دهد که با استفاده از بهره‌های ولتاژ به فاز به دست آمده از الگوریتم بهینه‌سازی ژنتیک ساختار مورد نظر با سرعت بسیار



(الف)



(ب)

شکل (۷): الف- ولتاژ کنترل ساختار پیشنهادی در سه حالت مختلف ب- ولتاژ کنترل در سه حالت قسمت (الف) در مقیاس ولتاژی کوچکتر

جدول-۲ مقادیر K_iها برای سه شرایط مختلف استخراج شده توسط الگوریتم ژنتیک

	K_1	K_2	K_3	K_4	K_5	K_6	K_7	K_8
Best Lock	0.75 $\times 10^{-8}$	0.84 $\times 10^{-8}$	0.84 $\times 10^{-8}$	0.90 $\times 10^{-8}$	0.94 $\times 10^{-8}$	0.8 $\times 10^{-8}$	0.68 $\times 10^{-8}$	0.68 $\times 10^{-8}$
Bad-Lcok	0.72 $\times 10^{-8}$	0.08 $\times 10^{-8}$	0.06 $\times 10^{-8}$	0.25 $\times 10^{-8}$	0.92 $\times 10^{-8}$	0.17 $\times 10^{-8}$	0.29 $\times 10^{-8}$	0.11 $\times 10^{-8}$
Unlock	0.09 $\times 10^{-8}$	0.03 $\times 10^{-8}$	0.07 $\times 10^{-8}$	0.15 $\times 10^{-8}$	0.04 $\times 10^{-8}$	0.1 $\times 10^{-8}$	0.01 $\times 10^{-8}$	0.06 $\times 10^{-8}$

بالاتری نسبت به حالات دیگر به شرایط قفل می‌رسد. در این طراحی به عنوان نمونه، ساختار موردنظر در فرکانس ۱۰۰مگاهرتز و برای ۸ سلول تاخیر مورد بررسی قرار گرفت. نتایج شبیه‌سازی حکایت از عملکرد مطلوب ساختار موردنظر تحت شرایط به دست آمده نسبت به حالات دیگر داشته است.

مراجع

[1] San-Jeow Cheng; Lin Qiu; YuanjinZheng; Chun-HuatHeng;,"50–250 MHz ΔΣ DLL for Clock Synchronization," Solid-State Circuits, IEEE Journal of , vol.45, no.11, pp.2445-2456, Nov. 2010.

[Downloaded from jiaeee.com on 2026-10-30]

Journal of Iranian Association of Electrical and Electronics Engineers Vol.13 No.2 Summer 2016
[DOR: 20.1001.1.26765810.1395.13.2.10.6]

[2] M. Gholami, Gh. Ardeshir and H. Ghonoodi, “A novel architecture for low voltage-low power DLL-based frequency multipliers”, IEICE Electron. Express, Vol. 8, No. 11, pp.859-865, (2011).
[3] A. Coban, M. H. Koroglu, and K. A. Ahmed, “A 2.5–3.125 GB/ quad transceiver with second order analog DLL-based CDRs,” IEEE J. Solid-State Circuits, vol. 40, no. 9, pp. 1940–1947, Sep. 2005.
[4] Fang-Ren Liao; Shey-Shi Lu; , "A Waveform-Dependent Phase-Noise Analysis for Edge-Combining DLL Frequency Multipliers," Microwave Theory and Techniques, IEEE Transactions on , vol.60, no.4, pp.1086-1096, April 2012.
[5] Kyungho Ryu; Dong-Hoon Jung; Seong-Ook Jung, "A DLL With Dual Edge Triggered Phase Detector for Fast Lock and Low Jitter Clock Generator," Circuits and Systems I: Regular Papers, IEEE Transactions on , vol.59, no.9, pp.1860,1870, Sept. 2012.
[6] H. H. Chang and S. I. Liu, “A wide-range and fast-locking all-digitalcycle-controlled delay-locked loop,” IEEE J. Solid-State Circuits, vol.40, no. 3, pp. 661–670, Mar. 2005.
[7] M. Gholami, A novel low power architecture for DLL-based frequency synthesizers. Circuits Syst. Signal Process. **32**(2), 781–801 (2013). doi:10.1007/s00034-012-9488-9.
[8] M. Gholami, Analysis of DLL Jitter due to Voltage-Controlled Delay Line. Circuits Syst. Signal Process. Published Online (2013). doi: 10.1007/s00034-013-9584-5.
[9] Gholami, Mohammad, Hamid Rahimpour, Gholamreza Ardeshir, and Hossein MiarNaimi. "Digital delay locked loop-based frequency synthesiser for Digital Video Broadcasting-Terrestrial receivers." IET Circuits, Devices & Systems 8, no. 1 (2014): 38-46.
[10] K. Cheng and Y. Lo; , "A Fast-Lock Wide-Range Delay-Locked Loop Using Frequency-Range Selector for Multiphase Clock Generator," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.54, no.7, pp.561-565, July 2007.
[11] M. Srinivas and L. M. Patnaik, "Genetic algorithms: a survey," Computer, vol. 27, pp. 17-26, 1994.
[12] R. Popa, “Genetic Algorithms in Applications”, IN-TECH, ISBN-13: 978-953-51-0400-1, 2012
[13] B. Shi, L. Zhao, R. Zhi, and X. Xi, "Optimization of electronic nose sensor array by genetic algorithms in Xihu-Longjing Tea quality analysis," Mathematical and Computer Modelling, vol. 58, pp. 752-758, 8// 2013.
[14] X. Yan, W. Li, Y. Zhang, H. Zhang, and J. Wu, "Electronic Circuit Automatic Design Based on Genetic Algorithms," Procedia Engineering, vol. 15, pp. 2948-2954, // 2011.
[15] Gholami, Mohammad, Hamid Rahimpour, Gholamreza Ardeshir, and Hossein Miar-Naimi. "A new fast-lock, low-jitter, and all-digital frequency synthesizer for DVB-T receivers." International Journal of Circuit Theory and Applications (2013).
[۱۶] حمید رحیم پور، محمد غلامی، غلامرضا اردشیر و حسین میارنعیمی، "طراحی ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر دیجیتالی و با سرعت بالا"، مجله انجمن مهندسین برق و الکترونیک ایران، سال دوازدهم، شماره دوم، پاییز ۱۳۹۴.
[۱۷] مریم معاضدی، سید ادیب ابریشمی فر، "حلقه قفل تأخیر پهن باند با پمپ بار خودتنظیم و بدون مشکل عدم تطبیق"، مجله انجمن مهندسین برق و الکترونیک ایران، سال نهم، شماره اول، بهار و تابستان ۱۳۹۱

[1] Jitter
[2] Genetic Algorithm

[Downloaded from jiaeee.com on 2026-10-30]
[DOR: 20.1001.1.26765810.1395.13.2.10.6]