بررسی و مقایسه مشخصات الکترونیکی ترانزیستورهای نانو سیم بدون پیوند نوع P با مواد کانال Si ,InP, InGaP

فرشاد باجلان[۱] آرش یزدان‌پناه گوهرریزی[۲] رحیم فایز[۳] غفار درویش[۴]

۱- دانشجوی دکتری- دانشکده فنی- دانشگاه آزاداسلامی واحد علوم و تحقیقات- تهران- ایران

aghil.bajelan@yahoo.com

۲- استادیار- دانشکده مهندسی برق-دانشگاه شهید بهشتی- تهران-ایران

ar_yazdanpanah@sbu.ac.ir

۳- دانشیار- دانشکده مهندسی برق-دانشگاه صنعتی شریف- تهران-ایران

faez@sharif.edu

۴- استادیار- دانشکده فنی-دانشگاه آزاد علوم تحقیقات- تهران-ایران

Darvish_gh@srbiau.ac.ir

چکیده: در این مقاله با استفاده از روش تابع گرین غیر تعادلی، عملکرد ترانزیستورهای بدون پیوند با کانال مواد InGaP، InP و Si مورد بررسی قرار گرفته است. گیت ترانزیستورها از نوع تمام اطراف گیت (GAA) انتخاب شده است. پارامترهایی چون دیبل، شیب زیر آستانه، جریان حالت خاموش، جریان حالت روشن و نسبت جریان حالت روشن به خاموش در این ادوات مورد بررسی قرار گرفته است. مشکل اصلی ترانزیستورهای بدون پیوند، جریان حالت خاموش و شیب زیر آستانه می‌باشد. با انتخاب مواد با شکاف باند بزرگ و چگالی حالت بالا در باند ظرفیت می‌توان جریان حالت خاموش را کاهش داد، بدون اینکه جریان حالت روشن کاهش محسوسی پیدا کند. از این رو ترانزیستور بدون پیوند با کانال InGaP دارای مشخصات الکترونیکی بهتری از نظر جریان حالت خاموش و شیب زیر آستانه است. برای این ترانزیستور مقادیر دیبل، شیب زیر آستانه، جریان حالت خاموش، جریان حالت روشن و نسبت جریان روشن به خاموش در طول گیت ۱۰ نانومتر به ترتیب برابر است با۱۴mV/V، ۶۱/۱mV/dec،$۲/۲۶\times۱۰^{-۱۵}$A، $۵/۹۴\times۱۰^{-۶}$A و $۲/۶۲\times۱۰^{۹}$.

کلمات کلیدی: ترانزیستورهای بدون پیوند، دیبل، شیب زیر آستانه، جریان خاموشی، نسبت جریان روشنی به خاموشی

تاریخ ارسال مقاله: ۱۳۹۶/۴/۱۰

تاریخ پذیرش مشروط مقاله: ۱۳۹۶/۰۸/۲۱

تاریخ پذیرش مقاله: ۱۳۹۶/۰۹/۱۱

نام نویسنده‌ی مسئول: دکتر آرش یزدان‌پناه گوهرریزی

نشانی نویسنده‌ی مسئول: ایران–تهران– بزرگراه شهید چمران–خیابان یمن–میدان شهید شهریاری– بلوار دانشجو–کد پستی ۱۹۸۳۹۶۹۴۱۱ – دانشگاه شهید بهشتی– دانشکده‌ی مهندسی برق.

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.2.1.1]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.2- Summer 2018

۱- مقدمه:

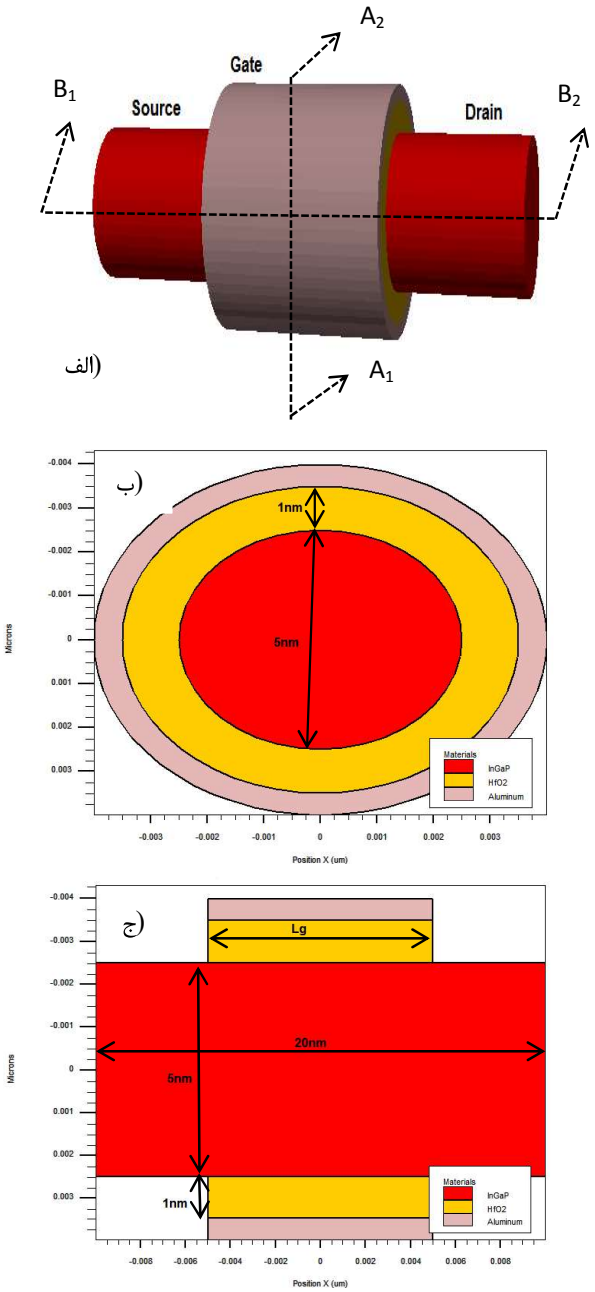
براساس اطلاعات ITRS، ابعاد ترانزیستورهای ماسفت به سرعت در حال کاهش است. لذا کوچک نمایی ترانزیستورها، غیرقابل انکار است[۴-۱]. با کوچک شدن ابعاد ماسفت‌ها در حد نانومتر اثرات کانال کوتاه خود را بیشتر نشان می‌دهند[۶،۵]. علاوه بر آن با کوچک شدن ترانزیستورهای ماسفت در حد نانو ساخت نواحی مختلف پیوندهای سورس - کانال و درین - کانال پیچیده و پرهزینه است. نوع دیگری از ترانزیستورها به نام بدون پیوند (JL) معرفی می‌شود که در آن تمام نواحی سورس، کانال و درین دارای آلایش یکسان و مقدار برابر است. لذا این نوع ادوات از نظر فرآیند ساخت، پیچیدگی کمتری دارند[۸،۷]. مشکل اصلی ترانزیستورهای نانو سیم بدون پیوند، جریان حالت خاموش بالا بوده که منجر به کاهش نسبت جریان روشن به خاموش و افزایش سوییننگ زیرآستانه می‌شود[۹،۱۳]. یکی از راه حل‌ها برای کاهش جریان حالت خاموش، افزایش شکاف نوار انرژی ماده کانال است. ولی در این بین باید چگالی حالت‌ها نیز کم نباشد تا جریان حالت روشن کم نشود. افزایش شکاف نوار انرژی را می‌توان از دو طریق ایجاد نمود:

۱- استفاده از مواد معمول مانند سیلیکن و ژرمانیوم با ضخامتی در حدود زیر ۳ نانومتر به عنوان کانال(بدلیل محدودیت کوانتومی شکاف نوار انرژی آنها افزایش می‌یابد)[۱۴]

۲- استفاده از مواد با شکاف باند بزرگ. در مورد روش اول، بدلیل محدودیت‌های کوانتومی فاصله بین زیر باندها زیاد شده وجریان حالت روشن، کاهش می‌یابد. ما در این مقاله از مواد InP, InGaP با شکاف باند بزرگ و چگالی حالت والانس بالا به عنوان کانال نوعP استفاده می‌کنیم. در ادامه، ترانزیستورهای نانو سیم بدون پیوند با مواد کانال InP،InGaPوSiاز نظر مشخصات مختلف الکترونیکی مقایسه می‌شوند.

۲- ساختار افزاره

شکل(۱)، ساختار ترانزیستور نانوسیم بدون پیوند با تمام اطراف گیت (GAA) را نشان می‌دهد. ضخامت کانال در هر سه ترانزیستور با کانال مواد مختلف، یکسان و برابر ۵ نانومتر و جنس ماده اکسید HfO_2 و ضخامت آن نیز ۱ نانومتر است. فاصله بین سورس تا درین ۲۰ نانومتر است که فلز گیت دروسط این فاصله قرار دارد. آلایش سورس، کانال و درین در هر سه ترانزیستور برابر است با $10^{19} cm^{-3}$. شکاف نوار انرژی برای سه ترانزیستور با مواد کانال InP،InGaP و Si برابر است با ۱/۳۵eV،۱/۶۱eV، و۱/۱۲eV. درتمام مقاله درصد مولیIn ۳۰ درصدو درصد مولیGa ۷۰ درصد $(In_{0.3}Ga_{0.7}P)$ در نظر گرفته شده است.



شکل(۱): الف) ساختار ترانزیستور نانوسیم بدون پیوند.ب) شماتیک ترانزیستوراز برش(A_1-A_2) .ج) شماتیک ترانزیستوراز برش(B_1-B_2) .

۳- روش شبیه‌سازی

استفاده از معادلات تابع گرین غیر تعادلی به روشی معمول برای شبیه سازی ترانزیستورها در ابعاد نانو تبدیل شده است. با اعمال تقریب جرم موثر تقریب مناسبی از ساختار نوار انرژی بدست می‌آید که با توجه به آن همیلتونین سیستم قابل بدست آوردن است. روش فضای مد بر اساس تجزیه زیر باندها است که به جای روش فضای واقعی به منظور کاهش زمان محاسباتی در حل معادلات شرودینگر سه بعدی برای

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.2.1.1]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.2- Summer 2018

ترانزیستورهای نیمه هادی استفاده می‌شود[۱۶,۱۵]. در شبیه‌سازی ترانزیستورها، زمانی که در دو بعدکاهش ابعاد داریم، مانند نانو سیم‌ها به دلیل محدودیت‌های کوانتومی فقط تعداد کمی از زیر باندها در انتقال شرکت می‌کنند، لذا باید فقط آنها در محاسبات آورده شوند. برای این منظور از فرمول بندی تابع گرین غیر تعادلی در فضای مد استفاده می‌شود[۱۷]. معادله شرودینگر در مختصات استوانه‌ای برابر است با:

$$\frac{h^2}{2}\left[\frac{1}{r}\frac{\partial}{\partial r}\left(\frac{1}{m_{eff,r}(r,z)}r\frac{\partial R_{im}}{\partial r}\right)-\left(\frac{1}{m_{eff,r}(r,z)}\frac{m_{eff,r}^{2}}{r^{2}}\right)\right]-E_{V}R_{im}=E_{im}R_{im} \quad (۱)$$

که E_V، R_{im}، E_{im} و $m_{eff,r}$ به ترتیب انرژی نوار ظرفیت، تابع ویژه، مقدار ویژه و جرم موثر است. بعد از تشکیل همیلتونین با توجه به معادله (۱)، برای شبیه‌سازی افزاره نیاز به حل معادلات انتقال کوانتومی می‌باشد. ضریب عبور در هر انرژی با توجه به رابطه زیر بدست می‌آید:

$$T(E)=Tr\left[(\sum\nolimits_{S}-\sum\nolimits_{S}^{\dagger})G(\sum\nolimits_{D}-\sum\nolimits_{D}^{\dagger})G^{\dagger}\right] \quad (۲)$$

که Σ_S و Σ_D انرژی خودی اتصال‌های سورس ودرین و G تابع گرین است. از معادلات انتقال کوانتومی برای بدست آوردن مشخصه‌های جریان و چگالی حامل و دیگر مشخصه‌های فیزیکی استفاده می‌گردد. جریان از رابطه زیر محاسبه می‌شود:

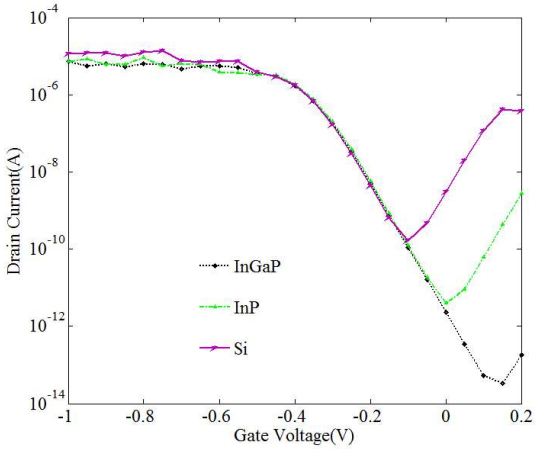
$$I_D=\frac{q}{h}\int T(E)(f(E-\mu_S)-f(E-\mu_D))dE \quad (۳)$$

که q، h، $f(E-\mu_S)$ و $f(E-\mu_D)$ ثابت پلانک، بار الکترون، و تابع فرمی سورس و درین است.

۴- بحث و نتایج شبیه‌سازی

در این قسمت ابتدا منحنی مشخصه جریان برحسب ولتاژ گیت ترانزیستورها و سپس توزیع الکترون‌ها و حفره‌ها در حالت خاموش آورده شده است. بعد از آن مشخصات الکترونیکی این ترانزیستورها در طول گیت ۱۰ نانومتر مود مقایسه قرار گرفته. در نهایت اثر تغییر طول گیت بر مشخصات الکترونیکی با مواد مختلف رسم شده است.

شکل(۲) منحنی جریان برحسب ولتاژ گیت ترانزیستورهای بدون پیوند با مواد کانال InGaP، InP و Si در طول گیت ۱۰ نانومتر را نمایش می‌دهد. با توجه به شکل(۲)، جریان حالت خاموش ترانزیستور بدون پیوند با ماده کانال InGaP از همه کمتراست.

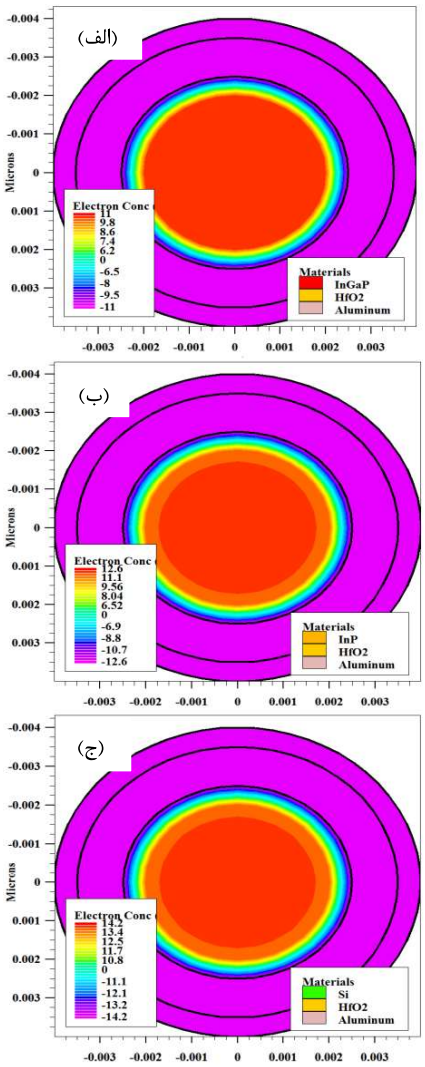


شکل(۲): منحنی جریان برحسب ولتاژ گیت ترانزیستورهای بدون پیوند با مواد کانال InGaP،InP و Si در طول گیت ۱۰ نانومتر.

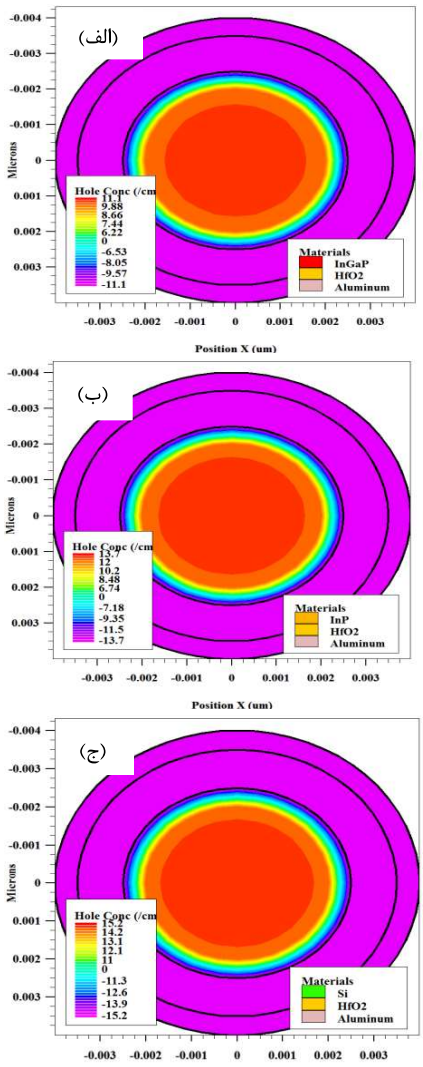
در ادامه برای آنکه درک عمیق‌تری نسبت به بهبود جریان حالت خاموش ترانزیستور بدون پیوند با ماده کانال InGaP نسبت به InP و Si که منجر به بهبود پارامترهایی چون دیبل، شیب زیر آستانه و نسبت جریان حالت روشن به خاموش می‌شود پیدا کنیم، به بررسی چگالی حامل‌ها در کانال می‌پردازیم. برای ترانزیستورهای بدون پیوند در حالت خاموش نقش الکترون‌ها و حفرها هر دو به یک اندازه مهم می‌باشد، زیرا در حالت خاموش ولتاژ گیت باید بگونه‌ای باشد که کانال ترانزیستور از حامل بار الکتریکی تخلیه شود. بنابراین چگالی حامل‌های الکترون و حفره در حالت خاموش در مرکز کانال مورد بررسی قرار می‌گیرد.

شکل(۳) چگالی حامل‌های الکترون در حالت خاموش برای ترانزیستورهای بدون پیوند با کانال مواد InGaP, InP, Si در برش(A_1-A_2) را نمایش می‌دهد. طبق شکل‌ها، غالب حامل‌های الکترون در ترانزیستورهای بدون پیوند در مرکز کانال حضور دارند. مقدار حامل‌های الکترون در حالت خاموش در ترانزیستور بدون پیوند با مواد InGaP، InP و Si خیلی کم است. حامل‌های الکترون در حالت خاموش در ترانزیستور بدون پیوند با مواد InGaP، InP و Si به ترتیب از مرتبه‌ی 10^{11} cm^{-3}، $10^{13.5}$ cm^{-3} و 10^{15} cm^{-3} است. همانگونه که مشاهده می‌شود چگالی حامل‌های الکترون در ترانزیستور با ماده کانال InGaP نسبت به دو نوع دیگر کمتر است که منجر به کاهش جریان حالت خاموش می‌شود.

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.2.1.1]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.2- Summer 2018



شکل(۳): چگالی حامل الکترون در حالت خاموش برای ترانزیستور های بدون پیوند با کانال مواد InGaP، InP و Si در برش(A_1-A_2) .



شکل(۴): چگالی حامل حفره در حالت خاموش برای ترانزیستورهای بدون پیوند با کانال مواد InGaP،InP و Si در برش(A_1-A_2) .

شکل(۴) چگالی حامل حفره در حالت خاموش (الف، ب، ج) برای ترانزیستورهای بدون پیوند با کانال مواد InGaP، InP و Si را در برش(A_1-A_2) نمایش می‌دهد. مطابق شکل، غالب چگالی حامل‌های حفره در حالت خاموش و روشن در مرکز کانال قرار دارند. مقدار حامل‌های حفره در حالت خاموش در ترانزیستور بدون پیوند با موادInGaP، InP و Si به ترتیب از مرتبه‌ی cm^{-3} $10^{11.1}$، cm^{-3} $10^{12.93}$ و cm^{-3} $10^{14.4}$ است.

همانطور که ملاحظه می‌شود چگالی حامل‌های حفره در ترانزیستور بدون پیوند با ماده کانال InGaP نسبت به دو نوع دیگر کاهش یافته که باعث کاهش جریان حالت خاموش در این نوع از ترانزیستور شده است.

جدول(۱)مقدار مشخصه‌های الکترونیکی ترانزیستورهای بدون پیوند با مواد مختلف در طول گیت ۱۰ نانو متر را نمایش می‌دهد. کمترین مقدار جریان حالت خاموش و دیبل ترانزیستورهای بدون پیوند به ترتیب به کانال مواد InGaP، InP و Si تعلق دارد.

مقدار شیب زیر آستانه ترانزیستور با کانال InGaP از دو ترانزیستور با کانال مواد InP، Si کمتر است، دلیل آن تفاوت در مقدار چگالی حامل ذاتی و همچنین انرژی شکاف نوار مواد کانال است.

مقدار چگالی حامل ذاتی برای مواد InGaP، InPوSiبه ترتیب برابر است باcm^{-3} $7/4\times10^{4}$، cm^{-3} 10^{7} و cm^{-3} $1/45\times10^{10}$. همچنین انرژی شکاف نوار برای مواد InGaP، InP و Si به ترتیب برابر است با eV ۱/۶۱، eV۱/۳۵و۱/۱۲eV.

مقدار جریان حالت روشن در ترانزیستور بدون پیوند با ماده کانال Si از بقیه کمی بیشتر است، که این امر به دلیل بالاتر بودن

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.2- Summer 2018

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.2.1.1]

چگالی حالت‌های ظرفیت در ماده Si نسبت به دو ماده دیگر است.

جدول(۱): مشخصه‌های الکترونیکی ترانزیستورهای بدون پیوند با مواد کانال InGaP،InP و Si .

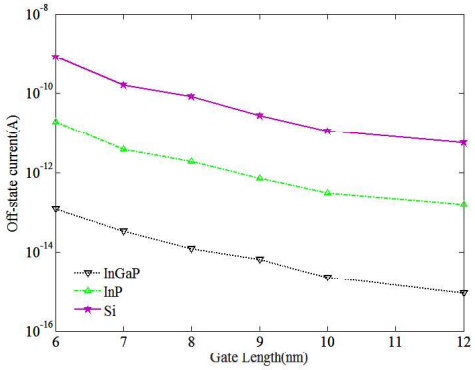
	I_{OFF}(A)	SS mV/dec	DIBL mV/V	I_{ON}(A)	ON/OFF
InGaP	۲/۲۶×۱۰$^{-۱۵}$	۶۱/۱	۱۱/۱	۵/۹۴×۱۰$^{-۶}$	۲/۶۲×۱۰^{۹}
InP	۳/۳.×۱۰$^{-۱۳}$	۶۱/۹	۱۳/۲	۹/۲۶×۱۰$^{-۶}$	۳/۰۶×۱۰^{۷}
Si	۱/۱۵×۱۰$^{-۱۱}$	۶۲/۵	۲۲/۱	۱/۵۷×۱۰$^{-۵}$	۱/۳۷×۱۰^{۶}

درادامه اثر تغییر طول گیت برمشخصه‌های الکترونیکی ترانزیستورهای بدون پیوند بامواد مختلف بررسی می‌شود.

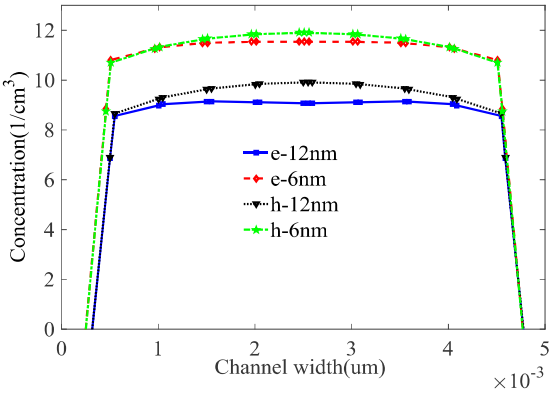
نمودار جریان حالت خاموش برحسب طول گیت ترانزیستورهای بدون پیوند بامواد کانال InGaP، InP و Si در شکل (۵) نشان داده شده است. با کاهش طول گیت در همه‌ی ترانزیستورها، مقدار جریان حالت خاموش افزایش می‌یابد.

برای روشن شدن دلیل این امر منحنی چگالی حامل‌های الکترون و حفره بر حسب عرض کانال در طول گیت‌های ۶ و۱۲ نانومتر با ماده کانال InGaP در حالت خاموش در شکل (۶) نشان داده شده است. با توجه به شکل چگالی الکترون‌ها و حفره‌های ترانزیستور بدون پیوند با ماده کانال InGaP در طول گیت ۱۲ نانومتر کمتر ازهمان ترانزیستور با طول گیت ۶ نانومتر است که این امر موجب کاهش جریان حالت خاموش آن می‌شود.

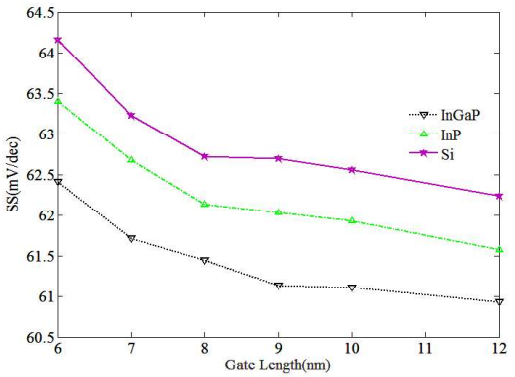
منحنی شیب زیر آستانه ترانزیستورهای بدون پیوند با مواد کانال InGaP، InP و Si در طول گیت‌های ۶ تا۱۲ نانومتر در شکل (۷) نشان داده شده است.



شکل(۵):نمودار جریان حالت خاموش ترانزیستورهای بدون پیوند با مواد کانال InGaP،InP و Si در طول گیت‌های ۶ تا۱۲ نانومتر.

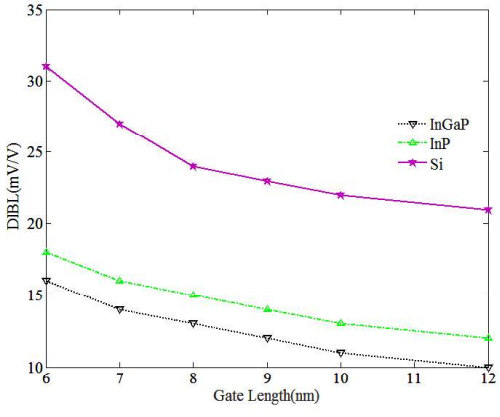


شکل (۶):منحنی چگالی حامل‌های الکترون و حفره بر حسب عرض کانال در طول گیت‌های ۶ و۱۲ نانومتر با ماده کانال InGaP در حالت خاموش.



شکل (۷): نمودار شیب زیر آستانه ترانزیستورهای بدون پیوند با مواد InGaP،InP و Si در طول گیت‌های ۶ تا۱۲ نانومتر.

منحنی دیبل ترانزیستورهای بدون پیوند با مواد کانال InGaP، InP و Siدر طول گیت‌های ۶ تا۱۲ نانومتر در شکل (۸) نشان داده شده است. با کاهش طول گیت در همه‌ی ترانزیستورها مقدار دیبل افزایش می‌یابد.

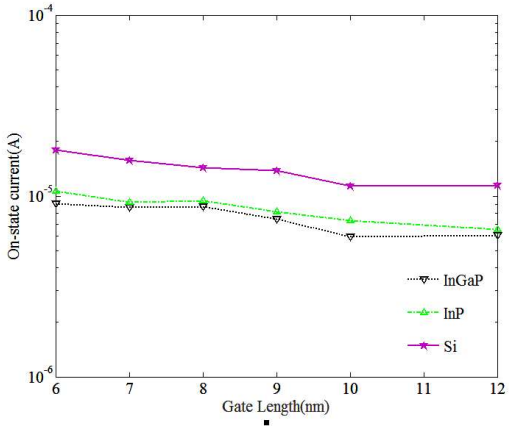


شکل (۸): نمودار دیبل ترانزیستورهای بدون پیوند با مواد InGaP، InP و Si در طول گیت‌های ۶ تا۱۲ نانومتر.

[Downloaded from jiaeee.com on 2026-11-20]

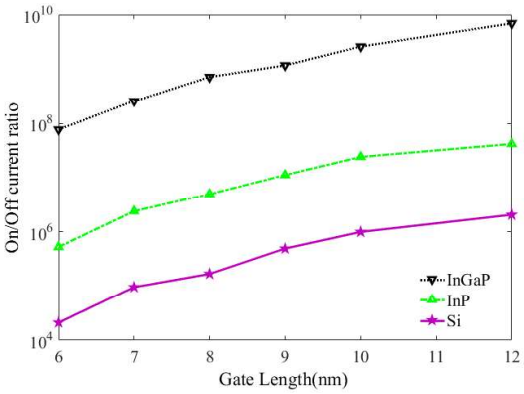
[DOR: 20.1001.1.26765810.1397.15.2.1.1]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.15- No.2- Summer 2018

منحنی جریان حالت روشن ترانزیستورهای بدون پیوند با مواد کانال InP،InGaP و Si در طول گیت‌های ۶ تا۱۲ نانومتر در شکل (۹) قابل مشاهده است. با افزایش طول گیت در همه‌ی ترانزیستورها مقدار جریان حالت روشن کاهش می‌یابد.



شکل(۹): نمودار جریان حالت روشن ترانزیستورهای بدون پیوند با مواد کانال InGaP،InPوSiدر طول گیت‌های ۶ تا۱۲ نانومتر.

شکل (۱۰) نمودار منحنی نسبت جریان حالت روشن به خاموش ترانزیستورهای بدون پیوند با مواد کانال InGaP، InP و Si در طول گیت‌های ۶ تا۱۲ نانومتر را نشان می‌دهد. با کاهش طول گیت در همه‌ی ترانزیستورها، مقدار نسبت جریان روشن به خاموش کاهش می‌یابد.



شکل(۱۰): نمودارمیزان نسبت جریان روشن به خاموش ترانزیستورهای بدون پیوند با مواد کانال InP, InGaP, Si در طول گیت‌های ۶ تا۱۲ نانومتر.

۵- نتیجه‌گیری

در این تحقیق ترانزیستورهای بدون پیوند با گیت از نوع تمام اطرافGAAبا کانال مواد InGaP،InPوSiاز نظر مشخصات الکترونیکی از قبیل دیبل، شیب زیر آستانه، جریان حالت خاموش، جریان حالت روشن و نسبت جریان حالت روشن به خاموش مورد بررسی قرار گرفته است. همچنین در این مقاله طول گیت ترانزیستورها از ۶ تا ۱۲ نانومتر تغییر داده شد و پارامترهای الکترونیکی ذکرشده محاسبه و با هم مورد مقایسه قرار گرفت. با کاهش طول گیت مشخصات الکترونیکی افزاره (دیبل، شیب زیر آستانه، جریان حالت خاموش) بدلیل کنترل کمتر گیت روی حامل‌های داخل کانال در حالت خاموش تضعیف می‌گردد .مهمترین چالش ترانزیستورهای بدون پیوند مربوط به تخلیه حامل‌های کانال در حالت خاموش است که معمولا باعث کاهش کارایی این نوع از ترانزیستورها می‌شود. با انتخاب مناسب ماده کانال می‌توان بهبود مناسبی در عملکرد ترانزیستورهای بدون پیوند مشاهده کرد. مطالعات انجام شده در این تحقیق نشان داد که مشخصه ترانزیستورهای بدون پیوند با ماده کانال InGaP نسبت به دیگر مواد مورد مطالعه بهبود قابل توجهی یافته است.

مراجع

[۱]ن. قبادی، ع. افضلی کوشا، "بررسی و مدلسازی اثر ناپایداری در دمای بالا و بایاس منفی (NBTI) و تزریق حامل پر انرژی (HCL) در افزاره‌های چند گیتی نانو متری،" مهندسی برق و الکترونیک ایران، سال دوازدهم، شماره دوم، تابستان ۱۳۹۴

[۲] م. مرادی نسب، م. فتحی پور، "مدل بسته جریان-ولتاژ در ترانزیستورهای نانولوله کربنی آلاییده،" مهندسی برق و الکترونیک ایران، سال هشتم، شماره دوم، پاییز و زمستان ۱۳۹۰

[3] K. J. Kuhn, "Considerations for Ultimate CMOS Scaling," IEEE Transactions on Electron Devices, vol. 59, pp. 1813-1828, 2012.

[4] S. Sahay and M. J. Kumar, "A Novel Gate-Stack-Engineered Nanowire FET for Scaling to the Sub-10-nm Regime," IEEE Transactions on Electron Devices, vol. 63, pp. 5055-5059, 2016.

[5] T. A. Oproglidis, A. Tsormpatzoglou, D. H. Tassis, T. A. Karatsori, S. Barraud, G. Ghibaudo, et al., "Analytical Drain Current Compact Model in the Depletion Operation Region of Short-Channel Triple-Gate Junctionless Transistors," IEEE Transactions on Electron Devices, vol. 64, pp. 66-72, 2017.

[6] P. Jong-Tae and J. P. Colinge, "Multiple-gate SOI MOSFETs: device design guidelines," IEEE Transactions on Electron Devices, vol. 49, pp. 2222-2229, 20.۰۲

[7] J.-P. Colinge, C.-W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, et al., "Nanowire transistors without junctions," Nat Nano, vol. 5, pp. 225-229, 03//print 2010.

[8] R. Rios, A. Cappellani, M. Armstrong, A. Budrevich, H. Gomez, R. Pai, etal., "Comparison of Junctionless and Conventional Trigate Transistors With Down to 26 nm," IEEE Electron Device Letters, vol. 32, pp. 1170-1172, 2011.

[9] S. Sahay and M. J. Kumar" ,Nanotube Junctionless FET: Proposal, Design, and Investigation," IEEE Transactions on Electron Devices, vol. 64, pp. 1851-1856, 2017.

[10] V. Thirunavukkarasu, Y. R. Jhan, Y. B. Liu, and Y. C. Wu, "Performance of Inversion, Accumulation, and JunctionlessMode n-Type and p-Type Bulk Silicon FinFETs With 3-nm Gate Length," IEEE Electron Device Letters, vol. 36, pp. 645-647, 2015.

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.2.1.1]

[11] S. Migita, Y. Morita, T. Matsukawa, M. Masahara, and H. Ota, "Experimental Demonstration of Ultrashort-Channel (3 nm) Junctionless FETs Utilizing Atomically Sharp V-Grooves on SOI," IEEE Transactions on Nanotechnology, vol. 13, pp. 208-215, 2014.
[12] M. H. Han, C. Y. Chang, H. B. Chen, J. J. Wu, Y. C. Cheng, and Y. C. Wu, "Performance Comparison Between Bulk and SOI Junctionless Transistors," IEEE Electron Device Letters, vol. 34, pp. 169-171, 2013.
[13] L. Ansari, B. Feldman, G. Fagas, J.-P. Colinge, and J. C. Greer, "Subthreshold behavior of junctionless silicon nanowire transistors from atomic scale simulations," Solid-State Electronics, vol. 71, pp. 58-62, 5// 2012.
[14] Y. R. Jhan, V. Thirunavukkarasu, C. P. Wang, and Y. C. Wu, "Performance Evaluation of Silicon and Germanium Ultrathin Body (1 nm) Junctionless Field-Effect Transistor With Ultrashort Gate Length (1 nm and ٣ nm)," IEEE Electron Device Letters, vol. 36, pp. 654-656, 2015.
[15] A. Svizhenko, M. P. Anantram, T. R. Govindan, B. Biegel, R. Venugopal, A. J., et al., "Two-dimensional quantum mechanical modeling of nanotransistors," Journal of Applied Physics, vol ,٩١ .pp. 2343-2354, 2002.
[16] G. Fiori and G. Iannaccone, "Three-Dimensional Simulation of One-Dimensional Transport in Silicon Nanowire Transistors," IEEE Transactions on Nanotechnology, vol. 6, pp. 524-529, 2007.
[17] M. P. Anantram and A. Svizhenko , "Multidimensional Modeling of Nanotransistors," IEEE Transactions on Electron Devices, vol. 54, pp. 2100-2115, 2007.

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.2.1.1]