اسیلاتور متعامد تزویج چندگانه با شیفت فاز مطلوب جهت بهبود نویز فاز

مرضیه چهاربور[1] حجت غنودی[2]

۱- دانش آموخته کارشناسی ارشد - دانشکده مهندسی برق- موسسه ی آموزش عالی هدف – ساری - ایران

Marzieh.Chaharboor@gmail.com

۲- استادیار- دانشکده فنی و مهندسی - دانشگاه مازندران – بابلسر - ایران

h.ghonoodi@umz.ac.ir

چکیده: در این مقاله یک اسیلاتور متعامد CMOS LC تزویج چندگانه (MC-QO) به منظور تولید سیگنال‌های متعامد با نویز فاز کم و توان مصرفی پایین ارائه شده است. دراین کار، هسته ی اسیلاتور توسط شبکه تزویج فعال و پسیو در هر طبقه تزویج می شود. در شبکه تزویج فعال از تکنیک برش جریان دینامیکی فعال استفاده شده که خود به تنهایی موجب تولید شیفت فاز و در نتیجه اصلاح نویز و خطای فاز در سیگنال خروجی می شود. اما برای بهبود این عملکرد، از تزویج پسیو نیز در این کار کمک گرفته شده است. شبکه تزویج پسیو شامل یک فیلتر RLC می باشد که علاوه بر کاهش ذاتی نویز، سبب تولید فاز جبران کننده جهت کاهش شیفت فاز رزوناتور (RPS) به منظور بهبود نویز فاز خواهد شد که نتایج تحلیل نیز آن را تائید می‌کند. استفاده از دو مسیر برای تزویج کمک شایانی در افزایش ضریب تزویج داشته که موجب بهبود دقت فاز خروجی می‌شود. این در حالیست که شبکه تزویج پسیو هیچ توانی مصرف نمی‌کند. علاوه بر این، بکارگیری تکنیک شکل‌دهی جریان در منبع جریان دم، سبب بهبود عملکرد مدار می‌شود. جهت تائید عملکرد ساختار اسیلاتور متعامد پیشنهادی و تحلیل‌های ارائه شده، اسیلاتور تزویج چندگانه در تکنولوژی TSMC ۰/۱۸ میکرومتر CMOS فرکانس رادیویی و در فرکانس پایه ۳/۳۸ گیگا هرتز شبیه سازی شده است. مصرف توان ۴/۶ میلی وات از منبع تغذیه ۱/۸ ولت بوده، نویز فاز ۱۲۸/۲- (دسی بل/ هرتز) در آفست ۱ مگاهرتز و ۱۳۸/۵- (دسی بل/ هرتز) در آفست ۳ مگاهرتز با ضریب کیفیت ۱۰/۸ می‌باشد و در نهایت معیار شایستگی مطلوب ۱۹۲/۲۵- (دسی بل/هرتز) در فرکانس آفست ۱ مگاهرتز بدست آمده است.

کلمات کلیدی: CMOS فرکانس رادیویی، اسیلاتور متعامد LC، نویز فاز، دقت فاز، مصرف توان.

تاریخ ارسال مقاله : ۱۳۹۷/۰۲/۰۴

تاریخ پذیرش مشروط مقاله: ۱۳۹۷/۰۷/۰۸

تاریخ پذیرش مقاله: ۱۳۹۸/۰۱/۲۱

نام نویسنده‌ی مسئول: دکتر حجت غنودی

نشانی نویسنده‌ی مسئول: ایران – مازندران – بابلسر – دانشگاه مازندران – دانشکده ی فنی و مهندسی

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1398.16.4.17.8]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

فهرست اختصارها و نشانه‌ها

MC-QO	اسیلاتور متعامد تزویج چندگانه
RPS	شیفت فاز رزوناتور
Q	ضریب کیفیت
LC-QO	اسیلاتور متعامد LC
FOM	معیار شایستگی
ISF	تابع حساسیت ضربه
$M_{CC,N}$	ترانزیستورهای اتصال ضربدری و مکمل ماسفت نوع N
$M_{CC,P}$	ترانزیستورهای اتصال ضربدری و مکمل ماسفت نوع P
C_2	خازن تزویج
C_C	خازن فیلتر RLC
L_C	سلف فیلتر RLC
$M_{PS(1,2)}$	ترانزیستورهای شیفت دهنده‌ی فاز
I_{Ps}	جریان شیفت دهنده‌ی فاز
ϕ_1	شیفت فاز ناشی از تزویج فعال
ϕ_2	شیفت فاز ناشی از تزویج پسیو
m_p	ضریب تزویج پسیو

۱- مقدمه

سیستم‌های مخابرات بی سیم مدرن نظیر: گیرنده‌های تبدیل مستقیم[۱]، مستقیم[۱]، معماری‌های رد تصویر[۲]، بازیابی کلاک و داده[۳] و مدولاتورها[۴] نیازمند به سیگنال‌های هم فاز و متعامد[۵] هستند [۱]، [۲-۳] اهمیت سیگنال‌های متعامد با نویز فاز پایین با توجه استانداردهای مخابراتی مدرن امری غیر قابل انکار است [۴]. چندین روش جهت تولید سیگنال‌های متعامد وجود دارد [۵] که می‌توان به مقسم فرکانسی تقسیم کننده به ۲ [۶]، فیلترهای چند فاز [۷]، اسیلاتورهای حلقوی با طبقات زوج [۸] و اسیلاتورهای متعامد LC (LC-QOs) [۴] اشاره نمود. اسیلاتورهای حلقوی با اندازه‌های تراشه‌ی کوچک از روش های متداول جهت تولید سیگنال‌های چند فاز می‌باشند . اما عملکرد نویز فاز آنها به دلیل استفاده از تانک‌های بدون سلف، نامطلوب است [۸]. در میان روش‌های مذکور، روش مورد توجه به منظور تولید سیگنال متعامد، اسیلاتورها با تانک‌های LC می‌باشد که تزویج[۶] آنها به یکدیگر با ویژگی نویز فاز مطلوب همراه است [۹-۱۲]. بنابراین، اسیلاتورهای متعامد LC با نویز فاز پایین به طور وسیعی در سیستم‌های مخابرات بی سیم به کار می‌روند [۱۲]. در ساختارهای اسیلاتور های متعامد LC، با توجه به شرایط بارک هاوزن[۷]، هاوزن[۷]، یک اختلاف فاز ۹۰ درجه مابین خروجی‌ها تحت شرایط تطبیق کامل وجود دارد [۱۳]. دقت اختلاف فاز مابین خروجی‌های LC-QO ها الزامی است و عدم دقت فاز، محدودیت‌هایی را برای فرستنده-گیرنده به دلیل عدم دقت در مدولاسیون متعامد به وجود می آورد. اسیلاتورهای متعامد LC متداول، متشکل از دو اسیلاتور اتصال ضربدری یکسان می‌باشند که می‌توانند به مولفه‌های پسیو[۸] جهت عملکرد تزویج پسیو بدون نویز [۱۴-۱۶] و یا به ادوات فعال جهت عملکرد تزویج فعال متصل گردند [۱۷]. اسیلاتورهای متعامد LC با تزویج پسیو به دلیل آنکه مولفه‌های پسیو تقریبا بدون نویز می‌باشند، عملکرد نویز فاز مطلوب‌تری را نشان می‌دهند . در تضاد با تزویج های پسیو، تزویج های فعال معمولا سبب تخریب عملکرد نویز فاز شده و مصرف توان آنها نیز بالا می‌باشند. اما، این تزویج‌ها به حدی قوی هستند تا بتواند خطاهای فاز ناشی از عدم تطبیق[۹] مولفه‌ها را برطرف سازند [۱۵-۱۸].

مطالعات مختلفی به منظور تحلیل مکانیزم‌های تزویج و دقت فاز اسیلاتورهای متعامد LC انجام شده است [۱۹-۲۳]، [۷]. ایجاد خروجی‌های متعامد با دقت فاز بالا و عملکرد نویز فاز مطلوب از چالشهای مهم در طراحی این نوع اسیلاتورها می باشد که در سالهای اخیر مورد توجه بسیاری از پژوهشگران در این زمینه قرار گرفته است [۲۴-۲۵] . جهت بررسی عملکرد اسیلاتورهای متعامد LC ، چند پارامتر مهم نظیر: نویز فاز، دقت فاز و مصرف توان می‌بایست در نظر گرفته شوند [۴]، [۵] . تلاش‌های فراوانی به منظور طراحی اسیلاتورهای متعامد LC با نویز فاز و مصرف توان پایین صورت گرفته است [۱۵-۲۶]. نویز فلیکر[۱۰] و نویز حرارتی[۱۱] ناشی از ادوات فعال و اتلافی سهم زیادی در میزان کلی نویز فاز اسیلاتورهای LC دارند [۲۷] . بنابراین، المان‌های پسیو جهت عملکرد تزویج ترجیح داده می‌شوند. اما زمانیکه عدم تطبیق میان مؤلفه‌های پسیو اسیلاتورهای LC اتفاق می‌افتد، تزویج‌های خازنی به حد کافی جهت غلبه بر آنها قوی نمی‌باشند و موجب پیداش خطای فاز قابل توجه ای می‌گردند [۲۸] . بیشتر مطالعات انجام شده نشان می‌دهند که عدم تطابق میان المان‌های تانک‌های LC عامل اصلی خطای فاز است [۲۳]. یک شیفت دهنده‌ی فاز[۱۲]در مسیر تزویج می‌تواند یک سیگنال با شیفت فاز موثر جهت بهبود حساسیت فاز و عملکرد تزویج ایجاد نماید [۱۸].

در این کار، یک اسیلاتور متعامد تزویج چندگانه (MC-QO) ارائه می‌شود که از هر دو تکنیک تزویج فعال و پسیو جهت تولید سیگنال‌های متعامد بهره گرفته است. ترکیب این دو تکنیک در ساختار اسیلاتور متعامد (QO) پیشنهادی به منظور بهبود عملکرد تزویج و ایجاد شیفت فاز مطلوب، سودمند است. بنابراین، اسیلاتور متعامد پیشنهادی دقت فاز بالایی را از خود نشان می‌دهد در حالیکه نویز فاز آن نیز مطلوب است. علاوه براین، بکارگیری دو شبکه تزویج میزان اتلاف توان را افزایش نمی‌دهد. در ادامه ی این مقاله، بخش ۲ به توصیف ساختار اسیلاتور متعامد و ارائه روابطی جهت استخراج شیفت فاز شبکه تزویج، تخصیص یافته است. در بخش ۳، نویز فاز و دقت فاز اسیلاتور متعامد تزویج چندگانه جهت اطمینان از عملکرد آن مورد بررسی قرار می‌گیرد و در فرکانس نوسان ۳/۳۸ گیگا هرتز شبیه سازی می‌شود. در نهایت در بخش ۴، نتایج و جمع‌بندی حاصل از محتوای مقاله فراهم گردیده است.

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.17.8]

۲- اسیلاتور متعامد تزویج چندگانه (MC-QO) پیشنهادی

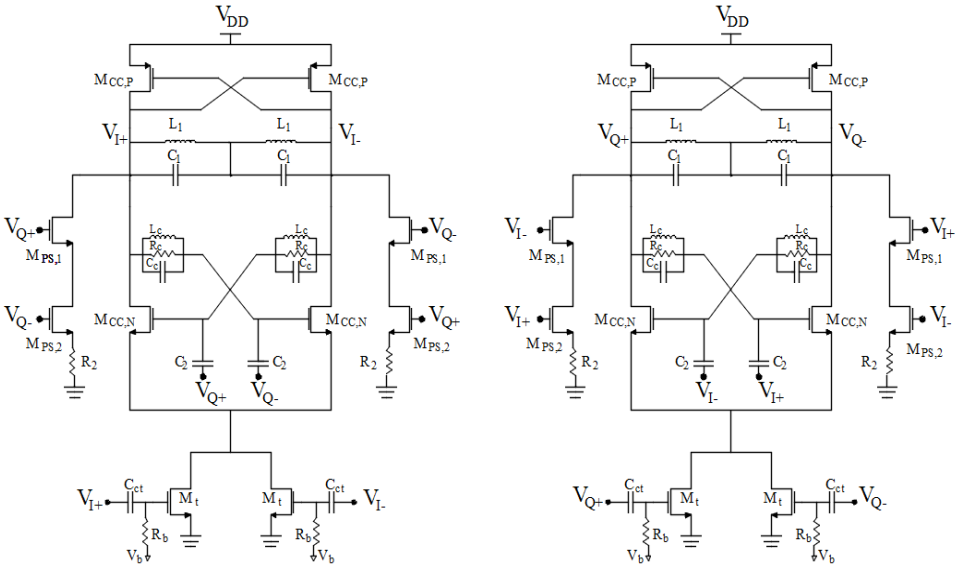
ساختار اسیلاتور متعامد CMOS LC تزویج چندگانه[۱۳] پیشنهادی همانطور که در شکل ۱ قابل مشاهده است، شامل دو اسیلاتور LC اتصال ضربدری یکسان و مکمل[۱۴] است که توسط ادوات تزویج فعال و پسیو به طور همزمان سیگنال‌های متعامد را تولید می‌کنند. توپولوژی مکمل بکاربرده شده ($M_{CC,P}$,$M_{CC,N}$) مقاومت منفی را جهت جبران تلفات تانک LC فراهم می‌سازد که منجر به بهبود نویز فاز و توان مصرفی ساختار پیشنهادی می شود [۲۹-۳۱].

شبکه‌های تزویج بکار برده شده شامل ترانزیستورها و خازن ها می‌باشند که شیفت فاز ۹۰ درجه را جهت تولید خروجی های MC-QO اعمال می‌کنند. چهار خازن همسان (C_2) مابین گیت و درین زوج‌های سوئیچینگ ($M_{CC,N}$) جهت تزویج هسته‌ی اسیلاتورهای LC همانطور که در شکل ۱ نشان داده شده است، قرار گرفته اند. خازن‌های (C_C) مابین گیت‌ها و درین‌های اسیلاتور متعامد پیشنهادی جهت اجتناب از تزریق مستقیم اضافه می‌شوند که فراهم کننده‌ی مسیر AC نیز می‌باشند. تحت این شرایط، مولفه‌های DC مسدود می‌شوند. بنابراین، سلف‌های (L_C) به صورت موازی با خازن‌ها (C_C) قرار گرفته اند تا مسیر DC ایجاد شود. علاوه بر فراهم ساختن مسیرهای AC و DC، آنها به صورت یک فیلتر به منظور حذف نویز باند جانبی نیز عمل می‌کنند [۳]. فیلتر شدن نویز منجر به بهبود نویز فاز در QO پیشنهادی می‌گردد که با افزایش دقت فاز نیز همراه است. مقادیر C_C و L_C می‌بایست متناسب با فرکانس نوسان MC-QO انتخاب شوند و مقاومت (R_C) به منظور ملاحظات تلفات فیلتر به صورت موازی با آنها قرار می‌گیرد.

همانطور که در شکل ۱ نشان داده شده است، یک شیفت دهندهی فاز در شاخه‌های موازی قرار گرفته است که یک رهیافت مفید جهت ایجاد شیفت فاز مناسب و به حداقل رساندن حساسیت فاز QO در قبال عدم تطبیق می‌باشد. این شاخه‌های تزویج متشکل از ترانزیستورهای سری و آبشاری[۱۵] (M_{PS_2} و M_{PS_1}) است که به صورت سری با مقاومت تبهگنی[۱۶] (R_2) در سورس قرار دارند.گیت های ترانزیستورهای سری در هر سمت به خروجی‌های تفاضلی سمت دیگر متصل هستند. به منظور درک بهتر، شاخه‌های موازی شیفت دهنده‌ی فاز را در یک سمت و در لحظه‌ی حساس و آسیب پذیر عبور از صفر[۱۷] سیگنال‌هایی که ناشی از خروجی سمت دیگر بوده و در گیت‌ها موجود می‌باشند، مطابق با شکل ۲ می‌توان در نظر گرفت.

روشن است که گیت‌های ترانزیستورهای M_{PS_2} و M_{PS_1} به سیگنال‌های خروجی متصل می‌باشند. در شکل ۲.(الف)، ولتاژ گیت ترانزیستور M_{PS_1} مقدار پیک مثبت ولتاژهای خروجی است و روشن می‌باشد در حالیکه، ولتاژ گیت ترانزیستور M_{PS_2} در مقدار پیک منفی ولتاژهای خروجی است و خاموش می‌باشد. بنابراین، عمل تزویج صورت نمی‌پذیرد و هیچ جریان نویزی به تانک LC توسط شیفت دهنده‌ی فاز تزریق نمی‌گردد. شرایط مشابه و عدم تزریق جریان نویز همانطور که در شکل ۲. (ب) نیز نشان داده شده است، برقرار می‌باشد. ولتاژ گیت ترانزیستور M_{PS_1} که در مقدار پیک منفی ولتاژهای خروجی است، خاموش می‌باشد و عمل تزویج صورت نمی‌پذیرد [۱۸].

همان‌طور که در شکل ۲.(ج) قابل مشاهده می‌باشد، زمانیکه هر دو ترانزیستور M_{PS_2} و M_{PS_1} روشن هستند، جریان (I_{PS}) به تانک LC متصل شده و شیفت فاز خوبی بین جریان I_{PS} و ولتاژ گیت ترانزیستور M_{PS_2} و M_{PS_1} ایجاد می شود. مقاومت (R_2) جریان نویز ترانزیستور M_{PS_2} را مسدود کرده و زمانیکه M_{PS_1} خاموش است سبب خاموش شدن سریعتر M_{PS_2} می‌گردد و به این ترتیب نویز فلیکر آنها کاهش می‌یابد [۱۸].

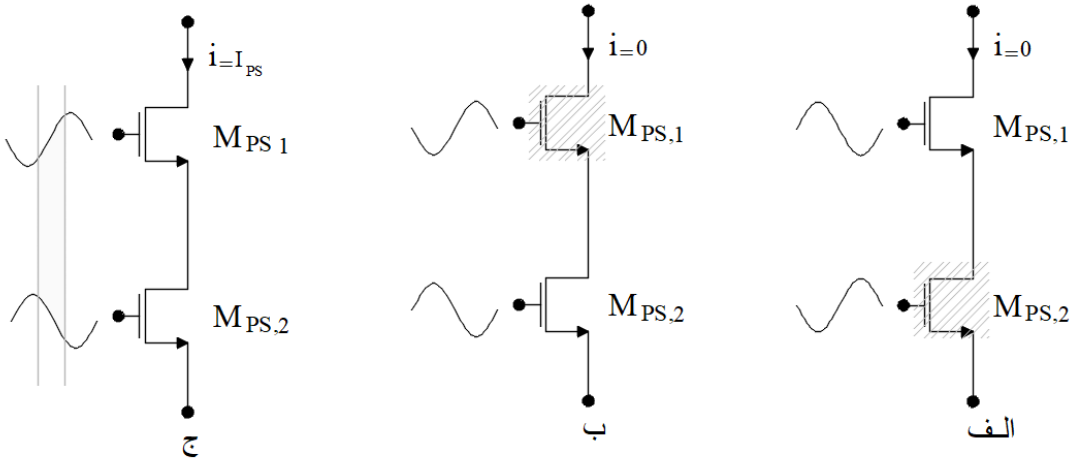


شکل (۱): اسیلاتور متعامد تزویج چندگانه پیشنهادی (MC-QO)

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1398.16.4.17.8]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

دقت شود که شاخه‌های تزویج فعال هرچند شیفت فاز خوبی را ایجاد می نمایند اما این شیفت فاز به مقدار مطلوب ۹۰ درجه نمی رسد، شبکه‌ی تزویج پسیو به ساختار افزوده شده تا یک شیفت فاز ۹۰ درجه با دقت بالا را فراهم سازد.



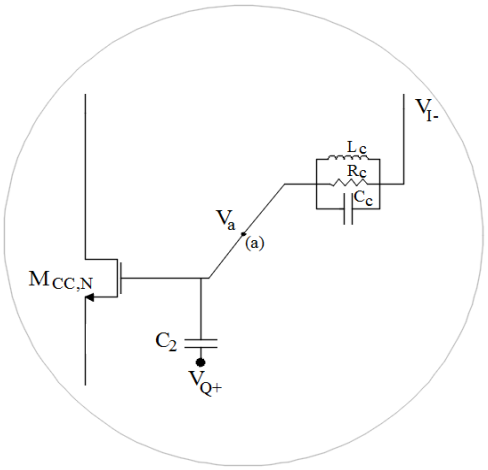
شکل (۲): تزریق جریان نویز توسط شیفت دهنده‌ی فاز،۲.(الف) زمانیکه ترانزیستور M_{PS_1} روشن می‌باشد، ۲.(ب) زمانیکه ترانزیستور M_{PS_2} روشن می‌باشد، ۲.(ج) زمانیکه جریان تزریقی (I_{PS}) توسط شیفت دهنده‌ی فاز هدایت می‌گردد.

بنابراین، شیفت فاز ۹۰ درجه ایجاد شده توسط اسیلاتور متعامد پیشنهادی ناشی از شیفت فاز تزویج فعال (ϕ_1) و شیفت فاز تزویج پسیو (ϕ_2) می‌باشد. بنابراین:

$$\phi_1 + \phi_2 = \frac{\pi}{2} \qquad (۱)$$

شیفت فاز ایجاد شده با دقت بسیار بالا در ساختار پیشنهادی دارای مزیت‌هایی نظیر: اجتناب از تزریق در زمان‌های حساس عبور از صفر و افزایش ضریب کیفیت موثر می‌باشد که می تواند نویز فاز را بهبود دهد. همچنین در ساختار پیشنهادی تلاشی برای بهبود خطای فاز نیز صورت گرفته است. باتوجه به وجود عدم تطبیق در دو سمت I و Q اختلاف فاز خروجی‌ها از میزان ۹۰ درجه منحرف شده و خطای فاز بوجود می‌آید. در MC-QO پیشنهادی، استفاده از دو مسیر تزویج در حالیکه فاز جریان خروجی را کنترل می کند، ضریب تزویج را افزایش داده که منجر به کاهش خطای فاز خواهد شد. همانطور که در بالا اشاره شد، در ساختار MC-QO یک فاز جبران ساز[۱۸] با کمک خازن تزویج پسیو جهت ایجاد شیفت فاز ۹۰ درجه توسط تزویج چندگانه ایجاد می‌گردد. به منظور درک بهتر از فاز جبران‌ساز، محاسبات مربوط به آن در ادامه‌ی مطالب فراهم گردیده است.

با توجه به شکل ۳ و با اعمال KCL درگره‌ی (a) و با فرض ولتاژ (V_a) در این گره (مابین اتصال گیت-درین)، روابط فاز جبران‌ساز قابل محاسبه می‌باشد.



شکل (۳): تزویج خازنی گیت-درین با فیلتر LC

با توجه به KCL در گره‌ی (a) داریم:

$$\frac{V_a - V_{I-}}{X_{L_c}} + \frac{V_a - V_{I-}}{R_C} + \frac{V_a - V_{I-}}{X_{C_c}} + \frac{V_a - V_{Q+}}{X_{C_2}} = 0 \qquad (۲)$$

بطوریکه در رابطه‌ی (۲):

$$X_{L_c} = jL_C\omega, \quad X_{C_c} = \frac{1}{jC_C\omega}, \quad X_{C_2} = \frac{1}{jC_2\omega} \qquad (۳)$$

در صورتیکه مقادیر $V_{I-} = A\cos(\omega_0 t)$ و $V_{Q+} = A\cos(\omega_0 t + \frac{\pi}{2})$ تعریف شوند و با جایگذاری روابط فازور معادل برای آنها ($V_{Q+} = Ae^{j\frac{\pi}{2}}$ و $V_{I-} = A$)، رابطه‌ی (۴) بدست می آید:

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1398.16.4.17.8]

$$V_a\left[\frac{1}{jL_C\omega}+\frac{1}{R_C}+j\left(C_C+C_2\right)\omega\right]-A\left[\frac{1}{jL_C\omega}+\frac{1}{R_C}+jC_C\omega-C_2\omega\right]=0 \qquad (۴)$$

به این ترتیب ولتاژ (V_a) بدست می‌آید :

$$V_a = A\frac{a+jb}{c+jd} \qquad (۵)$$

که در این رابطه $a=R_C-L_C.C_C.\omega^2.R_C$ ، $b=L_C.\omega-L_C.C_2.\omega^2R_C$ ، $c=R_C\ [1-L_C\ (C_C+C_2)\ \omega^2]$ و $d=L_C\omega$ می‌باشند. بنابراین، فاز ولتاژ (V_a) در گره‌ی (a) توسط رابطه‌ی (۶) قابل محاسبه است:

$$\angle V_a = tan^{-1}\left(\frac{b}{a}\right)-tan^{-1}\left(\frac{d}{c}\right) \qquad (۶)$$

با در نظر گرفتن مقادیر تقریبی $L_C.C_C=L_1.C_1=1/\omega^2$ و در نظر گرفتن ضریب تزویج پسیو $m_p=C_2/C_C$ و بر اساس رابطه‌ی (۵) روابط زیر بدست می‌آیند:

$$a=R_C-L_C.C_C.\omega^2.R_C=0 \qquad (۷)$$

$$b=L_C.\omega-L_C.C_2.\omega^2R_C=L_C.\omega-m_P.R_C \qquad (۸)$$

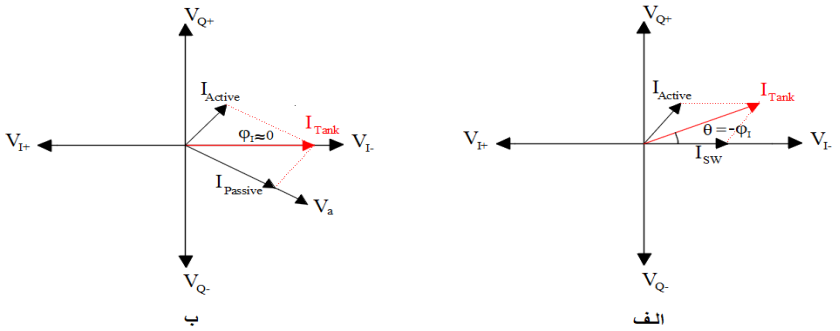
$$c=R_C[1-L_C(C_C+C_2)\omega^2]=-R_C.m_p \qquad (۹)$$

پس از جایگذاری روابط (۷)، (۸) و (۹) در رابطه‌ی (۶)، رابطه ی نهایی زیر بدست می‌آید:

$$\angle V_a=-\frac{\pi}{2}+tan^{-1}\left(\frac{L_C.\omega}{m_P.R_C}\right) \qquad (۱۰)$$

می‌بایست توجه داشت که مقدار فاز بدست آمده از رابطه‌ی (۱۰) منفی است، به دلیل آنکه $m_P.R_C>L_C.\omega$ و $0\le\angle V_a\le-\pi/2$ می‌باشد. ایجاد یک شیفت فاز منفی در مسیر تزویج پسیو که می تواند شیفت فاز مثبت در مسیر تزویج اکتیو را جبران کند و در نهایت فاز تزریقی مسیر تزویج را هم فاز با ولتاژ خروجی گرداند از ویژگی اصلی ساختار اسیلاتور متعامد پیشنهادی می‌باشد.

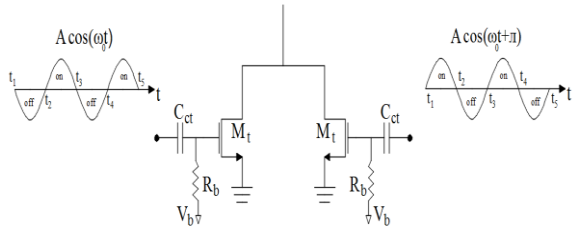
به دلیل آنکه جریان تزریقی به رزوناتور به صورت برآیند دو بردار مربوط به شاخه‌های تزویج فعال و پسیو است، فاز جریان تزریقی به آن ($\theta=\varphi_I$) می‌تواند صفر شود ($\varphi_I=0$). همانطورکه در شکل ۴ قابل مشاهده است و بر اساس رابطه‌ی (۱۰)



شکل (۴): نمودار فازور MC-QO پیشنهادی برای ایجاد تزویج هم فاز (In-phase) ، ۴.(الف) نمودار فازور تنها با تزویج فعال ،۴. (ب) فازور با تزویج‌های فعال و پسیو

با انتخاب مقدار مناسب برای m_p شیفت فاز ۹۰ درجه بدست می‌آید. در حقیقت جریان شبکه‌ی تزویج با شیفت فاز ۹۰ درجه موجب بهبود شیفت فاز رزوناتور[۱۹] (RPS) شده و به این ترتیب ضریب کیفیت موثر اصلاح شده و نویز فاز بهبود می یابد [۱۸].

در منبع جریان دم[۲۰] ساختار ارائه شده، ترانزیستورهای تفاضلی از هر دو روش بایاسینگ ثابت [۲۱] و بایاسینگ سوئیچ خود[۲۲] بهره گرفته‌اند. مطابق با شکل ۵ ، سیگنال‌های خروجی ازگره‌های خروجی (V_{I+}، V_{I-} ، V_{Q+}، V_{Q-}) در هر سمت به گیت‌های ترانزیستورهای بایاسینگ(M_t) همان سمت تزریق می‌گردند. عمل بایاسینگ به صورت خاموش و روشن و مکمل سبب کاهش نویز فلیکر در دم شده که منجر به کاهش نویز فاز در فرکانس‌های آفست نزدیک به حامل می‌گردد [۳۲]. بر اساس مطالعاتی که تا کنون جهت بهبود نویز فاز صورت گرفته است، روش شکل‌دهی جریان دم سبب کاهش تابع حساسیت ضربه ی[۲۳] (ISF) موثر می‌گردد [۳۰].



شکل (۵): بایاسینگ ثابت و بایاسینگ سوئیچ متقارن در دم

[Downloaded from jiaeee.com on 2026-11-20]

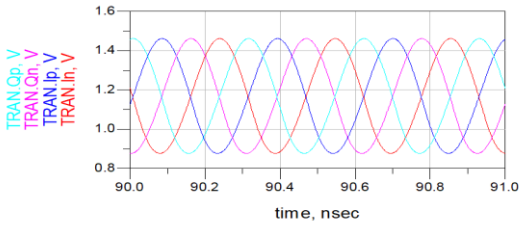
[DOR: 20.1001.1.26765810.1398.16.4.17.8]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

۳-نتایج شبیه‌سازی

جهت تائید نحوه‌ی عملکرد اسیلاتور متعامد تزویج چندگانه ی (MC-QO) پیشنهادی که در شکل ۱ قابل مشاهده است، این ساختار با استفاده از تکنولوژی CMOS TSMC 0.18 μ_m با مقادیر پارامترهای درج شده در جدول ۱ شبیه سازی شده است. شکل ۶ خروجی های اسیلاتور متعامد LC پیشنهادی را در حالت پایدار[۲۴] زمان گذرا[۲۵] در فرکانس مرکزی ۳/۳۸ گیگاهرتز و ولتاژ تغذیه ۱/۸ ولت نشان می دهد.

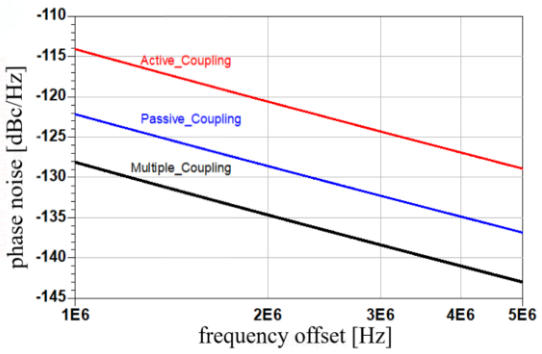
جدول (۱): مقادیر پارامترهای بکار برده شده جهت پیاده‌سازی LC-QO پیشنهادی

پارامتر	مقدار	واحد
L_1, L_C	۰/۴	nH
C_1, C_c	۰/۶	pF
R_C	۳۰۹	Ohm
C_2	۱/۷	pF
M_{PS_1}	۳۰/(۰/۱۸)	µm / µm
M_{PS_2}	۳۰/(۰/۱۸)	µm / µm
R_2	۴	kOhm
$M_{CC,N}$	۵۰/(۰/۱۸)	µm / µm
$M_{CC,P}$	۵۰/(۰/۱۸)	µm / µm
M_t	۶ /(۰/۱۸)	µm / µm
C_t	۰/۲۵	µm / µm
R_b	۵۰	Ohm



شکل(۶): خروجی های متعامد اسیلاتور MC-QO پیشنهادی در فرکانس ۳/۳۸ گیگاهرتز

نویز فاز MC-QO مطابق با شکل ۷ برابر با ۱۲۸/۲- (دسی بل/هرتز) در فرکانس آفست ۱ مگاهرتز و ۱۳۸/۵- (دسی بل/هرتز) در فرکانس آفست ۳ مگاهرتز با ضریب کیفیت (Q=۱۰ /۲) برای تانک LC و ضریب کیفیت (Q_{filter}=۱۱/۲) برای فیلتر RLC می‌باشد.



شکل(۷): میزان نویز فاز بدست آمده ازنتایج شبیه‌سازی ساختار MC-QO پیشنهادی همراه با (تزویج های فعال و پسیو) در مقایسه با میزان نویزفاز QO تنها همراه با تزویج فعال و میزان نویزفاز QO تنها همراه با تزویج پسیو.

همانطور که در شکل ۷ قابل مشاهده می‌باشد، نویز فاز QO برابر با ۱۱۴/۱- (دسی بل/ هرتز) در فرکانس آفست ۱ مگاهرتز با بکارگیری تنها تکنیک تزویج فعال می‌باشد و برابر با ۱۲۲/۱- (دسی بل/ هرتز) در فرکانس آفست ۱ مگاهرتز با بکارگیری تنها تکنیک تزویج پسیو می-باشد. توجه شود که شبیه سازی در ۳ ساختار در شرایط توان، عدم تطابق و دیگر مشخصات برابر می‌باشد. نویز فاز شبیه‌سازی شده‌ی اسیلاتور متعامد پیشنهادی عملکرد مطلوب‌تری را نسبت به حالتی که تنها از یکی از تکنیک‌ها استفاده می‌شود، از خود نشان می‌دهد.

مجموع توان مصرفی ۴/۶ میلی وات از منبع تغذیه ۱/۸ ولت بوده و به این ترتیب میزان معیار شایستگی[۲۶] (FOM) بر اساس رابطه‌ی (۱۱) قابل محاسبه می‌باشد:

$$FOM = L(\Delta\omega) - 20\log\left(\frac{\omega_{OSC}}{\Delta\omega}\right) + 10\log\left(\frac{P_{DC}}{1mW}\right) \quad (11)$$

ω_{OSC} فرکانس نوسان اسیلاتور، $\Delta\omega$ فرکانس آفست و $L(\Delta\omega)$ میزان نویز باند جانبی در واحد (دسی بل/ هرتز) در فرکانس آفست $\Delta\omega$ نسبت به فرکانس حامل ω_{OSC} می‌باشد و میزان توان مصرفی DC را با P_{DC} نشان می‌دهند [۳۳]. بنابراین، مقدار FOM اسیلاتور LC پیشنهادی برابر با ۱۹۲/۱۵- در فرکانس آفست ۱ مگاهرتز بدست می‌آید.

جدول ۲ جهت مقایسه‌ی عملکرد اسیلاتور متعامد تزویج چندگانه‌ی پیشنهادی با اسیلاتورهای متعامد پیشین که برخی از آنها تنها از یکی از تکنیک‌های بکار برده شده در این ساختار بهره گرفته اند، فراهم گردیده است. در ساختار پیشنهادی برای کاهش نویز فاز از چند تکنیک استفاده شده است. از مهمترین تکنیک در این ساختار به حداقل رساندن شیفت فاز رزوناتور می باشد که برای این منظور از تزویج چندگانه با روشی نوین استفاده شده است. در واقع این ساختار با استفاده از ترکیب چند تزویج به طور مناسب، اثرات مخرب (تولید شیفت فاز در رزناتور) هر کدام به تنهایی را خنثی کرده است. در بیشتر کارهای گذشته که در جدول ۲ برخی از آنها گزارش شده است همواره از یک نوع تزویج مشخص برای تولید سیگنالهای متعامد

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.17.8]

استفاده شده است. با توجه به نتایج شبیه سازی در ساختار پیشنهادی و مقدار FOM در اسیلاتورهای متعامد مختلف که در جدول ۲-درج شده است، عملکرد کلی نویز فاز MC-QO پیشنهادی نسبت به عملکرد دیگر کارها بهبود یافته است که منجر به پیدایش FOM بالا گردیده است.

جدول (۲): مقایسه‌ی عملکرد اسیلاتور متعامد تزویج چندگانه‌ی (MC-QO) پیشنهادی با دیگر اسیلاتورهای متعامد (QOs)

اسیلاتورهای متعامد	تکنولوژی (μm)	فرکانس (GHz)	توان مصرفی (mW)	منبع تغذیه (V)	نویز فاز (dBc/Hz)	معیار شایستگی (dBc/Hz)
[1]	۰/۱۸	۳	۲۱	۱/۸	-۱۴۴ @ ۳ MHZ	-۱۹۰/۵۰
[18]	۰/۱۳	۵	۱	۱/۸	-۱۲۱ @۱ MHz	-۱۸۹/۰۰
[19]*	۰/۱۸	۴/۵۴	۹/۸	۱/۸	-۱۲۵/۳ @۱ MHz	-۱۸۸/۵۰
[31]	۰/۱۸	۵/۲	۱۱/۲	۱/۰	-۱۱۹/۳ @۱ MHz	-۱۸۳/۰۰
[34]	۰/۱۸	۵/۳۷	۱۸	۱/۸	-۱۲۲/۹ @۱ MHz	-۱۸۵/۰۰
[35]	۰/۱۸	۵/۱۵	۸/۷	۱/۴۵	-۱۲۴/۵ @۱ MHz	-۱۸۹/۴۲
[36]	۰/۱۸	۱/۱	۵/۴	۱/۸	-۱۲۰ @ ۳ MHz	-۱۷۳/۵۰
[37]	۰/۱۸	۵	۶	۱/۲	-۱۲۰ @ ۳ MHz	-۱۷۶/۰۰
[38]	۰/۱۸	۵/۵	۲/۵	۱/۰	-۱۱۴ @۱ MHz	-۱۸۵/۰۰
[39]	۰/۱۸	۰/۴۹	۱/۷۵	۱/۵	-۱۱۸ @ ۱ MHz	-۱۷۳/۰۰
MC-QO*	**۰/۱۸**	**۳/۳۸**	**۴/۶**	**۱/۸**	**-۱۲۸/ ۲۰۸ @۱ MHz**	**-۱۹۲/۱۵**

* نتایج گزارش شده حاصل از نتایج شبیه سازی می باشد.

جهت ارزیابی مقاومت مدار در برابر تغییرات در فرآیند ساخت، مدار در حالتهای مختلف از گوشه های فرایند[۲۷] شبیه سازی شده است. جدول ۳ نتایج شبیه سازی مدار در حالتهای مختلف از گوشه های تکنولوژی را با یکدیگر مقایسه می کند که این نتایج نشان می دهد مدار در شرایط دمایی متفاوت عملکرد قابل قبولی دارد.

جدول (۳): عملکرد اسیلاتور متعامد پیشنهادی در گوشه های مختلف تکنولوژی

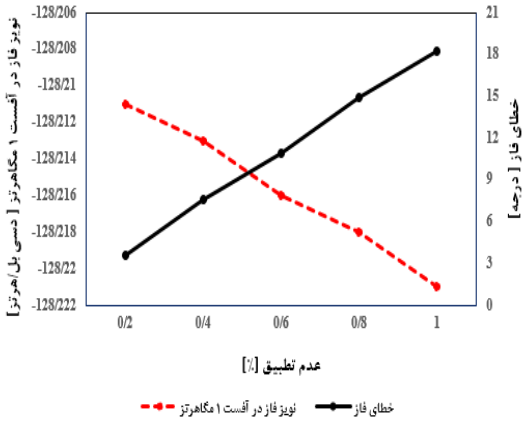
گوشه های مختلف تکنولوژی	توان مصرفی (mW)	نویز فاز (dBc/Hz)	معیار شایستگی (dBc/Hz)
TT 25^{0}C	۴/۶۰	-۱۲۸/۲۱	-۱۹۲/۱۵
SS 60^{0}C	۳/۸۸	-۱۲۶/۳	-۱۹۱/۰۴
FF -40^{0}C	۴/۴۵	-۱۲۶/۸	-۱۹۰/۸۹
SF 25^{0}C	۴/۹۴	-۱۲۸/۸	-۱۹۲/۴۴
FS 25^{0}C	۴/۲۴	-۱۲۷/۷	-۱۹۲/۰۰

دقت فاز سیگنال‌های متعامد تولید شده، پارامتر مهم دیگری است که در طراحی اسیلاتورهای متعامد LC می بایست در نظر گرفته شود. به منظور بررسی دقت فاز خروجی‌های متعامد، شبیه سازی جهت مشاهده‌ی اختلاف فاز خروجی با در نظر گرفتن عملکرد نویز فاز انجام می‌شود.

شکل ۸ خطای فاز و نویز فاز را در فرکانس آفست ۱ مگاهرتز به ازای عدم تطبیق اعمالی مابین سلف‌ها و خازن‌های تانک LC نشان می‌دهد. نتایج شبیه سازی نشان می‌دهند که حساسیت فاز در قبال عملکرد نویز فاز مطلوب MC-QO پیشنهادی، مناسب می‌باشد.

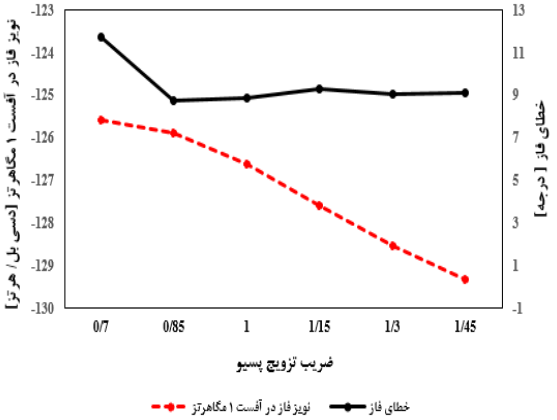
تغییر ضریب تزویج پسیو[۲۸] (m_p) جهت تائید تاثیر آن بر تصحیح خطای فاز و نویز فاز سیگنال‌های خروجی در حالیکه خازن فیلتر ثابت می‌باشد، مورد بررسی قرار می‌گیرد. بنابراین، نتایج شبیه سازی دقت فاز و نویز فاز با در نظر گرفتن ۰/ ۵ در صد عدم تطبیق اعمالی مابین مولفه‌های تانک LC و به ازای ضرایب تزویج پسیو مختلف در شکل ۹ قابل مشاهده می‌باشد.

واضح است که افزایش ضریب تزویج پسیو و شیفت فاز جبران کننده، عملکرد نویز فاز اسیلاتور LC-QO پیشنهادی را تخریب نکرده و انتخاب مقدار مناسب m_p بدون افزایش مصرف توان سبب ایجاد شیفت فاز ایده‌آل می‌گردد. نتایج شبیه سازی نشان می‌دهند که در MC-QO پیشنهادی عملکرد نویز فاز و دقت فاز به طور همزمان بهبود یافته اند و مصالحه ی مابین آنها لغو گردیده است.



شکل (۸): نمودار خطای فاز و نویز فاز در آفست ۱ مگاهرتز نسبت به عدم تطبیق اعمالی مابین تانک‌های LC

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.17.8]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018



شکل(۹): نمودار خطای فاز و نویز فاز در آفست ۱ مگاهرتز به ازای مقادیر مختلف ضریب تزویج پسیو

۴-نتیجه‌گیری

در این مقاله، یک اسیلاتور متعامد تزویج چندگانه (MC-QO) که از ترکیب تکنیک‌های تزویج فعال و تزویج پسیو بهره گرفته است، ارائه شد. در تکنیک تزویج فعال شاخه‌های موازی با شیفت فاز مناسب از ترانزیستورهای سری و مقاومت تبهگنی استفاده شد.تزویج پسیو از خازن‌ها جهت جبران انحراف فاز بهره گرفت و افزایش میزان ضریب تزویج موجب اصلاح فاز و تضمین شیفت فاز مناسب در فرکانس کاری تعیین شده گردید. این رهیافت بدون نویز و بدون اتلاف توان با قرار دادن مسیرهای AC و DC به عنوان فیلترهای RLC باند عبوری، نویز فاز را کاهش داد. بنابراین، عملکرد نویز فاز کلی مدار بهبود یافت در حالیکه حساسیت فازهای خروجی نسبت به عدم تطبیق تانک‌های LC کاهش پیدا نمود. علاوه بر این، استفاده از ساختار مکمل و تکنیک بایاسینگ بکاربرده شده در دم منجر به بهبود بیشتر نویز فاز مدار گردید. با شبیه سازی MC-QO تحت تکنولوژی CMOS TSMC $0.18\ \mu_m$ صحت عملکرد مدار تائید گردید. میزان توان مصرفی ۴/۶ میلی وات از تغذیه ی ۱/۸ ولت بوده و نویز فاز ۱۲۸/۲- (دسی بل/هرتز) و ۱۳۸/۵- (دسی بل/ هرتز) به ترتیب در فرکانس‌های آفست ۱ و ۳ مگاهرتز از فرکانس نوسان ۳/۳۸ گیگاهرتز گزارش داده شد. در نهایت، میزان FOM بدست آمده در آفست ۱ مگاهرتز برابر با ۱۹۲/۱۵- (دسی بل/هرتز) است که بسیار مطلوب می‌باشد.

مراجع

[1] Asyaei, M., & Ebrahimi, E.,"A low-phase noise injection-locked quadrature voltage-controlled oscillator", Analog Integrated Circuits and Signal Processing, 71(2), 319-325, 2012.

[۲] محمد غلامی، حمید رحیم‌پور، جمال قاسمی، ایمان اسمعیلی پایین افراکتی،"طراحی حلقه قفل شده‌ی تاخیر برای گیرنده‌های بی‌سیم جهت بکارگیری در کاربردهای فرکانس بالا"، نشریه مهندسی برق و الکترونیک ایران، دوره ۱۳، شماره ۴، صفحات ۱۵-۲۲، تهران، ۱۳۹۵.

[۳] حمید رحیم‌پور، محمد غلامی، غلامرضا اردشیر، حسین معیار نعیمی "طراحی ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر دیجیتالی و با سرعت بالا" ، نشریه مهندسی برق و الکترونیک ایران، دوره ۱۲، شماره ۲، صفحات ۳۹-۴۶، تهران، ۱۳۹۴.

[۴] حجت غنودی، حسین معیارنعیمی، "تحلیل خطای فاز در اسیلاتور متعامد تزریق از سورس"، بیست و پنجمین کنفرانس مهندسی برق ایران، تهران، دانشگاه تهران، ۱۳۹۱.

[5] Ghonoodi, H., & Miar-Naimi, H., "Phase error analysis in CMOS injection-coupled LC quadrature oscillator (IC-QO) ", International Journal of Circuit Theory and Applications, 42(11), 1123-1138, 2014.

[6] Park, K. G., Jeong, C. Y., Park, J. W., Lee, J. W., Jo, J. G., & Yoo, C., "Current reusing VCO and divide-by-two frequency divider for quadrature LO generation", IEEE Microwave and Wireless Components Letters, 18(6), 413-415, 2008.

[7] Mirzaei, A., Heidari, M. E., Bagheri, R., Chehrazi, S., & Abidi, A. A., "The quadrature LC oscillator: A complete portrait based on injection locking", IEEE Journal of Solid-State Circuits, 42(9), 1916-1932, 2007.

[8] Sanchez-Azqueta, C., Celma, S., & Aznar, F., "A 0.18 µm CMOS ring VCO for clock and data recovery applications". Microelectronics Reliability, 51(12), 2351-2356, 2011.

[9] Ghonoodi, H., & Naimi, H. M., "A CMOS quadrature LC oscillator using automatic phase/amplitude calibration", Circuits, Systems, and Signal Processing, 31(1), 77-91, 2012.

[10] Ma, D. K., & Long, J. R., "A subharmonically injected LC delay line oscillator for 17-GHz quadrature LO generation", IEEE journal of solid-state circuits, 39(9), 1434-1445, 2004.

[11] Maligeorgos, J. P., & Long, J. R., "A low-voltage 5.1-5.8-GHz image-reject receiver with wide dynamic Range", IEEE Journal of Solid-State Circuits, 35(12), 1917-1926, 2000.

[12] Rofougaran, A., Rael, J., Rofougaran, M., & Abidi, A., " A 900 MHz CMOS LC-oscillator with quadrature outputs", In Solid-State Circuits Conference, 1996, Digest of Technical Papers, 42nd ISSCC, 1996 IEEE International (pp. 392-393), IEEE, February 1996.

[13] Naimi, H. M., & Ghonoodi, H., "Analysis of phase accuracy in CMOS quadrature LC oscillators", Analog Integrated Circuits and Signal Processing, 67(2), 137-141, 2011.

[14] Rofougaran, Ahmadreza, et al., "A single-chip 900-MHz spread-spectrum wireless transceiver in 1-µm CMOS. I. Architecture and transmitter design", IEEE Journal of Solid-State Circuits 33(4), pp.515-534, 1998.

[15] Gierkink, S. L., Levantino, S., Frye, R. C., Samori, C., & Boccuzzi, V., "A low-phase-noise 5-GHz CMOS quadrature VCO using superharmonic coupling", IEEE Journal of Solid-State Circuits, 38(7), 1148-1154, 2003.

[16] Soltanian, B., & Kinget, P., "A low phase noise quadrature LC VCO using capacitive common-source coupling", In Solid-State Circuits Conference, 2006, ESSCIRC 2006, Proceedings of the 32nd European (pp. 436-439), IEEE, September 2006.

[17] Andreani, P., Bonfanti, A., Romano, L., & Samori, C., "Analysis and design of a 1.8-GHz CMOS LC quadrature

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.17.8]

oscillator", Circuits, Systems, and Signal Processing, 35(3), 731-752, 2016.
[34] Zhang, Y., Liu, P., Luo, T. N., Chen, Y. J. E., & Heo, D., "A low-voltage low-phase-noise bottom-series LC QVCO using capacitor tapping technique", In Microwave Symposium Digest, 2008 IEEE MTT-S International (pp. 237-240), IEEE, June 2008.
[35] Jang, S. L., Shih, C. C., Liu, C. C., & Juang, M. H., "A 0.18 um CMOS Quadrature VCO Using the Quadruple Push-Push Technique", IEEE microwave and wireless components letters, 20(6), 343-345, 2010.
[36] Kim, H. R., Cha, C. Y., Oh, S. M., Yang, M. S., & Lee, S. G., "A very low-power quadrature VCO with back-gate coupling", IEEE Journal of Solid-State Circuits, 39(6), 952-955, 2004.
[37] Tong, H., Cheng, S., Lo, Y. C., Karsilayan, A. İ., & Silva-Martinez, J., "An LC quadrature VCO using capacitive source degeneration coupling to eliminate bi-modal oscillation", IEEE Transactions on Circuits and Systems I: Regular Papers, 59(9), 1871-1879, 2012.
[38] Wu, J. W., Wu, H. H., Hsu, K. C., & Chen, C. C., "A back-gate coupling quadrature voltage-control oscillator embedded with self-body-bias schema", IEEE Microwave and Wireless Components Letters, 23(3), 146-148, 2013.
[39] Cheng, K. W., & Je, M., "A current-switching and gm-enhanced colpitts quadrature VCO", IEEE microwave and wireless components letters, 23(3), 143-145, 2013.

زیرنویس

[1] Zero-IF receivers
[2] Image rejection architectures
[3] Clock & data recovery
[4] Modulators
[5] In-phase and Quadrature signals
[6] Coupling
[7] Barkhausen criteria
[8] Passive components
[9] Mismatches
[10] Flicker noise
[11] Thermal noise
[12] Phase shifter
[13] Multiple Coupled CMOS LC Quadrature Oscillator
[14] Complementary
[15] Cascode
[16] Degeneration resistor
[17] Zero-crossing instant
[18] Compensating phase
[19] Resonator Phase Shift
[20] Source of tail current
[21] Fixed biasing
[22] Switched self-biasing
[23] Impulse Sensitivity Function
[24] Steady state
[25] Transient time
[26] Figure Of Merit
[27] Process corners
[28] Passive coupling factor

VCO", IEEE Journal of Solid-State Circuits, 37(12), 1737-1747, 2002.
[18] Lo, Y. C., & Silva-Martinez, J., "A 5-GHz CMOS LC quadrature VCO with dynamic current clipping coupling to improve phase noise and phase accuracy", IEEE Transactions on Microwave Theory and Techniques, 61(7), 2632-2640, 2013.
[19] Ebrahimi, E., & Naseh, S., "A CMOS low-noise low-power quadrature LC oscillator" In Circuits and Systems, 2009, ISCAS 2009, IEEE International Symposium on (pp. 1305-1308), IEEE, May 2009.
[20] Van Der Tang, J., Van De Ven, P., Kasperkovitz, D., & Van Roermund, A., "Analysis and design of an optimally coupled 5-GHz quadrature LC oscillator", IEEE Journal of Solid-State Circuits, 37(5), 657-661, 2002.
[21] Andreani, P., "A time-variant analysis of the 1/f/sup 2/phase noise in CMOS parallel LC-tank quadrature oscillators", IEEE Transactions on Circuits and Systems I: Regular Papers, 53(8), 1749-1760, 2006.
[22] Andreani, P., & Wang, X., "on the phase-noise and phase-error performances of multiphase LC CMOS VCOs", IEEE Journal of Solid-State Circuits, 39(11), 1883-1893, 2004.
[23] Romanò, L., Levantino, S., Samori, C., & Lacaita, A. L., "Multiphase LC oscillators", IEEE Transactions on Circuits and Systems I: Regular Papers, 53(7), 1579-1588, 2006.
[24] Loke, A., & Ali, F., "Direct conversion radio for digital mobile phones-design issues, status", and trends. IEEE Transactions on Microwave Theory and Techniques, 50(11), 2422-2435, 2002.
[25] Crols, J., & Steyaert, M. S., "Low-IF topologies for high-performance analog front ends of fully integrated receivers", IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 45(3), 269-282, 1998.
[26] Frioui, O., Zaid, L., Rahajandraibe, W., & Haddad, F., "A very low phase noise fully integrated CMOS quadrature LC oscillator for 2.4 GHz bluetooth/WLAN applications", In Communications and Information Technologies, 2007, ISCIT'07, International Symposium on (pp. 55-60), IEEE, 2007.
[27] Hajimiri, A., & Lee, T. H., "A general theory of phase noise in electrical oscillators", IEEE journal of solid-state circuits, 33(2), 179-194, 1998.
[28] Jang, S. L., Shih, C. C., Liu, C. C., Chang, C. W., & Hsue, C. W, "CMOS quadrature VCOs using the varactor coupling technique", IEEE Microwave and Wireless Components Letters, 21(9), 498-500, 2011.
[29] Soltanian, B., & Kinget, P. R., "Tail current-shaping to improve phase noise in LC voltage-controlled oscillators", IEEE Journal of Solid-State Circuits, 41(8), 1792-1802, 2006.
[30] Tiebout, M, "Low-power low-phase-noise differentially tuned quadrature VCO design in standard CMOS", IEEE Journal of Solid-State Circuits, 36(7), 1018-1024, 2001.
[31] Shen, I. S., Huang, T. C., & Jou, C. F., "A low phase noise quadrature VCO using symmetrical tail current-shaping technique", IEEE microwave and wireless components letters, 20(7), 399-40, 2010.
[32] Wan, Q., Liu, Y., & Wang, Q., "A CMOS Back-Gate Coupling LC Quadrature VCO with Switched Self-Biasing Tail Transistor Technique", Circuits, Systems, and Signal Processing, 34(10), 3147-3160, 2015.
[33] Ghonoodi, H., & Naimi, H. M., "Analysis and design of a phase-tunable source injection-coupled LC quadrature

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.17.8]