ارائه یک ساختار جدید چند طبقه‌ای برای اینورترهای منبع امپدانسی

محسن حسن‌بابای نوزادیان[1] ابراهیم بابائی[2]

۱- دانشجوی دکتری - دانشکده مهندسی برق و کامپیوتر- دانشگاه تبریز- تبریز- ایران

m.hasanbabayi@tabrizu.ac.ir

۲- استاد- دانشکده مهندسی برق و کامپیوتر- دانشگاه تبریز- تبریز- ایران

e-babaei@tabrizu.ac.ir

چکیده: در این مقاله یک نوع اینورتر منبع امپدانسی چند طبقه با قابلیت ضریب افزایش ولتاژ بالا ارائه می‌شود. ساختار پیشنهادی با بهره‌گیری از ترکیب یک منبع ولتاژ ورودی و شبکه‌های منبع امپدانسی عمل افزایش ولتاژ را انجام می‌دهد. با توجه به قابلیت افزایش ولتاژ در رنج وسیع، مقاومت خوب در برابر نویز الکترومغناطیسی و نیز مصونیت در برابر shoot through (ST)، این مبدل کاربرد فراوانی در سیستم‌های PV، سلول سوختی (Fuel Cell)، انرژی باد و سیستم‌های UPS می‌تواند داشته باشد. روش کنترل PWM مناسب برای اینورتر پیشنهادی نشان داده می‌شود. تحلیل تئوری حالت دو طبقه و N طبقه ساختار پیشنهادی برای مدهای کاری ST و غیر ST انجام می‌شود. بررسی موردی میزان تلفات با افزایش تعداد طبقات نشان داده شده و مزایا و معایب افزایش تعداد طبقات مشخص می‌شوند. هم چنین، مقایسه‌ای بین ساختار پیشنهادی با اینورترهای منبع امپدانسی مرسوم ارائه می‌شود. به منظور بررسی صحت عمل‌کرد ساختار پیشنهادی، از نتایج شبیه‌سازی به دست آمده از نرم‌افزار PSCAD/EMTDC استفاده می‌شوند.

کلمات کلیدی: اینورتر منبع امپدانسی، اینورتر منبع امپدانسی چند طبقه، اینورتر افزاینده کلیدزنی شده

تاریخ ارسال مقاله: ۱۳۹۴/۰۲/۰۱

تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۰۸/۰۹

تاریخ پذیرش مقاله: ۱۳۹۵/۱۲/۱۵

نام نویسنده‌ی مسئول: دکتر ابراهیم بابائی

نشانی نویسنده‌ی مسئول: ایران، تبریز، بلوار ۲۹ بهمن، دانشگاه تبریز، دانشکده مهندسی برق و کامپیوتر

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.1.8.6]

Journal of Iranian Association of Electrical and Electronics Engineers Vol15 No.1 Spring2018

۱- مقدمه

با توجه به نیاز روز افزون به انرژی الکتریکی، بشر به دنبال تولید برق از راه‌های مختلف می‌باشد و با در نظر گرفتن محدود بودن منابع سوخت‌های فسیلی و خطرات ناشی از سوخت هسته‌ای، استفاده از منابع انرژی تجدیدپذیر یکی از روش‌های مناسب برای تولید برق می‌باشد. به منظور استفاده از این منابع، تجهیزات واسطی مورد نیاز است که آن‌ها را به انرژی الکتریکی قابل قبول تبدیل کنند. یکی از مهم‌ترین این تجهیزات، مبدل‌های الکترونیک قدرت می‌باشند که به منظور افزایش و یا کاهش سطح ولتاژ، کنترل کیفیت توان، کاهش هارمونیک‌ها، تبدیل ولتاژ dc به ac و یا بالعکس و غیره در این سیستم‌ها استفاده می‌شوند.

از جمله مبدل‌های پرکاربرد در این زمینه مبدل‌های dc/ac می‌باشند. در این بین، اینورترهای منبع امپدانسی جزو مبدل‌های با بازده نسبتاً خوب می‌باشند و کاربرد آن‌ها روز به روز افزایش می‌یابد. در مرجع [۱] "اینورتر منبع امپدانسی (ZSI)"[1]مرسوم ارائه شده است که از یک شبکه امپدانسی X شکل تشکیل شده است. اینورتر منبع امپدانسی مرسوم با بهره‌گیری از خاصیت ST عمل افزایش ولتاژ را انجام می‌دهد.

با گسترش استفاده از اینورترهای منبع امپدانسی ساختارها و روش‌های مختلفی برای بهبود عمل‌کرد این مبدل‌ها ارائه می‌شود [۲-۵]. مبدل‌های منبع امپدانسی هم‌چنین می‌توانند به عنوان یک مبدل dc/dc [۶-۸] و یا به عنوان یک اینورتر منبع امپدانسی نیم‌پل [۹] نیز به کار روند. شاخص‌های مختلفی برای بررسی این مبدل‌ها با توجه به نوع و کاربرد آنها در نظر گرفته می‌شود که از جمله این شاخص‌ها می‌توان به تعداد المان، تنش جریان و ولتاژ روی اجزا، ریپل جریان ورودی و ریپل ولتاژ خروجی، گستره عمل‌کرد برای چرخه کاری متفاوت و غیره اشاره کرد. در این بین یکی از مهم‌ترین ویژگی‌های اینورترهای منبع امپدانسی میزان افزایش و یا کاهش ولتاژ ورودی می‌باشد که منجر به ارائه ساختارهای مختلف برای اینورترهای منبع امپدانسی شده است. در مرجع [۱۰] "اینورتر شبه منبع امپدانسی (QZSI)" در چهار ساختار مختلف ارائه شده است. تعداد اجزای QZSI با ساختار ZSI یکسان بوده و ضریب افزایش آن‌ها نیز برابر می‌باشند. با این وجود هر دو ساختار توانایی تولید ولتاژ بالا در چرخه‌های کاری کم را ندارند. در مرجع [۱۱] " اینورتر منبع امپدانسی سری (SZSI)" ، به منظور کاهش تنش ولتاژ روی خازن‌ها ارائه شده است. با وجود تنش ولتاژ پایین در SZSI تمام جریان عبوری از شبکه امپدانسی از خازن عبور می‌کند که موجب افزایش مقدار نامی آن می‌شود. در مرجع [۱۲] مدولاسیون اینورتر منبع امپدانسی با منبع جریان نشان داده شده است. در مرجع [۱۳] "اینورتر افزاینده کلیدزنی شده (SBI)" شده ارائه شده است. این ساختار دارای تعداد اجزای پسیو کم‌تری نسبت به اینورتر منبع امپدانسی مرسوم می‌باشد و بیش‌تر مزایای ZSI را دارد ولی با این وجود ضریب افزایش ولتاژ آن بسیار پایین می‌باشد. به منظور بهبود ضریب افزایش ولتاژ ساختار SBI ساختارهای جدیدی در مراجع [۱۵-۱۴] برای اینورتر افزاینده کلیدزنی شده ارائه شده‌اند.

در برخی دیگر از مقالات به منظور دستیابی به ضریب افزایش ولتاژ بالا ساختارهای توسعه یافته مانند ساختارهای کاسکاد (آبشاری) یا ساختارهای دارای ترانس ارائه شده‌اند. در مرجع [۱۶] اینورتر منبع امپدانسی با سلول سلف کلیدزنی شده (LZSI)" ارائه شده است که با حذف خازن‌های اینورتر منبع امپدانسی با استفاده از سلول سلف کلیدزنی شده ولتاژ را افزایش می‌دهد. . در مرجع [۱۷] ساختار توسعه یافته برای اینورتر شبه منبع امپدانسی ارائه شده است. در این ساختار با اضافه کردن طبقات سلفی و خازنی بهره ولتاژ افزایش می‌یابد. در مرجع [۱۸] یک اینورتر منبع امپدانسی مجهز به ترانسفورماتور سری ارائه شده است. در مرجع [۱۹] مدار ترانسفورماتور حذف شده و از شبکه سلف و خازن کلیدزنی شده استفاده شده است. در مرجع [۲۰] از اینورترهای شبه منبع امپدانسی آبشاری در مجموعه ماژول‌های PV استفاده شده است. با وجود این که این ساختار نیاز به گین ولتاژ بالا ندارد و نیز کیفیت توان خروجی در آن خوب می‌باشد ولی به ازای هر شبکه امپدانسی به یک اینورتر تمام پل نیاز دارد که یک ایراد محسوب می‌شود. هم چنین بازده این ساختار پایین می‌باشد.

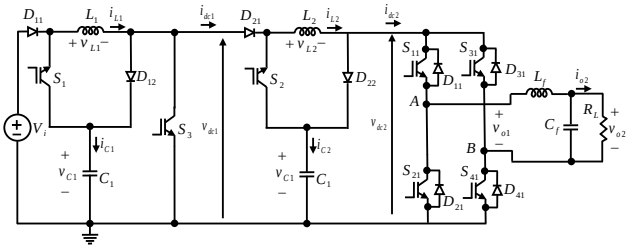
با توجه به این که در سیستم‌های انرژی تجدیدپذیر [۲۲-۲۱] ولتاژ تولیدی معمولاً در رنج پایینی می‌باشد می‌بایست این کمبود به نوعی جبران شود. به طور مثال در سیستم‌های خورشیدی لازمه تولید برق در رنج وسیع ولتاژ، استفاده از تعداد ماژول‌های زیاد به صورت سری می‌باشد که این هزینه تمام شده تولید انرژی الکتریکی را افزایش می‌دهد. برای حل این مشکل در این مقاله، یک اینورتر منبع امپدانسی چند طبقه به منظور دست‌یابی به سطح ولتاژ بالاتر پیشنهاد می‌شود. ساختار پیشنهادی متشکل از چندین شبکه افزاینده کلیدزنی شده به همراه یک جزء الکترونیک قدرت مشترک می‌باشد. این مبدل قابلیت استفاده در سطوح کم ولتاژ تولیدی توسط PV را هم دارد و این امکان را می‌دهد که از انرژی خورشیدی یا هر منبع ولتاژ با رنج کم را به راحتی در مصارف خانگی نیز استفاده کرد. در ادامه تحلیل عمل‌کرد ساختار پیشنهادی در دو مد کاری ST و غیر ST ارائه می‌شود.

۲- ساختار پیشنهادی دو طبقه

مدار قدرت ساختار پیشنهادی در حالت دو طبقه در شکل (۱) نشان داده شده است. این ساختار متشکل از دو شبکه منبع امپدانسی و یک کلید الکترونیک قدرت (S_3) ما بین آن دو می‌باشد که در نهایت توسط یک اینورتر به بار وصل می‌شود. اینورتر استفاده شده می‌تواند تک فاز و یا سه فاز باشد که در شکل (۱) نوع تک فاز آن استفاده شده است. هر کدام از شبکه‌های منبع امپدانسی از یک کلید الکترونیک قدرت (S_1 یا S_2)، یک خازن (C_1 یا C_2)، یک سلف (L_1 یا L_2)

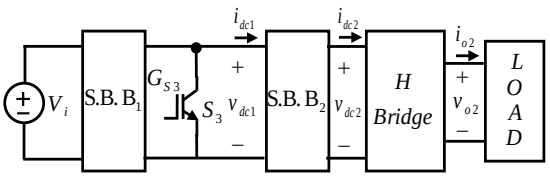
[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.1.8.6]

و دو دیود (D_{a1} و D_{b1} و یا D_{a2} و D_{b2}) تشکیل شده‌اند. کلیدهای S_1، S_2 و S_3 به طور هم زمان باهم روشن و خاموش می‌شوند که این کار کنترل آن‌ها را راحت‌تر می‌کند. هر کدام از مبدل‌های منبع امپدانسی به صورت جداگانه عمل افزایش ولتاژ را انجام می‌دهند و کلید S_3 نقش ایجاد اتصال کوتاه یا همان ST را برای طبقه اول دارد.



شکل (۱): مدار قدرت ساختار پیشنهادی در حالت دو طبقه

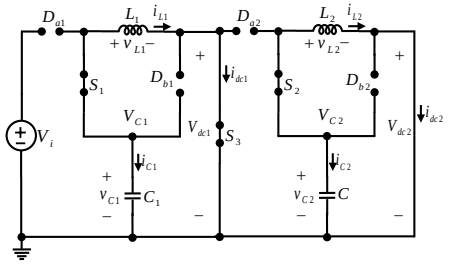
اگر مبدل افزاینده به صورت یک بلوک دیاگرام با نام S.B.B (Switched Boost Block) فرض کنیم ساختار پیشنهادی دو طبقه به شکل (۲) در می‌آید.



شکل (۲): بلوک دیاگرام ساختار پیشنهادی در حالت دو طبقه

۱-۲- عمل‌کرد مبدل در بازه زمانی $0 \le t \le D_{ST}T_s$

ساختار پیشنهادی دارای عمل‌کرد ST برای مدت زمان $D_{ST}T_s$ از یک دوره تناوب T_s می‌باشد که در طول این فاصله زمانی یکی از دو ساق اینورتر اتصال کوتاه می‌شوند. کلیدهای S_1، S_2 و S_3 در طول این فاصله زمانی روشن می‌باشند. در مدار معادل شکل (۳) پل اینورتر توسط یک اتصال کوتاه در طول این فاصله زمانی نشان داده شده است.



شکل (۳): مدار معادل ساختار پیشنهادی دو طبقه و در بازه زمانی $0 \le t \le D_{ST}T_s$

با توجه به این که $V_{C1} > V_i$ و $V_{C2} > V_{C1}$ می‌باشد دیودهای D_{a1} و D_{b1} از بلوک منبع امپدانسی طبقه اول و دیودهای D_{a2} و D_{b2} از بلوک منبع امپدانسی طبقه دوم در حالت بایاس معکوس قرار می‌گیرند. هم چنین خازن C_1 از طریق کلیدهای S_1 و S_3 در سلف L_1 دشارژ می‌شود. به همین ترتیب در طرف دیگر خازن C_2 از طریق کلید S_2 و پل اینورتر در سلف L_2 دشارژ می‌شود. جریان سلف‌ها در این فاصله زمانی برابر با جریان دشارژ خازن‌ها می‌باشد. برای تحلیل مبدل در این مد کاری با اعمال قانون KVL و KCL و با توجه به مدار معادل شکل (۳) می‌توان نوشت:

$$v_{L1} = v_{C1} \quad (۱)$$

$$v_{L2} = v_{C2} \quad (۲)$$

$$i_{C1} = -i_{L1} \quad (۳)$$

$$i_{C2} = -i_{L2} \quad (۴)$$

$$v_{dc1} = 0 \quad (۵)$$

$$v_{dc2} = 0 \quad (۶)$$

در روابط فوق، (v_{L1} و i_{L1}) و (v_{L2} و i_{L2}) ولتاژ و جریان سلف‌ها، (v_{C1} و i_{C1}) و (v_{C2} و i_{C2}) ولتاژ و جریان خازن‌ها و v_{dc1} ولتاژ خروجی مبدل منبع امپدانسی طبقه اول و v_{dc2} ولتاژ خروجی مبدل منبع امپدانسی طبقه دوم (یا ولتاژ ورودی پل اینورتر) می‌باشند.

با صرف نظر از ریپل ولتاژ خازن و جریان سلف، روابط (۱) تا (۶) به صورت زیر تبدیل می‌شوند:

$$v_{L1} = V_{C1} \quad (۷)$$

$$v_{L2} = V_{C2} \quad (۸)$$

$$i_{C1} = -I_{L1} \quad (۹)$$

$$i_{C2} = -I_{L2} \quad (۱۰)$$

$$v_{dc1} = 0 \quad (۱۱)$$

$$v_{dc2} = 0 \quad (۱۲)$$

در روابط فوق، V_{C1}، V_{C2}، I_{L1} و I_{L2} به ترتیب نشان‌دهنده مقدار متوسط ولتاژ خازن‌ها و جریان سلف‌ها می‌باشند.

۲-۲- عمل‌کرد مبدل در بازه زمانی $D_{ST}T_s \le t \le T_s$

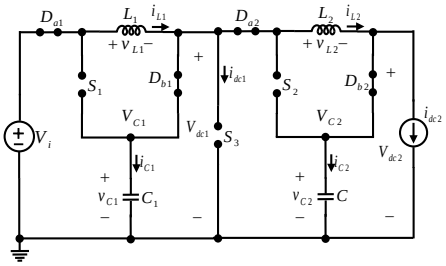
برای بازه زمانی $D_{ST}T_s \le t \le T_s$، اینورتر در حالت غیر ST بوده و کلیدهای S_1، S_2 و S_3 خاموش می‌باشند. پل اینورتر در این فاصله زمانی توسط یک منبع جریان مدل می‌شود که در مدار معادل شکل (۴) نشان داده شده است. در این حالت، منبع ولتاژ V_i و سلف L_1 از طریق طبقه اول مشترکاً طبقه دوم را تغذیه می‌کنند. خازن C_1 و سلف L_2 نیز مشترکاً اینورتر را تغذیه می‌کنند. خازن‌های C_1 و C_2 به ترتیب از طریق دیودهای D_{a1}، D_{b1}، D_{a2} و D_{b2} تغذیه می‌شوند. جریان سلف‌ها در این فاصله زمانی برابر با مجموع جریان

[Downloaded from jiaeee.com on 2026-11-20]

Journal of Iranian Association of Electrical and Electronics Engineers Vol15 No.1 Spring2018

[DOR: 20.1001.1.26765810.1397.15.1.8.6]

شارژ خازن‌ها و جریان خروجی از مبدل منبع امپدانسی می‌باشند که به ترتیب i_{dc1} و i_{dc2} می‌باشند.



شکل (۴): مدار معادل ساختار پیشنهادی دو طبقه و در بازه زمانی $D_{ST}T_s \le t \le T_s$

برای تحلیل مبدل در این مد کاری نیز با اعمال قانون KVL و KCL و با توجه به مدار معادل شکل (۴) می‌توان نوشت:

$$v_{L1} = V_i - v_{C1} \quad (۱۳)$$

$$v_{L2} = v_{dc1} - v_{C2} \quad (۱۴)$$

$$i_{C1} = i_{L1} - i_{dc1} \quad (۱۵)$$

$$i_{C2} = i_{L2} - i_{dc2} \quad (۱۶)$$

$$v_{dc1} = v_{C1} \quad (۱۷)$$

$$v_{dc2} = v_{C2} \quad (۱۸)$$

در این مد کاری با توجه به شکل (۴) مشخص است که جریان خروجی از مبدل منبع امپدانسی طبقه اول برابر با جریان سلف طبقه دوم می‌باشد بنابراین می‌توان نوشت:

$$i_{dc1} = i_{L2} \quad (۱۹)$$

با جایگذاری مقادیر v_{dc1} و i_{dc1} به ترتیب از روابط (۱۷) و (۱۹) در روابط (۱۴) و (۱۵) و با صرف نظر کردن از ریپل ولتاژ خازن و جریان سلف، روابط (۱۳) تا (۱۸) به صورت زیر تبدیل می‌شوند:

$$v_{L1} = V_i - V_{C1} \quad (۲۰)$$

$$v_{L2} = v_{dc1} - V_{C2} = V_{C1} - V_{C2} \quad (۲۱)$$

$$i_{C1} = I_{L1} - I_{dc1} = I_{L1} - I_{L2} \quad (۲۲)$$

$$i_{C2} = I_{L2} - I_{dc2} \quad (۲۳)$$

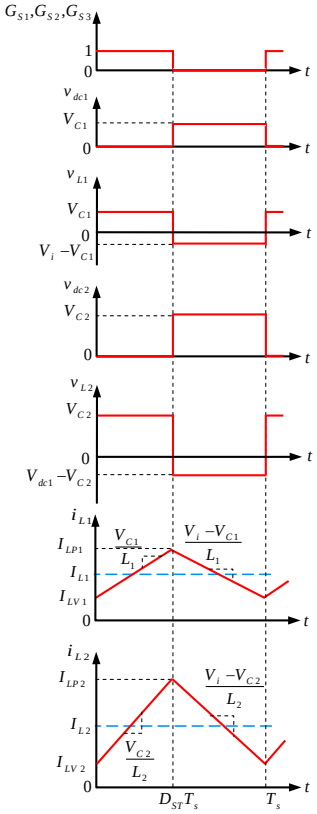
$$v_{dc1} = V_{C1} \quad (۲۴)$$

$$v_{dc2} = V_{C2} \quad (۲۵)$$

در روابط فوق I_{dc1} جریان تزریقی به مبدل منبع امپدانسی طبقه دوم در بازه زمانی $(1-D_{ST})T_s$ می‌باشد. هم چنین I_{dc2} جریان کشیده شده توسط پل اینورتر در بازه زمانی $(1-D_{ST})T_s$ می‌باشد.

۳-۲- نسبت تبدیل ولتاژ و جریان ساختار پیشنهادی در حالت دو طبقه

شکل (۵) شکل‌موج‌های مبدل را در حالت دائمی نشان می‌دهد.



شکل (۵): شکل‌موج‌های حالت دائمی ساختار پیشنهادی دو طبقه

با توجه به این که ولتاژ دو سر سلف‌ها در ساختار پیشنهادی در بازه زمانی $0 \le t < D_{ST}T_s$ مقداری ثابت و مثبتی بوده و برابر با ولتاژ دو سر خازن‌ها می‌باشد لذا با توجه به شکل (۵) و نیز رابطه (۷)، رابطه جریان عبوری از سلف منبع امپدانسی طبقه اول با ولتاژ دو سر آن به صورت زیر خواهد بود:

$$i_{L1} = I_{LV1} + \frac{V_{C1}}{L_1}t \quad (۲۶)$$

I_{LV1} حد پایین جریان سلف L_1 می‌باشد. برای بازه زمانی $D_{ST}T_s \le t < T_s$ نیز به همین صورت با توجه به این که ولتاژ دو سر سلف L_1 دارای مقداری ثابت و منفی بوده لذا با توجه به شکل (۵) و رابطه (۲۰) خواهیم داشت:

$$i_{L1} = I_{LP1} + \frac{V_i - V_{C1}}{L_1}t \quad (۲۷)$$

I_{LP1} حد بالای جریان سلف L_1 می‌باشد. در مورد مبدل منبع امپدانسی طبقه دوم و سلف L_2 نیز به ترتیب برای بازه‌های زمانی $0 \le t < D_{ST}T_s$ و $D_{ST}T_s \le t < T_s$ می‌توان نوشت:

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.1.8.6]

$$i_{L2} = I_{LV2} + \frac{V_{C2}}{L_2} t \qquad (۲۸)$$

$$i_{L2} = I_{LP2} + \frac{V_{dc1} - V_{C2}}{L_2} t \qquad (۲۹)$$

در روابط فوق، I_{LV2} I_{LP2} به ترتیب حد پایین و حد بالای جریان سلف L_2 می‌باشند.

طبق قانون تعادل ولتاژ، در حالت دائمی متوسط ولتاژ دو سر یک سلف در یک دوره تناوب برابر صفر می‌باشد به عبارت دیگر:

$$\int_0^{T_s} v_L \, dt = 0 \qquad (۳۰)$$

با جایگذاری مقدار v_{L1} از روابط (۷) و (۲۰) در رابطه فوق و ساده‌سازی آن خواهیم داشت:

$$\frac{V_{C1}}{V_i} = \frac{1-D_{ST}}{1-2D_{ST}} \qquad (۳۱)$$

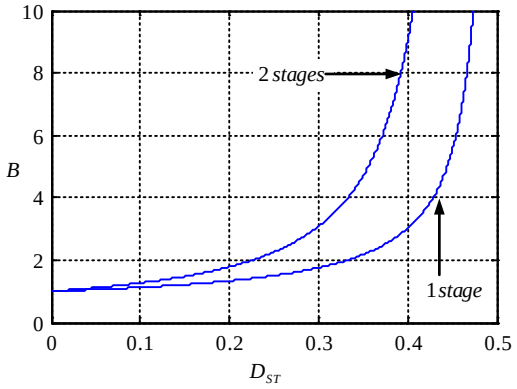
به همین ترتیب برای ولتاژ دو سر سلف L_2 عمل کرده لذا با توجه به روابط (۸)، (۲۱) و (۳۰)، نسبت ولتاژ دو سر خازن طبقه دوم به ولتاژ دو سر خازن طبقه اول برابر خواهد بود با:

$$\frac{V_{C2}}{V_{C1}} = \frac{1-D_{ST}}{1-2D_{ST}} \qquad (۳۲)$$

با جایگذاری مقدار V_{C1} از رابطه (۳۱) در رابطه (۳۲) ضریب افزایش در حالت دو طبقه (B_{2s}) برابر خواهد بود با:

$$B_{2s} = \frac{V_{C2}}{V_i} = \left(\frac{1-D_{ST}}{1-2D_{ST}}\right)^2 \qquad (۳۳)$$

منحنی تغییرات نسبت تبدیل $\frac{V_{C1}}{V_i}$ و $\frac{V_{C2}}{V_i}$ یا همان ضریب افزایش (B) بر حسب D_{ST} در شکل (۶) نشان داده شده است.



شکل(۶): مشخصه انتقال بین ورودی و خروجی مبدل افزاینده دو طبقه و یک طبقه

زمانی که $D_{ST} = 0$ باشد مقدار ضریب افزایش برابر 1 و زمانی که D_{ST} افزایش می‌یابد میزان افزایش ولتاژ به خصوص در حالت دو طبقه بسیار بیش‌تر می‌شود. باید دقت کرد ضریب کاری D_{ST} نمی‌تواند از ۰/۵ تجاوز کند. همان طور که در شکل (۶) مشخص است در یک ضریب کاری معین نسبت ولتاژ خروجی به ولتاژ ورودی اینورتر پیشنهادی بیش‌تر از حالت تک طبقه است و زمانی که $D_{ST} \geq 0.1$ این اختلاف به مراتب بیش‌تر می‌شود. به طور مثال زمانی که $D_{ST} = 0.4$ میزان افزایش ولتاژ در حالت تک طبقه و دو طبقه به ترتیب برابر 3 و 9 می‌باشند.

طبق قانون تعادل جریان، در حالت دائمی جریان عبوری از یک خازن در یک دوره تناوب برابر صفر می‌باشد به عبارت دیگر:

$$\int_0^{T_s} i_C \, dt = 0 \qquad (۳۴)$$

با جایگذاری مقدار i_{C1} از روابط (۹) و (۲۲) در رابطه فوق و ساده‌سازی آن خواهیم داشت:

$$\frac{I_{L1}}{I_{L2}} = \frac{1-D_{ST}}{1-2D_{ST}} \qquad (۳۵)$$

به همین ترتیب برای به دست آوردن جریان عبوری از خازن C_2 عمل کرده لذا با توجه به روابط (۱۰)، (۲۳) و (۳۴)، نسبت جریان عبوری از سلف به جریان ورودی اینورتر برابر خواهد بود:

$$\frac{I_{L2}}{I_{dc2}} = \frac{1-D_{ST}}{1-2D_{ST}} \qquad (۳۶)$$

با جایگذاری مقدار I_{L2} از رابطه (۳۵) در رابطه (۳۶) نسبت تبدیل جریان در حالت دو طبقه به دست خواهد آمد:

$$\frac{I_{dc2}}{I_{L1}} = \left(\frac{1-2D_{ST}}{1-D_{ST}}\right)^2 \qquad (۳۷)$$

مقدار متوسط ولتاژ لینک dc طبقه اول (V_{dc1}) از رابطه زیر به دست می‌آید:

$$V_{dc1} = \frac{1}{T_s} \int_0^{T_s} v_{dc1} \, dt \qquad (۳۸)$$

با جایگذاری مقدار v_{dc1} از روابط (۱۱) و (۲۴) در رابطه فوق و با ساده‌سازی آن خواهیم داشت:

$$V_{dc1} = (1-D_{ST})V_{C1} \qquad (۳۹)$$

مقدار متوسط ولتاژ لینک dc طبقه دوم (V_{dc2}) نیز به همین ترتیب از رابطه زیر به دست خواهد آمد:

$$V_{dc2} = \frac{1}{T_s} \int_0^{T_s} v_{dc2} \, dt \qquad (۴۰)$$

با جایگذاری مقدار v_{dc2} از روابط (۱۲) و (۲۵) در رابطه فوق و با ساده‌سازی آن خواهیم داشت:

$$V_{dc2} = (1-D_{ST})V_{C2} \qquad (۴۱)$$

با جایگذاری مقدار V_{C2} از رابطه (۳۳) در رابطه فوق مقدار متوسط ولتاژ لینک dc طبقه دوم از رابطه زیر نتیجه می‌شود:

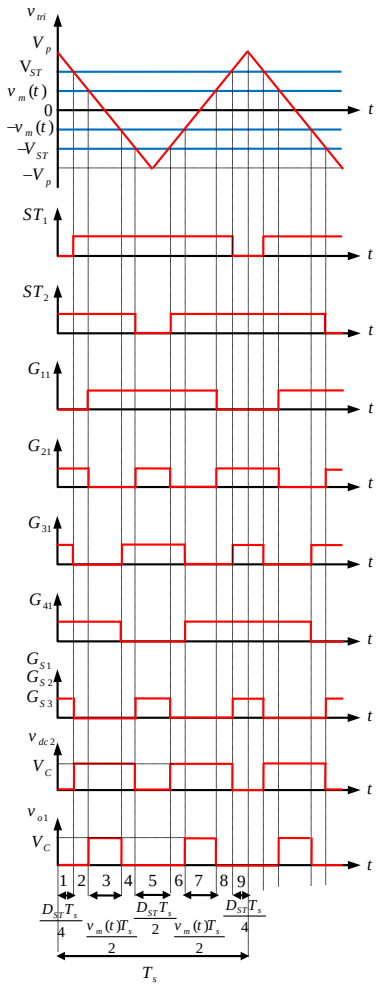
[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.1.8.6]
Journal of Iranian Association of Electrical and Electronics Engineers Vol15 No.1 Spring2018

$$V_{dc2} = \frac{(1-D_{ST})^3}{(1-2D_{ST})^2} \qquad (۴۲)$$

۳- کنترل PWM برای ساختار پیشنهادی

ساختار پیشنهادی به مانند سایر اینورترهای منبع امپدانسی از حالت ST برای افزایش ولتاژ ورودی V_i بهره می‌گیرد در حالی که روش PWM متداول در VSI به پل اینورتر اجازه نمی‌دهد که حالت ST داشته باشد. در ادامه روش PWM مورد استفاده توضیح داده می‌شود.

روش مورد استفاده در این مقاله یک روش PWM سینوسی-مثلثی می‌باشد. در این روش، کلیدهای S_1، S_2 و S_3 تنها دو بازه زمانی کلیدزنی در هر دوره تناوب T_s خواهند داشت. هم چنین فرکانس کلیدزنی آن‌ها همیشه ثابت است. شکل (۷) سیگنال‌های کنترل تولید شده در طول نیمه مثبت دوره تناوب $v_m(t)$ برای یک دوره تناوب T_s را نشان می‌دهد.



شکل (۷): سگینال‌های کنترل PWM طول نیمه مثبت دوره تناوب $v_m(t)$

همان طوری که در شکل (۷) نشان داده شده است سیگنال‌های کنترل گیت برای کلیدهای S_{11} و S_{21} از مقایسه سیگنال مدولاسیون سینوسی $v_m(t)$ و $-v_m(t)$ با یک $v_{tri}(t)$ حامل مثلثی فرکانس بالا با دامنه V_p تولید می‌شوند. فرکانس سیگنال حامل (f_s) طوری انتخاب می‌شود که $f_s >> f_o$ حاصل شود. بنابراین، $v_m(t)$ در طول یک دوره تناوب همان طور که در شکل (۷) نشان داده شده است تقریباً ثابت فرض می‌شود. شکل‌موج ولتاژ لینک dc طبقه دوم (v_{dc2}) و ولتاژ خروجی اینورتر قبل از فیلتر پایین‌گذر (v_{o1}) نیز در شکل (۷) نشان داده شده است. سیگنال‌های ST_1 و ST_2 به ترتیب از مقایسه $v_{tri}(t)$ با دو ولتاژ ثابت V_{ST} و $-V_{ST}$ مرتبط با ضریب کاری D_{ST} تولید می‌شوند. هدف از این دو سیگنال وارد کردن زمان اتصال کوتاه لازم در فاصله $D_{ST}T_s$ در سیگنال‌های کنترل گیت پل اینورتر می‌باشد.

با توجه به شرایط فوق سیگنال‌های G_{21}، G_{31}، G_{S1} و G_{S2} و G_{S3} به صورت زیر به دست می‌آیند. باید به این نکته توجه کرد که با توجه به این که کلیدهای S_1، S_2 و S_3 به صورت هم‌زمان روشن و خاموش می‌شوند بنابراین سیگنال کلیدزنی آن‌ها یکی بوده و با G_S نشان داده می‌شود:

$$G_{21} = \overline{G_{11} \wedge ST_2} \qquad (۴۳)$$

$$G_{31} = \overline{G_{41} \wedge ST_1} \qquad (۴۴)$$

$$G_S = \overline{ST_1 \wedge ST_2} \qquad (۴۵)$$

در روابط فوق، سمبل " $\overline{\quad}$ " نشان‌دهنده NOT منطقی می‌باشد.

۳-۱- رابطه ریاضی بین V_{ST} و ضریب کاری D_{ST}

از شکل (۷) می‌توان مشاهده کرد که ضریب کاری D_{ST} می‌تواند با V_{ST}های مختلف تغییر یابد، لذا می‌توان نوشت:

$$v_{tri} = \begin{cases} \left(\frac{-4V_p}{T_s}\right)\left(t - \frac{T_s}{4}\right) & for \;\; 0 \le t < \frac{T_s}{2} \\ \left(\frac{4V_p}{T_s}\right)\left(t - \frac{3T_s}{4}\right) & for \;\; \frac{T_s}{2} \le t < T \end{cases} \qquad (۴۶)$$

از شکل (۸) می‌توان روابط زیر را نوشت:

$$v_{tri}(t_1) = -V_{ST} \qquad (۴۷)$$

$$v_{tri}(t_2) = -V_{ST} \qquad (۴۸)$$

$$v_{tri}(t_1) = v_{tri}(t_2) \qquad (۴۹)$$

$$t_2 - t_1 = \frac{D_{ST}T_s}{2} \qquad (۵۰)$$

[Downloaded from jiaeee.com on 2026-11-20]

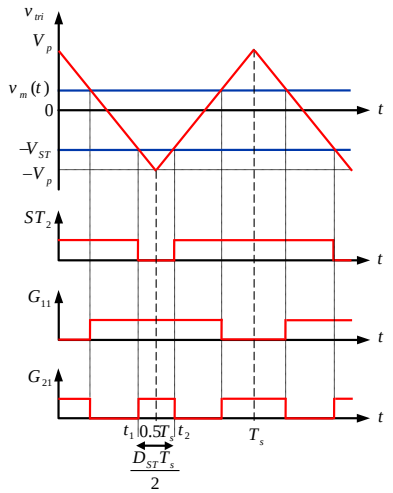
[DOR: 20.1001.1.26765810.1397.15.1.8.6]

با توجه به روابط (۴۷) تا (۵۰) مقدار D_{ST} از رابطه زیر به دست می‌آید:

$$D_{ST} = 1 - \frac{V_{ST}}{V_p} \qquad (۵۱)$$

۲-۳- بررسی تاثیر حالت اتصال کوتاه بر ولتاژ خروجی اینورتر (v_{o1})

در شکل (۸) شکل‌موج ولتاژ ورودی پل اینورتر (V_{dc2}) و شکل‌موج ولتاژ خروجی دو سر پل اینورتر (v_{o1}) نیز نشان داده شده‌اند.



شکل (۸): تولید ST در ساق کلیدهای S_{11} و S_{21} اینورتر

مشاهده می‌شود ولتاژ v_{o1} دارای سه بازه زمانی صفر (زمانی که $v_{o1}=0$) و دو بازه زمانی غیر صفر (زمانی که $v_{o1}=V_{C2}$) در هر دوره تناوب می‌باشد. برای حصول اطمینان از این که بازه زمانی ST از بازه زمانی غیر صفر اینورتر فراتر نمی‌رود و با بازه‌های زمانی توان v_{o1} تداخل ندارد D_{ST} باید طوری انتخاب شود که کل بازه زمانی ST، از کل بازه زمانی در دسترس از فاصله صفر در هر دوره تناوب تجاوز نکند به عبارت دیگر:

$$D_{ST}T_s < T_s - \max\left(\frac{v_m(t)T_s}{V_p}\right) \qquad (۵۲)$$

با ساده‌سازی رابطه فوق نتیجه زیر حاصل می‌شود:

$$D_{ST} < 1 - M \qquad (۵۳)$$

در رابطه فوق، $M = \max\left(\frac{v_m(t)}{V_p}\right)$ شاخص مدولاسیون اینورتر می‌باشد. با جایگذاری مقدار D_{ST} از رابطه (۵۰) در رابطه (۵۲) و ساده‌سازی آن می‌توان نوشت:

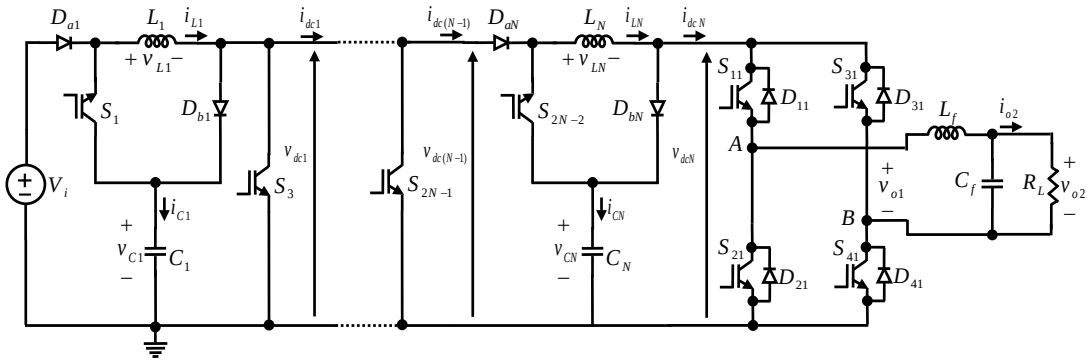
$$V_{ST} > M\,V_p \qquad (۵۴)$$

اگر مقدار V_{ST} با توجه به رابطه (۵۴) انتخاب شود طیف هارمونیک v_{o1} همان VSI کنترل شده با PWM سینوسی و مثلثی متداول با کلیدزنی ولتاژ تک قطبی خواهد بود. هم چنین مقدار حداکثر مولفه اصلی v_{o1} به صورت زیر به دست می‌آید:

$$V_{o1,\max} = V_{o2,\max} = MV_{C2} = M\,\frac{(1-D_{ST})^2}{(1-2D_{ST})^2}\,V_i \qquad (۵۵)$$

۴- ساختار پیشنهادی N طبقه

شکل (۹) ساختار پیشنهادی N طبقه را نشان می‌دهد که از N مبدل منبع امپدانسی به همراه $N-1$ کلید الکترونیک قدرت تشکیل شده است. هر کدام از مبدل‌های منبع امپدانسی به صورت جداگانه عمل افزایش ولتاژ را انجام می‌دهند و کلیدهای مشترک نقش ایجاد اتصال کوتاه یا همان ST را برای مبدل‌ها را بر عهده دارند. دقت شود که شماره‌گذاری کلیدها در شکل (۹) برای حالتی که تعداد طبقات ساختار ۲ و یا بیش‌تر باشد صدق می‌کند و در حالت یک طبقه صادق نیست. در این حالت مشابه حالت دو طبقه ولتاژ خروجی مبدل منبع امپدانسی $(k-1)$ام به عنوان ولتاژ ورودی مبدل منبع امپدانسی kام عمل خواهد کرد و این باعث می‌شود که در هر مرحله ولتاژ افزایش داشته و با توجه به چرخه کاری D_{ST} به سطح ولتاژ مورد نظر دست یافت.



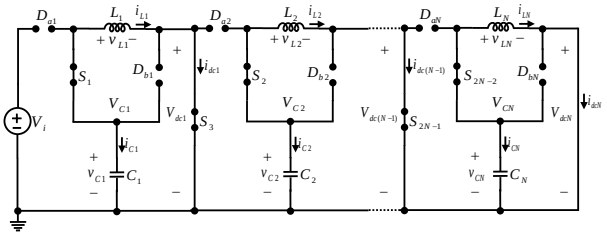
شکل (۹): مدار قدرت ساختار پیشنهادی N طبقه

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.1.8.6]
Journal of Iranian Association of Electrical and Electronics Engineers Vol15 No.1 Spring2018

۴-۱- عمل‌کرد مبدل در بازه زمانی $0 \le t \le D_{ST}T_s$

در طول فاصله زمانی ST یکی از دو ساق اینورتر اتصال کوتاه می‌شوند و کلیدهای S_1، S_2 تا S_{2N-1} در طول این فاصله زمانی روشن می‌شوند. همان طور که در مدار معادل شکل (۱۰) نشان داده شده است پل اینورتر به صورت اتصال کوتاه در طول این بازه زمانی نشان داده می‌شود. دیودهای (D_{a1} و D_{b1}) از مبدل منبع امپدانسی اول تا دیودهای (D_{aN} و D_{bN}) از مبدل منبع امپدانسی Nام در حالت بایاس معکوس قرار می‌گیرند. جریان سلف‌ها در این فاصله زمانی برابر با جریان دشارژ خازن‌ها می‌باشد.



شکل (۱۰): مدار معادل ساختار پیشنهادی N طبقه و در بازه زمانی $0 \le t \le D_{ST}T_s$

با تعمیم روابط ولتاژ و جریان در حالت دو طبقه می‌توان روابط میان ولتاژ و جریان ورودی و خروجی مبدل N طبقه را بدست آورد. با فرض $k \ge 3$ و با صرف نظر از ریپل ولتاژ و جریان و با توجه به روابط (۷) تا (۱۲)، روابط ولتاژ و جریان طبقه $(k-1)$ام و kام به صورت زیر تبدیل می‌شوند:

$$v_{Lk} = V_{Ck} \quad (۵۶)$$

$$V_{dc1} = (1-D_{ST})V_{C1} \quad (۵۷)$$

$$i_{C(k-1)} = -I_{L(k-1)} \quad (۵۸)$$

$$i_{Ck} = -I_{Lk} \quad (۵۹)$$

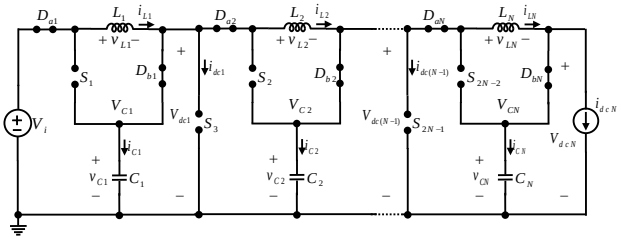
$$v_{dc(k-1)} = 0 \quad (۶۰)$$

$$v_{dck} = 0 \quad (۶۱)$$

در روابط فوق، $V_{C(k-1)}$ و $I_{L(k-1)}$ به ترتیب نشان‌دهنده مقدار متوسط ولتاژ خازن و جریان سلف طبقه $(k-1)$ام و V_{Ck} و I_{Lk} به ترتیب نشان‌دهنده مقدار متوسط ولتاژ خازن و جریان سلف طبقه kام می‌باشند.

۴-۲- عملکرد مبدل در بازه زمانی $D_{ST}T_s \le t \le T_s$

برای بازه زمانی $(1-D_{ST})T_s$، اینورتر در حالت غیر ST بوده و کلیدهای S_1، S_2 تا S_{2N-1} خاموش می‌شوند. پل اینورتر در این فاصله زمانی توسط یک منبع جریان به عنوان مدار معادل در شکل (۱۱) نشان داده شده است.



شکل (۱۱): مدار معادل ساختار پیشنهادی N طبقه و در بازه زمانی $D_{ST}T_s \le t \le T_s$

در این حالت، منبع ولتاژ V_i به همراه سلف‌های L_1، L_2 تا L_N مشترکاً اینورتر را تغذیه می‌کنند. خازن‌های C_1 تا C_N نیز به ترتیب از طریق دیودهای (D_{11} و D_{12}) تا (D_{N1} و D_{N2}) تغذیه می‌شوند. جریان سلف‌ها در این فاصله زمانی برابر با مجموع جریان شارژ خازن‌ها و جریان خروجی از مبدل منبع امپدانسی می‌باشند که به ترتیب i_{dc1}، i_{dc2} .... i_{dcN} می‌باشند.

در این حالت نیز با صرف نظر کردن از ریپل ولتاژ و جریان و با توجه به روابط (۲۰) تا (۲۵)، روابط ولتاژ و جریان طبقه $(k-1)$ام و kام به صورت زیر بیان می‌شوند:

$$v_{L(k-1)} = V_{C(k-2)} - V_{C(k-1)} \quad (۶۲)$$

$$v_{Lk} = v_{dc(k-1)} - V_{Ck} = V_{C(k-1)} - V_{Ck} \quad (۶۳)$$

$$i_{C(k-1)} = I_{L(k-1)} - I_{dc(k-1)} = I_{L(k-1)} - I_{Lk} \quad (۶۴)$$

$$i_{Ck} = I_{Lk} - I_{dck} \quad (۶۵)$$

$$v_{dc(k-1)} = V_{C(k-1)} \quad (۶۶)$$

$$v_{dck} = V_{Ck} \quad (۶۷)$$

در روابط فوق، $V_{C(k-2)}$ مقدار متوسط ولتاژ خازن طبقه $(k-2)$ام می‌باشد. هم چنین $I_{dc(k-1)}$ جریان تزریقی به مبدل منبع امپدانسی طبقه $(k-1)$ام و I_{dck} جریان تزریقی به مبدل منبع امپدانسی طبقه kام در بازه زمانی $(1-D_{ST})T_s$ می‌باشند.

۴-۳- نسبت تبدیل ولتاژ در حالت N طبقه

با توجه به قانون تعادل ولتاژ در یک سلف می‌توان نسبت ولتاژ خازن‌های دو طبقه متوالی را پیدا کرد. بدین ترتیب با جایگذاری مقدار $v_{L(k-1)}$ از روابط (۵۶) و (۶۲) در رابطه (۳۰) و ساده‌سازی آن رابطه زیر به دست می‌آید:

$$\frac{V_{C(k-1)}}{V_{C(k-2)}} = \frac{1-D_{ST}}{1-2D_{ST}} \quad (۶۸)$$

لازم به ذکر است که در صورتی که اندیس ولتاژ خازن برابر صفر باشد، ولتاژ برابر با ولتاژ منبع تغذیه خواهد بود یعنی :

$$V_{C(k-2)}|_{k=2} = V_i \quad (۶۹)$$

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.1.8.6]

به همین شکل برای ولتاژ دو سر سلف L_k عمل کرده لذا باتوجه به روابطه (۵۷)، (۶۳) و (۳۰) رابطه زیر به دست می‌آید:

$$\frac{V_{Ck}}{V_{C(k-1)}}=\frac{1-D_{ST}}{1-2D_{ST}} \qquad (۷۰)$$

با جایگذاری مقدار $V_{C(k-1)}$ از رابطه (۶۵) در رابطه (۶۸) رابطه زیر به دست می‌آید:

$$\frac{V_{Ck}}{V_{C(k-2)}}=\left(\frac{1-D_{ST}}{1-2D_{ST}}\right)^2 \qquad (۷۱)$$

در صورتی که $k=3$ باشد رابطه فوق به صورت زیر در می‌آید:

$$\frac{V_{C3}}{V_{C1}}=\left(\frac{1-D_{ST}}{1-2D_{ST}}\right)^2 \qquad (۷۲)$$

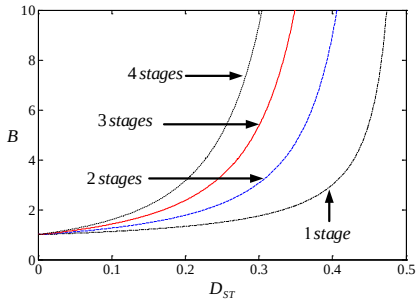
با جایگذاری مقدار V_{C1} از رابطه (۳۱) در رابطه فوق ضریب افزایش ساختار پیشنهادی سه طبقه از رابطه زیر حاصل می‌شود:

$$B_{3s}=\frac{V_{C3}}{V_i}=\left(\frac{1-D_{ST}}{1-2D_{ST}}\right)^3 \qquad (۷۳)$$

با توجه به روابط به دست آمده برای حالت دو طبقه و سه طبقه اگر این معادلات را برای حالت N طبقه بسط دهیم ضریب افزایش از رابطه زیر به دست می‌آید:

$$B_{Ns}=\frac{V_{CN}}{V_i}=\left(\frac{1-D_{ST}}{1-2D_{ST}}\right)^N \qquad (۷۴)$$

شکل (۱۲) مقایسه‌ای از ضریب افزایش اینورتر پیشنهادی برای تعداد طبقات مختلف برحسب ضریب کاری D_{ST} را نشان می‌دهد.



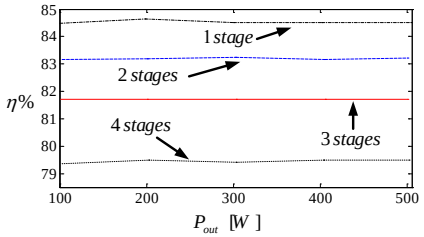
شکل (۱۲): مقایسه ضریب افزایش اینورتر پیشنهادی برای تعداد طبقات مختلف

۵- مطالعه موردی بین میزان تلفات ساختار پیشنهادی با افزایش تعداد طبقات

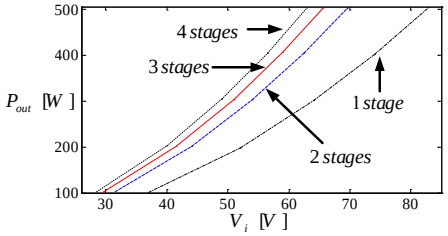
در این قسمت به منظور بررسی میزان تلفات ساختار پیشنهادی در تعداد طبقات مختلف میزان تلفات خروجی و راندمان این ساختارها با استفاده از نتایج شبیه‌سازی نزدیک به محیط آزمایشگاهی اندازه‌گیری می‌شوند. به منظور اندازه‌گیری میزان تلفات هر ساختار، تمام اجزای مورد استفاده به صورت غیر ایده‌آل می‌باشند. به همین منظور فرضیات زیر در نظر گرفته شده‌اند:

- دیودها با یک دیود ایده‌آل به همراه یک مقاومت $r_D=0.1\Omega$ و یک منبع ولتاژ $V_D=0.6V$ سری با آن‌ها مدل می‌شوند.
- کلیدهای الکترونیک قدرت نیز با یک کلید ایده‌آل به همراه یک مقاومت $r_S=0.25\Omega$ و یک منبع ولتاژ $V_S=0.5V$ که به صورت سری با آن‌ها قرار می‌گیرند مدل می‌شوند.
- مقادیر سلف‌ها و خازن‌ها به ترتیب برابر با $L=2mH$ و $C=470\mu F$ انتخاب می‌شوند و مقاومت داخلی سلف‌ها و خازن‌ها به صورت سری با آن‌ها و به ترتیب برابر با $r_L=0.2\Omega$ و $r_C=0.05\Omega$ در نظر گرفته می‌شوند.

در شکل (۱۳) میزان بازده ساختار پیشنهادی با طبقات مختلف تحت توان خروجی یکسان برای ضریب افزایش $B=4$ نشان داده شده‌اند. به منظور دست‌یابی به ضریب افزایش یکسان، با توجه به شکل (۱۲) با افزایش تعداد طبقات مقدار چرخه کاری کاهش می‌یابد. هم چنین در شکل (۱۴) میزان افزایش ولتاژ ورودی برای تولید توان خروجی معین نشان داده شده است. با توجه به شکل (۱۳) ملاحظه می‌شود که با افزایش تعداد طبقات میزان راندمان اینورتر کاهش می‌یابد ولی بایستی به این نکته توجه داشت که با توجه به شکل (۱۴) برای دست‌یابی به توان خروجی معین تحت شرایط یکسان میزان ولتاژ ورودی برای اینورتر با تعداد طبقه کم بایستی افزایش یابد به طوری که برای تولید توان خروجی 500W، ولتاژ ورودی برای حالت تک طبقه در حدود 83V و برای اینورتر پیشنهادی چهار طبقه در حدود 63 ولت می‌باشد. این نشان می‌دهد که با افزایش تعداد طبقات می‌توان توان خروجی بیش‌تری برای یک ولتاژ ورودی معین تولید کرد.



شکل (۱۳): مقایسه میزان بازده تحت توان خروجی یکسان برای ضریب افزایش $B=4$



شکل (۱۴): مقایسه میزان توان خروجی بر حسب ولتاژ ورودی برای ضریب افزایش $B=4$

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.1.8.6]
Journal of Iranian Association of Electrical and Electronics Engineers Vol15 No.1 Spring2018

۶- مقایسه ساختار پیشنهادی با ساختارهای مرسوم

در این قسمت ساختار پیشنهادی با اینورترهای منبع امپدانسی مرسوم از لحاظ مختلف مقایسه می‌شود و مزایا و معایب هر یک از ساختارها نشان داده می‌شوند.

در جدول (۱) تعداد اجزای موجود در شبکه امپدانسی ساختار پیشنهادی در حالت دو طبقه و N طبقه و نیز تعداد اجزای موجود در شبکه امپدانسی اینورترهای منبع امپدانسی مرسوم نشان داده شده‌اند. از این جدول می‌توان مشاهده کرد که در اینورتر افزاینده کلیدزنی شده، از دو عنصر غیر فعال و سه کلید نیمه هادی استفاده شده است در حالی که در ZSI، از چهار عنصر غیر فعال و یک کلید نیمه هادی استفاده شده است. در ساختار ارائه شده در مرجع [۱۷] به منظور افزایش قدرت افزایندگی ولتاژ تعداد عناصر پسیو و نیز تعداد دیودها افزایش یافته است. هم چنین در اینورتر پیشنهادی دو طبقه تعداد سلف‌ها و خازن‌ها برابر با تعداد آن‌ها در ZSI بوده ولی تعداد عناصر نیمه‌هادی افزایش یافته است.

جدول (۱): مقایسه تعداد اجزا در مبدل افزاینده کلید شده و مبدل منبع امپدانسی با ساختار پیشنهادی

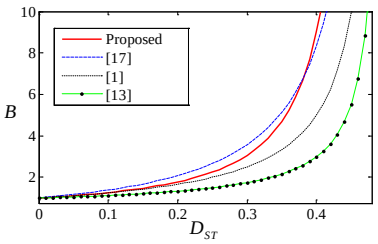
	ساختار پیشنهادی دو طبقه	ساختار پیشنهادی N طبقه	ZSI [۱]	SBI [۱۳]	EBZSI [۱۷]
تعداد سلف‌ها	2	N	2	1	3
تعداد خازن‌ها	2	N	2	1	3
تعداد کلیدهای قدرت	3	$2N-1$	0	1	0
تعداد دیودها	4	$2N$	1	2	3

در روابط (۳۳) و (۷۴) ضریب افزایش ولتاژ ساختار پیشنهادی برای حالت دو طبقه و N طبقه محاسبه شد. با توجه به موارد فوق و نیز روابط به دست آمده، روابط ضریب افزایش ولتاژ هر یک از ساختارها به همراه تنش ولتاژ روی اجزا در جدول (۲) نشان داده شده‌اند. در این جدول هم چنین بیشینه مقدار ولتاژ روی اجزا بر حسب ضریب افزایش ولتاژ محاسبه شده است. ملاحظه می‌شود که تحت ضریب افزایش یکسان بیشینه مقدار تنش ولتاژ روی کلیدها و دیودها در هر یک از ساختارها یکسان بوده ولی بیشینه مقدار تنش ولتاژ روی خازن‌ها تحت ضریب افزایش یکسان متفاوت می‌باشد.

با توجه به روابط نشان داده شده در جدول (۲)، ضریب افزایش ولتاژ و نیز بیشینه مقدار تنش ولتاژ روی خازن در ساختار پیشنهادی دو طبقه با ساختارهای مرسوم در شکل‌های (۱۵) و (۱۶) مقایسه شده‌اند. با توجه به شکل (۱۵) ملاحظه می‌شود که چرخه‌های کاری کوچک ضریب افزایش ولتاژ ساختار [۱۷] بیش‌تر از ساختارهای دیگر بوده ولی با افزایش مقدار چرخه کاری ضریب افزایش ولتاژ ساختار پیشنهادی بیش‌تر می‌شود. با افزایش مقدار ضریب افزایش ولتاژ تنش ولتاژ روی عناصر افزایش می‌یابد. این حالت در انواع مختلف اینورترهای منبع امپدانسی وجود دارد. با توجه به شکل (۱۶) ملاحظه می‌شود که تحت ضریب افزایش یکسان با افزایش مقدار ضریب افزایش ولتاژ، تنش ولتاژ روی خازن‌ها در همه ساختارها افزایش می‌یابد. ملاحظه می‌شود که تنش ولتاژ روی خازن در ساختار ZSI کم‌تر از ساختارهای دیگر بوده و این ناشی از پایین بودن میزان ضریب افزایش ولتاژ آن می‌باشد. به طور کلی می‌توان با طراحی مناسب قطعات و نیز با توجه به کاربرد مبدل، شرایط تعادلی بین میزان ضریب افزایش ولتاژ و تنش ولتاژ ایجاد شده ناشی از آن ایجاد کرد.

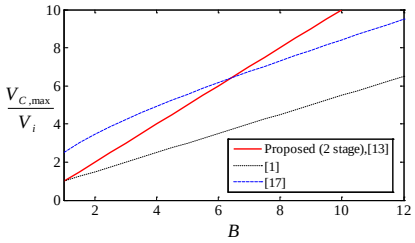
جدول (۲): مقایسه ضریب افزایش ولتاژ و تنش ولتاژ روی اجزا

	ساختار پیشنهادی دو طبقه	ساختار پیشنهادی N طبقه	ZSI [۱]	SBI [۱۳]	EBZSI [۱۷]
B	$\left(\frac{1-D_{ST}}{1-2D_{ST}}\right)^2$	$\left(\frac{1-D_{ST}}{1-2D_{ST}}\right)^2$	$\frac{1}{1-2D_{ST}}$	$\frac{1-D_{ST}}{1-2D_{ST}}$	$\frac{1}{2D_{ST}^2-3D_{ST}+1}$
D_{ST}	$\frac{\sqrt{B}-1}{2\sqrt{B}-1}$	$\frac{\sqrt[N]{B}-1}{2\sqrt[N]{B}-1}$	$\frac{B-1}{2B}$	$\frac{B-1}{2B-1}$	$0.75-\sqrt{\frac{8+B}{4B}}$
V_{C1}	$\sqrt{B}V_i$	$\sqrt[N]{B}V_i$	$\frac{B+1}{2}V_i$	BV_i	$D_{ST}BV_i$
V_{C2}	BV_i	$\sqrt[N]{B^2}V_i$	$\frac{B+1}{2}V_i$	——	$D_{ST}BV_i$
V_{C3}	——	$\sqrt[N]{B^3}V_i$	——	——	$(1-2D_{ST})BV_i$
V_{CN}	——	BV_i	——	——	——
$\frac{V_{C,\max}}{V_i}$	B	B	$\frac{B+1}{2}$	B	$(1-2D_{ST})B$
v_{D1}	$(1-\sqrt{B})V_i$	$(1-\sqrt[N]{B})V_i$	$-BV_i$	$(1-B)V_i$	$-BV_i$
v_{D2}	$-\sqrt{B}V_i$	$-\sqrt[N]{B}V_i$	——	$-BV_i$	$(2D_{ST}-1)BV_i$
v_{D3}	——	$(1-\sqrt[N]{B^2})V_i$	——	——	$-2D_{ST}BV_i$
v_{DN}	——	$-BV_i$	——	——	——
$\frac{V_{D,\max}}{V_i}$	$-B$	$-B$	$-B$	$-B$	$-B$
v_{S1}	$(\sqrt{B}-1)V_i$	$(\sqrt[N]{B}-1)V_i$	——	$(B-1)V_i$	——
v_{S2}	$(B-\sqrt{B})V_i$	$(\sqrt[N]{B^2}-\sqrt[N]{B})V_i$	——	——	——
v_{S3}	$\sqrt{B}V_i$	$\sqrt[N]{B}V_i$	——	——	——
$v_{S(2N-1)}$	——	$\sqrt[N]{B^{(N+1)}}V_i$	——	——	——
v_{S11}	BV_i	BV_i	BV_i	BV_i	BV_i
$\frac{V_{S,\max}}{V_i}$	B	B	B	B	B



شکل (۱۵): مقایسه ضریب افزایش ولتاژ بر حسب تغییرات چرخه کاری

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.1.8.6]



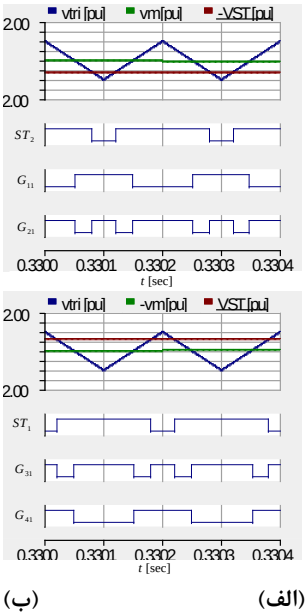
شکل (۱۶): مقایسه حداکثر تنش ولتاژ روی خازن‌ها بر حسب تغییرات ضریب افزایش ولتاژ

۷- نتایج شبیه‌سازی

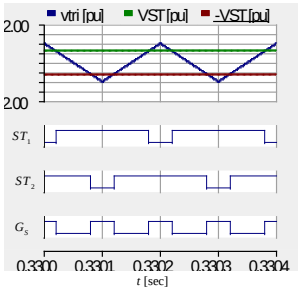
به منظور بررسی صحت مطالب ارائه شده، اینورتر منبع امپدانسی دو طبقه پیشنهادی در محیط نرم‌افزار PSCAD/EMTDC شبیه‌سازی شده و نتایج به دست آمده در این قسمت ارائه می‌شوند. جدول (۳) پارامترهای مورد استفاده برای شبیه‌سازی را نشان می‌دهد.

جدول (۳): پارامترهای مورد استفاده برای شبیه‌سازی ساختار پیشنهادی دو طبقه

مقدار	مولفه / اجزا	مقدار	مولفه / اجزا
$8\,mH$	سلف طبقه دوم	$20V$	ولتاژ ورودی
$470\,\mu F$	خازن طبقه اول	$50\,Hz$	فرکانس اصلی
$470\,\mu F$	خازن طبقه دوم	$5\,kHz$	فرکانس کلیدزنی
$4.6\,mH$	سلف فیلتر خروجی	0.4	چرخه کاری ST
$10\,\mu F$	خازن فیلتر خروجی	0.5	شاخص مدولاسیون
$25\,\Omega$	مقاومت بار	$3\,mH$	سلف طبقه اول



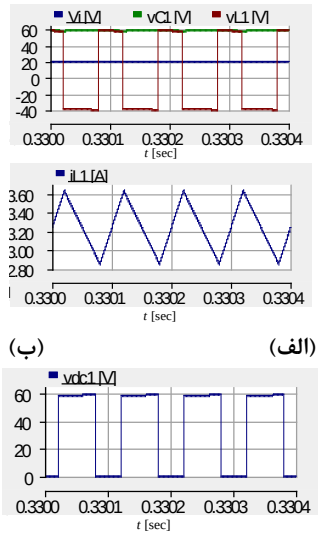
(ب) **(الف)**



(ج)

شکل (۱۷): تولید سیگنال‌های کنترل PWM برای ساختار پیشنهادی (الف) تولید ST در ساق کلیدهای S_{11} و S_{21} اینورتر؛ (ب) تولید ST در ساق کلیدهای S_{31} و S_{41} اینورتر؛ (ج) تولید سیگنال گیت برای کلیدهای S_1، S_2 و S_3

شکل (۱۷) سیگنال‌های کنترل PWM تولید شده با استفاده از الگوی کلیدزنی کنترل PWM نشان داده شده در شکل (۷) می‌باشند. شکل (۱۸) شکل‌موج‌های ولتاژ و جریان مربوط به اجزای طبقه اول را نشان می‌دهد. در شکل (۱۸-الف) ولتاژ منبع تغذیه، ولتاژ دو سر خازن طبقه اول و ولتاژ دو سر سلف طبقه اول نشان داده شده‌اند. همان طور که در جدول (۳) بیان شده است ولتاژ منبع تغذیه $20V$ می‌باشد که با چرخه کاری $D_{ST}=0.4$ ولتاژ به میزان سه برابر در طبقه اول افزایش می‌یابد و ولتاژ دو سر خازن به $60V$ می‌رسد. هم چنین همان طور در شکل (۱۸-الف) نیز مشخص است ولتاژ دو سر سلف در بازه زمانی ST تقریباً برابر $60V$ و در بازه زمانی غیر ST در حدود $-40V$ می‌باشد که محاسبات تئوری نیز آن را تصدیق می‌کنند. در شکل‌های (۱۸- ب) و (۱۸- ج) نیز به ترتیب جریان سلف طبقه اول و ولتاژ لینک dc خروجی طبقه اول نشان داده شده‌اند. ولتاژ لینک dc در بازه زمانی ST برابر $0V$ و در بازه زمانی غیر ST برابر $60V$ می‌باشد که درستی روابط را نشان می‌دهد.



(ب) **(الف)**

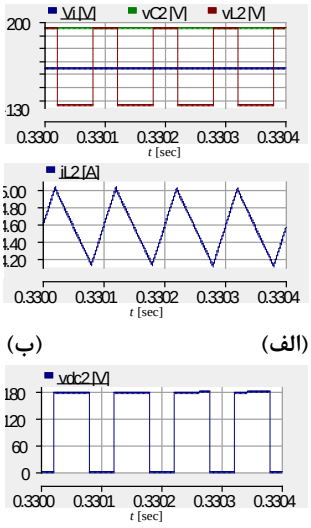
(ج)

شکل (۱۸): شکل‌موج‌های ولتاژ و جریان اجزای طبقه اول (الف) ولتاژ منبع تغذیه (V_i)، ولتاژ خازن طبقه اول (v_{C1}) و ولتاژ دو سر سلف

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1397.15.1.8.6]
Journal of Iranian Association of Electrical and Electronics Engineers Vol15 No.1 Spring2018

طبقه اول (v_{L1})**؛ (ب) جریان عبوری از سر سلف طبقه اول** (i_{L1})**؛ (ج) ولتاژ لینک dc طبقه اول** (v_{dc1})

در شکل (۱۹) نیز ولتاژ و جریان اجزای طبقه دوم نشان داده شده‌اند. در شکل (۱۹-الف) ولتاژ منبع تغذیه، ولتاژ دو سر خازن طبقه دوم و ولتاژ دو سر سلف طبقه دوم نشان داده شده‌اند. این بار با چرخه کاری $D_{ST}=0.4$ ولتاژ به 9 برابر ولتاژ منبع تغذیه یعنی به $180V$ می‌رسد. هم چنین ولتاژ دو سر سلف طبقه دوم نیز در شکل (۱۹-الف) نشان داده شده است. در بازه زمانی ST ولتاژ دو سر سلف طبقه دوم برابر با ولتاژ دو سر خازن طبقه دوم یعنی حدوداً برابر با $180V$ بوده و در بازه زمانی غیر ST برابر با اختلاف ولتاژ خازن‌های طبقه اول و دوم یعنی $-120V$ می‌باشد که محاسبات تئوری نیز آن را تصدیق می‌کنند. در شکل‌های (۱۹-ب) و (۱۹-ج) نیز به ترتیب جریان سلف طبقه دوم و ولتاژ لینک dc خروجی طبقه دوم نشان داده شده‌اند. ولتاژ لینک dc در این طبقه همان ولتاژ ورودی اینورتر تمام پل می‌باشد که در بازه زمانی ST برابر $0V$ و در بازه زمانی غیر ST برابر با ولتاژ خازن طبقه دوم یعنی $180V$ می‌باشد که درستی روابط را نشان می‌دهد.

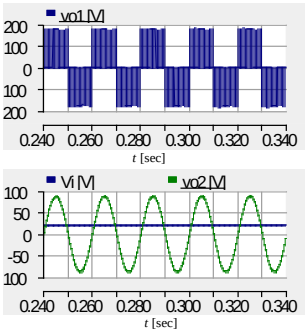


(ب) (الف)

(ج)

شکل (۱۹): شکل‌موج‌های ولتاژ و جریان اجزای طبقه دوم (الف) ولتاژ منبع تغذیه (V_i)**، ولتاژ خازن طبقه دوم** (v_{C2}) **و ولتاژ دو سر سلف طبقه دوم** (v_{L2})**؛ (ب) جریان عبوری از سر سلف طبقه دوم** (i_{L2})**؛ (ج) ولتاژ لینک dc طبقه دوم** (v_{dc2})

شکل‌های (۱۸) و (۱۹) در دو دوره تناوب نشان داده شده‌اند که با توجه به فرکانس بالای کلیدزنی (f_s) مدت زمان کم‌تری را شامل می‌شوند. در شکل (۲۰) شکل‌موج‌های ولتاژ خروجی اینورتر تمام پل قبل و بعد از فیلتر پایین گذر در چند دوره تناوب نشان داده شده‌اند. با توجه به اینکه فرکانس ولتاژ خروجی اینورتر (f_o) به مراتب کوچک‌تر از فرکانس کلیدزنی می‌باشد این شکل‌موج‌ها در بازه زمانی بیش‌تری نشان داده شده‌اند. شکل (۲۰-الف) ولتاژ خروجی اینورتر قبل از فیلتر پایین‌گذر را نشان می‌دهد. هم چنین در شکل (۲۰-ب) ولتاژ منبع تغذیه و ولتاژ خروجی اینورتر تمام پل بعد از فیلتر نشان داده شده است که تقریباً شکل سینوسی دارد. بیشینه ولتاژ v_{o2} در شاخص مدولاسیون $M=0.5$ حدوداً برابر با $90V$ می‌شود که درستی آن در شکل (۲۰-ب) اثبات می‌شود.



(ب) (الف)

شکل (۲۰): شکل‌موج‌های ولتاژ خروجی اینورتر (الف) ولتاژ خروجی اینورتر قبل از فیلتر پایین‌گذر (v_{o1})**؛ (ب) ولتاژ منبع تغذیه** (V_i)**، ولتاژ خروجی اینورتر بعد از فیلتر پایین‌گذر** (v_{o2})

۸- نتیجه‌گیری

در این مقاله اینورتر منبع امپدانسی چند طبقه ارائه شد. تحلیل کامل و جامعی از عمل‌کرد مبدل پیشنهادی در حالت دو طبقه و N طبقه برای مد کاری ST و غیر ST ارائه شد. هم چنین روش کلیدزنی PWM این ساختار نیز بیان شد. مقایسه جامعی بین ساختار پیشنهادی دو طبقه و N طبقه با اینورتر منبع امپدانسی مرسوم و اینورتر افزاینده کلیدزنی شده انجام شد و مشخص شد که اینورتر پیشنهادی ضریب افزایش بیش‌تری نسبت به ساختارهای مرسوم دارد به طوری که در ولتاژ ورودی $20V$ و چرخه کاری $D_{ST}=0.4$، بیشینه ولتاژ ورودی اینورتر پل کامل در اینورتر منبع امپدانسی مرسوم برابر با $100V$ و اینورتر افزاینده کلیدزنی شده برابر با $60V$ می‌باشد. در صورتی که در همین شرایط کاری ولتاژ خروجی ساختار پیشنهادی دو طبقه برابر با $180V$ می‌باشد. هم چنین رابطه بین تعداد طبقات با راندمان و میزان تلفات تحت شرایط یکسان بررسی شد و مشخص شد که با افزایش تعداد طبقات راندمان کاهش می‌یابد ولی مقدار ولتاژ ورودی برای تولید یک توان خروجی معین نیز کاهش می‌یابد.

مراجع

[1] F.Z. Peng, "Z-source inverter," IEEE Trans. Power Electron., vol. 39, no. 2, pp. 504-510, March/April 2003.

[2] S.M. Dehghan, M. Mohamadian, and A.Y. Varjani, "A new variable speed wind energy conversion system using permanent magnet synchronous generator and Z-source

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.1.8.6]

inverter," IEEE Trans. Energy Conversion, vol. 24, no. 3, pp. 714-724, Sep. 2009.

[3] E. Babaei and E. Shokati Asl, "A new topology for Z-source half-bridge inverter with low voltage stress on capacitors," Elsevier Electric Power Systems Research, vol. 140, no. 10, pp. 724-734, Nov. 2016.

[4] Q. Lei, D. Cao, and F.Z. Peng, "Novel loss and harmonic minimized vector modulation for a current fed quasi-Z-source inverter in HEV motor drive application," IEEE Trans. Power Electron., vol. 29, no. 3, pp. 1344-1357, March 2009.

[5] A. Shahinpour, J. S. Moghani, G. B. Gharehpetian and B. Abdi, "High gain high-voltage z-source converter for offshore wind energy systems," in Proc. PEDSTC, 2014, Tehran, Iran, pp. 488-493.

[6] D. Vinnikov, and I. Roasto, "Quasi-Z-source based isolated DC/DC converters for distributed power generation," IEEE Trans. Ind. Electron., vol. 58, no. 1, pp. 192-201, Jan. 2011.

[7] D. Vinnikov, I. Roasto, R. Strzelecki, and M. Adamowicz, "Step up DC/DC converters with cascaded quasi-Z-source network," IEEE Trans. Power Electron., vol. 59, no. 10, pp. 3727–3735, Oct. 2012.

[8] V.P. Galigekere, and M.K. Kazimierczuk, "Analysis of PWM Z-source DC-DC converter in CCM for steady state," IEEE Trans. Circuits and Systems, vol. 59, no. 4, pp. 854-863, April 2012.

[9] E. Babaei, E. Shokati Asl, and M. Hasan Babayi, "Steady-state and small-signal analysis of high voltage gain half-bridge switched-boost inverter," IEEE Trans. Ind. Electron., vol. 63, no. 6, pp. 3546-3553, June 2016.

[10] J. Anderson and F. Peng, "Four quasi-Z-source inverters," in Proc. PESC, 2008, Rhodes, Greece, pp. 2743-2749.

[11] Y. Tang, J. Wei, and Sh. Xie, "Grid-tied photovoltaic system with series Z-source inverter", IET Renewable Power Generation, vol. 7, no. 3, pp. 275-283, Jan. 2013.

[12] P.C. Loh, D.M. Vilathgamuwa, C.J. Gajanayake, L.T. Wong, and C.P. Ang, "Z-source current type inverters: digital modulation and logic implementation," IEEE Trans. Power Electron., vol. 22, no. 1, pp. 169-177, Jan. 2007.

[13] A. Ravindranath, S.K. Mishra, and A. Joshi, "Analysis and PWM control of switched boost inverter," IEEE Trans. Power Electron., vol. 60, no. 12, pp. 5593–5602, Nov. 2013.

[14] E. Babaei, M. Hasan Babayi, E. Shokati Asl, and S. Laali "A new topology for Z-source inverter based on switched-inductor and boost Z-source inverter," Journal of Operation and Automation in Power Engineering, vol. 3, no. 2, pp. 167-184, Sep. 2015.

[15] E. Babaei, E. Shokati Asl, M. Hasan Babayi, and S.Laali, "Developed embedded switched-Z-source inverter," IET Power Electron., vol. 9, no. 9, pp. 1828–1841, July 2016.

[16] L. Pan, "L-Z-source inverter," IEEE Trans. Power Electron., vil. 29, no. 12, pp. 6534-6543, Dec. 2014.

[17] C.J. Gajanayake, F.L. Luo, H.B. Gooi, P. LamSo, and L.K. Siow, "Extended boost Z-source inverters," IEEE Trans. Power Electron., vol. 25, no. 10, pp. 2642-2652, Oct. 2010.

[18] D. Li, P.C. Loh, M. Zhu, F. Gao, and F. Blaabjerg, "Cascaded multi cell trans-Z-source inverters," IEEE Trans. Power Electron., vol. 28, no. 2, pp. 826–836, Feb. 2013.

[19] D. Li, P.C. Loh, M. Zhu, F. Gao, and F. Blaabjerg, "Generalized multi cell switched inductor and switched-capacitor Z-source inverters," IEEE Trans. Power Electron., vol. 28, no. 2, pp. 837–848, Feb. 2013.

[20] Y. Zhou, L. Liu, and H. Li, "A high performance photovoltaic module integrated converter (MIC) based on cascaded quasi-Z-source inverters (qZSI) using eGaN FETs," IEEE Trans. Power Electron., vol. 28, no. 6, pp. 2727–2738, June 2013.

[۲۱] مهران صباحی، امین اشرف گندمی، سعید سعیدآبادی "مبدل چند سطحی متصل به شبکه با ایمنی بالا با قابلیت اخذ بیشینه توان از سلول‌های خورشیدی"، مجله مهندسی برق و الکترونیک ایران، شماره سوم، صفحه‌های ۹۵-۱۰۳، پاییز ۱۳۹۵.

[۲۲] حسن فشکی فراهانی، محمود حسینی علی آبادی، شهرام جوادی، سیامک پر کار "یک ساختار جدید برای اینورترهای منبع ولتاژ سه فاز چند سطحی بر مبنای یک منبع تغذیه DC با تعداد کم سوئیچ و دیود"، مجله مهندسی برق و الکترونیک ایران، شماره چهارم، صفحه‌های ۱۰۷-۱۱۸، زمستان ۱۳۹۵.

[1] Z-Source Inverter

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1397.15.1.8.6]

Journal of Iranian Association of Electrical and Electronics Engineers Vol15 No.1 Spring2018