طراحی مدولاتور دلتا سیگمای متعامد انعطاف پذیر پیوسته زمان برای گیرنده های Low-IF چند استانداردی

علیرضا شمسی

دانشکده مهندسی برق- دانشگاه علوم و فنون هوایی شهید ستاری- تهران- ایران

alireza.shamsi@ssau.ac.ir

چکیده: در این مقاله طراحی و پیاده سازی یک مدولاتور چند استانداردی دلتا سیگمای متعامد[1](QDSM) با ساختاری جدید ارائه شده است. مدولاتور پیشنهادی، مرتبه سه پایین‌گذر [2](LP) است که به روش زمان پیوسته[3](CT) و با توپولوژی پیشخور[4](FF) برای گیرنده های Low-IF طراحی شده است.این مدولاتور قابلیت پشتیبانی گیرنده هایی با استانداردهای مخابراتی WLAN/WCDMA/GSM را دارد. این مدولاتور در مد GSM بصورت حقیقی و تک بیتی کار می کند و در مدهای WLAN/WCDMA جهت دستیابی به پهنای باند و نرخ سیگنال به نویز[5](SNR) مورد نیاز، بصورت مدولاتور متعامد چند بیتی کار می کند. جهت حذف خطای DACدر مسیرهای I و Q، DAC مختلط طراحی و پیاده‌سازی شده است. با پیاده سازی مدولاتور حاضر در سطح ترانزیستور، SNRبدست آمده برای مدهای عملیاتی WLAN/WCDMA/GSM بترتیب برابر ۵۴/۷۵،۹/۸۱،۶۳dB و مقدارضریب شایستگی[6](FOM)بترتیب(pj/s) ۱،۶۳ /۰،۶ /۰،۸۲۴ (۱۵۶،۲۴ dB / ۱۶۳،۳۵ / ۱۳۱،۰۶) محاسبه شده است.

واژه های کلیدی: مدولاتور دلتا سیگمای متعامد، چند استانداردی، WLAN/WCDMA/GSM، گیرنده Low-IF

تاریخ ارسال مقاله: ۱۳۹۶/۱۱/۳۰

تاریخ پذیرش مشروط مقاله: ۱۳۹۷/۱۲/۲۰

تاریخ پذیرش مقاله: ۱۳۹۸/۱/۲۱

نام نویسنده‌ی مسئول: دکتر علیرضا شمسی

نشانی نویسنده‌ی مسئول: ایران – تهران – خیابان – دانشگاه علوم و فنون هوایی شهید ستاری – دانشکده‌ی مهندسی برق

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1398.16.4.14.5]

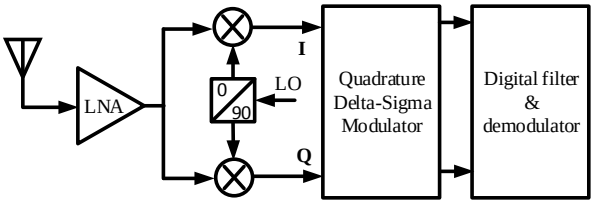
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

۱- مقدمه

اندازه کوچک و مصرف توان کم از مهمترین رویکردهای طراحی سیستمهای رادیونرم افزار قابل حمل است. در همین راستا، در سالهای اخیر تحقیقات زیادی برای طراحی گیرنده های چند استانداردی یکپارچه در تکنولوژی CMOS شده است. ساختار گیرنده های Low-IF چند استانداردی بدلیل نداشتن مشکلات آفست DC و نویز 1/f یکی از ساختارهای پر کاربرد در این زمینه است[۱-۳].

یکی از مهمترین چالش‌های پیش رو در این گیرنده‌ها، طراحی مبدل آنالوگ به دیجیتالی[۷] است که بتواند نیاز استانداردهای مختلف را برآورده کند. مبدلهای دلتا سیگما بدلیل شکل دهی نویز کوانتیزاسیون، دقت بالاتری نسبت به انواع دیگر دارند[۴]. همچنین بدلیل قابلیت تغییر باند و فرکانس این نوع مبدل، کاربرد گسترده ای در ساختار گیرنده های رادیویی چند استانداردی پیدا کرده اند. با توجه به اینکه مبدلهای دلتا سیگمای متعامد با مصرف توان و سخت افزار معادل، پهنای باند بزرگتری نسبت به نوع حقیقی آن در اختیار می گذارند، برای کاربرد در گیرنده‌های Low IF رواج پیدا کرده‌اند[۵, ۶].

در شکل۱ساختار بلوکی گیرنده Low IFچند استانداردی و موقعیت مدولاتور متعامد در این سیستم نشان داده شده است.در این ساختار بجای دو مدولاتور حقیقی یک مدولاتور متعامد بکار رفته که باعث افزایش کارآیی گیرنده و کاهش مصرف توان آن می‌شود[۵, ۷].



شکل (۱): ساختار گیرنده Low-IF[۲۶]

مدولاتور چند استانداردی را به سه طریق می‌توان پیاده سازی نمود: روش اول موازی کردن چند مدولاتورکه هرکدام برای استاندارد خاصی تنظیم شده است . اما این روش به دلیل افزایش توان و سطح تراشه مصرفی کار آمد نیست. روش دوم استفاده از یک مدولاتور پهنباند است که به طورهمزمان محدوده فرکانسی وسیعی را پوشش می‌دهند . در اینحالت، بیشترین توان مصرف می شود چرا که مدولاتور در همه حالتها با بیشترین پهنای باند و فرکانس کار می کند. در روش سوم، می‌توان از ساختارهای یکه قابلیت پشتیبانی چندین باند فرکانسی را دارند استفاده کرد. این مدولاتورها به صورت قابل پیکربندی مجدد طراحی می‌شوند، به نحویکه با تغییراتی در ساختار آنها در باند فرکانسی عمل کنند ومنجر به تغییر عملکرد شوند [۸].

تعدادی از مدولاتورهای متعامد چند استانداردی که در تحقیقات پیشین طراحی و در مقالات ارائه شده است بررسی می شوند.

در [۹] یک مدولاتور حقیقی گسسته زمان با ساختار MASH برای سه مد WLAN/ WCDMA/ GSM ارائه شده است. در این ساختار سه حلقه مدولاتور مرتبه دو و سه کوانتایزر و سه DAC استفاده شده بکار رفته در این مقاله مصرف توان و FOM گزارش نشده است.در GSM یک حلقه، در مد WCDMA دو حلقه و در مد WLANسه حلقه مدولاتور در ساختار قرار می‌گیرند.

در [۱] یک مدولاتور متعامد پیوسته زمان میان گذر ارائه شده است. این مدولاتور که ساختار فیدبک دارد برای استفاده در سه مد GSM-EDGE/UMTS/DVB-T طراحی شده است. آپ امپهای استفاده شده در این مدولاتور بصورت دو حالته پهن باند و بهره بالا طراحی شده اند. و برای حذف عدم تطابق سلولهای AC از Incremental Data Weighted Averaging (IDWA) و DAC مختلط استفاده شده است.

در [۱۰] یک مدولاتور دلتا سیگمای حقیقی برای سه مد WLAN/ WCDMA/ GSMارائه شده است. این مدولاتور بصورت هیبریدCT/DT و در سطح سیستم طراحی شده است.

در[۷] یک مدولاتور متعامد دو حالته باند باریک/پهن باند طراحی شده است. این مدولاتور برای باندهای فرکانسی ۲۰/۵مگا هرتز طراحی شده است. بصورت فیدبک بوده و آپ امپهای آن برای دو حالت پهن باند، و بهره زیاد طراحی شده اند. در ساختار طراحی شده، با پیاده سازی الگوریتمی در حوزه دیجیتال مبادرت به حذف خطای عدم تطابق نموده است.

مدولاتورهای چند استانداردی ارائه شده برای استانداردهای WLAN/WCDMA/GSMمدولاتورهای دلتا سیگمای حقیقی هستند و مدولاتورهای متعامدی که طراحی شده اند یکی از این استانداردها را پشتیبانی می‌کنند. ساختار مدولاتورهای متعامد طراحی شده در مقالات ذکر شده نیز بصورت فیدبک است. در ساختار فیدبک سوئینگ آپ امپها بیشتر از ساختار FF بوده و مصرف توان نیز بیشتر است[۱۱].

در این مقاله یک مدولاتور دلتا سیگمای متعامد FF انعطاف پذیر برای پشتیبانی استانداردهای مخابراتی WLAN/ WCDMA/ GSMطراحی شده است. جهت کاهش مصرف توان و رفع محدودیتهای بوجود آمده توسط جمع‌کننده های ساختار FF، در مدولاتور پیشنهادی این جمع کننده ها با تکنیک های سیستمی حذف شده اند[۱۹]. مشکل دیگر ساختارهای FFحداکثر نویز کوانتیزاسیون خارج باند است که با بهینه سازی محل صفرهای تابع تبدیل نویز، این مشکل تا حد زیادی مرتفع شده وSNR مدولاتور نیز بیشتر می شود[۱۳]. در مدولاتور پیشنهادی، این عمل با استفاده از مسیرهای ضربدری انجام شده و صفرهای تابع متناسب با هر یک از استانداردها، در باند سیگنال جایگذاری شده‌اند.برای حذف خطای عدم

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.14.5]

تطابق مسیرهای I و Q، در ساختار پیشنهادی ازDACهای مختلط استفاده شده است.

۲- مشخصات مدولاتور پیشنهادی

برای برآوردن کیفیت خدمات (QoS)[۸] هر یک از استانداردهای مخابراتی محدوده هایی مشخص شده است که در طراحی مدولاتور باید در نظر گرفته شوند [۱۲]. بنابراین مدولاتور پیشنهادی باید قادر باشد نیاز هر یک از استانداردهای WLAN/WCDMA/GSM را با کیفیت مناسبی برآورده کند. مهمترین پارامترهای هر استاندارد پهنای باند و رنج دینامیکی یا SNR مورد نیاز آن است. پهنای باند و فرکانس مرکزی طیف خروجی مدولاتور دلتا سیگمای چند استانداردی توسط ضرایب فیلتر حلقه مشخص می شوند و SNR مبدل نیز به پارامترهای رابطه (۱) وابسته هستند[۱۱, ۱۳].

$$SQNR = \frac{3(2L+1)}{2\pi^{2L}} OSR^{2L+1}(2^N - 1)^2 \qquad (۱)$$

مطابق این رابطه، با ایجاد تغییرات در مرتبه فیلتر(L)، فرکانس نمونه برداری fsیاOSR[۹] و تعداد بیت کوانتایزر (N) می توان SNR لازم برای هر استاندارد را ایجاد نمود. با توجه به پهنای باند و ویژگیهای لازم در استانداردهای مورد نظر، مدولاتور پیشنهادی بصورت حقیقی و تک بیتی نیازهای مد عملیاتی GSM را بر آورده می کند و در مدهای عملیاتی WLAN/WCDMA بعلت نیاز به پهنای باند بزرگتر، مدولاتور در حالت متعامد و با کوانتایزر سه بیتی عمل تبدیل را انجام می دهد.

۳- طراحی مدولاتور دلتا سیگمای متعامد

برای پیاده سازی مدولاتور متعامد ساختارهای مختلفی وجود دارد که در بین آنها ساختار پیشخور یکی از مناسب‌ترین روش‌ها برای گیرنده‌های کم مصرف است[۱۱, ۱۴, ۱۵]. یکی از معایب ساختار پیشخور، نویز خارج باند در این ساختار است که در مدولاتور طراحی شده با بهینه سازی محل قطبهای تابع تبدیل نویز بوسیله مسیرهای ضربدری، این مشکل مرتفع شده و موجب افزایش SNR نیز می شود[۱۳]. مشکل دیگر وجود جمع کننده قبل از کوانتایزر است که تمام سیگنال‌های پیشرو را دریافت نموده و به کوانتایزر می‌دهد. این جمع‌کننده که با آپامپ پیاده‌سازی می‌شود، مصرف توان بالایی داشته و بهره محدود آن موجب کاهش توان موثر فیلتر مدولاتور می‌شود همچنین وجود قطب در تابع تبدیل آن، پهنای باند فیلتر را کاهش می‌دهد[۷, ۱۶].

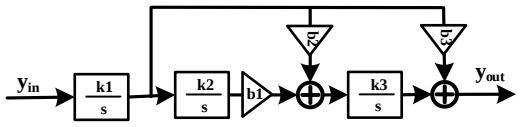
برای طراحی مدولاتور متعامد، ابتدا تابع تبدیل فیلتر حقیقی محاسبه می شود، سپس با استفاده از ضرایب مختلط قطبهای تابع تبدیل این فیلتر، دوباره در باند عبور جاسازی می شوند و بدین ترتیب سطح سیگنال به نویز طیف خروجی مدولاتور نیز بهینه خواهد شد[۱۷, ۱۸]. مراحل تبدیل یک فیلتر پایین گذر به میان گذر مختلط در روابط (۲) تا (۴) آمده است.

$$H_{LP}(j\omega) = \frac{1}{1 + j\omega/\omega_0} \qquad (۲)$$

$$H_{QBP}(j\omega) = H_{LP}(j\omega - j\omega_C) \qquad (۳)$$

$$H_{QBP}(j\omega) = \frac{1}{1 + j\omega/\omega_0 - j\omega_C/\omega_0} \qquad (۴)$$

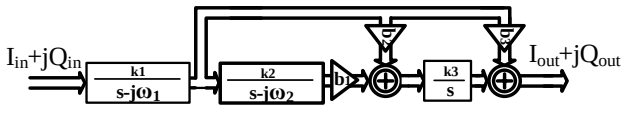
در این معادلات ω_0 صفر تابع تبدیل فیلتر در DC وω_c مقدار شیفت فرکانسی صفرهای این تابع از DC است. در شکل ۲ فیلتر پیشخور حقیقی مدولاتور نشان داده شده است



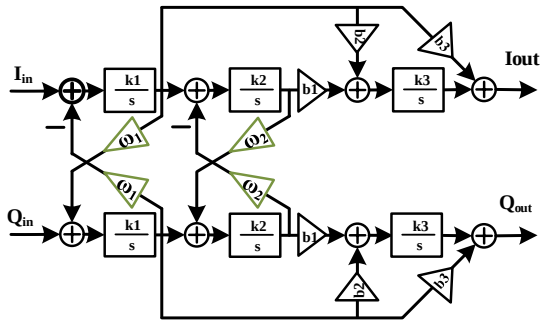
شکل(۲): ساختار فیلتر پیشخور مرتبه ۳.

در شکل۳ پیاده سازی بلوکی ساختار فیلتر مختلط و حقیقیمدولاتور نشان داده شده و معادله این فیلتر در رابطه (۵) آمده است.

$$H(s) = \frac{k_1 b_3}{(s-\omega_1 i)} + \frac{k_1 b_2 k_3}{s(s-\omega_1 i)} + \frac{b_1 k_1 k_2 k_3}{s(s-\omega_1 i)(s-\omega_2 i)} \qquad (۵)$$



(الف)



(ب)

شکل(۳): الف) ساختار فیلتر مختلط H(s) درجه ۳ ب) پیاده سازی حقیقی فیلتر مختلط درجه ۳

همانطور که در شکل۳ ب نشان داده شده است، با موازی کردن دو فیلتر پایین گذر حقیقی و اعمال مسیرهای ضربدری به آنها فیلتر مختلط پیاده سازی می شود.

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1398.16.4.14.5]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

۴- طراحی سیستمی مدولاتور پیشنهادی

طراحی مدولاتور متعامد پیشنهادی به روش ذکر شده در مرجع [۱۹] انجام شده است. بدین ترتیب که ابتدا یک مدولاتور حقیقیFF مرتبه سه با مشخصات مطلوب طراحی شده و سپس تاخیر اضافی حلقه جبرانسازی می شود. با توجه به پهنای باند وSNR مورد نیاز برای مدهای عملیاتی WLAN/WCDMA، با اعمال ضرایب مختلط (مسیرهای ضربدری) محل قطبهای تابع تبدیل نویز بهینه سازی می شوند. این عمل با فرکانس مرکزی1MHz و 10MHz به‌ترتیب برای WCDMA و WLAN با هدف بدست آوردن بیشترین سطح سیگنال به نویز برای هریک از مدها انجام شده است. در مدولاتور طراحی شده، جمع کننده‌های انتهای مسیرهای فیلتر حذف می شوند و آخرین انتگرالگیرها در هر مسیر بعنوان جمع کننده نیز بکار می روند[۱۹].

با حذف جمع کننده‌ها یک NRZ_DAC[۱۰] به هریک از مسیرها اضافه شده و یکی از ضرایب حقیقی به ضریب مختلط تبدیل می شود. در این مدولاتور، مبدل دیجیتال به آنالوگ RZ_DAC[۱۱] که برای جبرانسازی تاخیر اضافیحلقه به مدار اضافه شده بود توسط دو مبدلNRZ_DAC جایگزین شده اند. سپس مبدلهایی که بدلیل حذف جمع کننده به مدار اضافه شده بود با این دو مبدل ادغام می شوند. بدین ترتیب فقط دو مبدل NRZ_DAC که برای جبرانسازی تاخیر اضافی به هر مسیر اضافه شده بود در ساختار نهایی مدولاتور باقی می‌ماند [۱۹]. در شکل۴ ساختار بلوکی مدولاتور چند استانداردی پیشنهادی نشان داده شده است. همانطور که در این شکل نشان داده شده،ضرایب حقیقی ثابت هستند و تنها ضرایب مختلط هستند که برای فراهم کردن محل و پهنای باند لازم در هر مد عملیاتی تغییر می کنند.

رابطه(۶) معادله تابع تبدیل مختلط حاصل را که با اعمال ضرایب مختلط دو قطب تابع تبدیل فیلتر از فرکانس صفر به فرکانسهای $\omega 1$ و $\omega 2$ منتقل شده اند را بیان می کند.

$$H(s)=\frac{k_1A_3}{(s-\omega_1 i)}+\frac{k_1A_2k_3}{s(s-\omega_1 i)}+\frac{A_1k_1k_2k_3}{s(s-\omega_1 i)(s-\omega_2 i)} \qquad (۶)$$

در این معادله $\omega 1$ و $\omega 2$ قطب های تابع تبدیل فیلتر و یا صفرهای تابع تبدیل نویز مدولاتور هستند. جای‌گذاری مناسب این صفرهای مختلط باعث افزایش SNR مدولاتور خواهد شد. پس از محاسبه توابع تبدیل مدولاتور برای مدهای مختلف، برای مد GSM بصورت تابع حقیقی رابطه (۷) و برای مدهای WCDMA و WLAN به شکل روابط (۸) و (۹) محاسبه می شوند.

$$H(s)=\frac{0.4576+1.3958s+2.0537s^2}{s^3}+0.862 \qquad (۷)$$

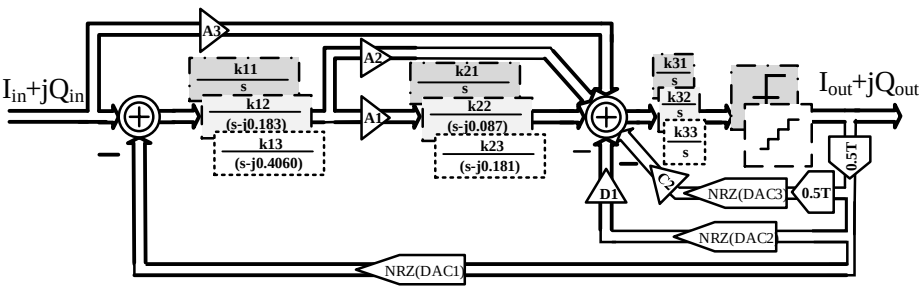
ضرایب مختلط تابع، در مدهای عملیاتی مختلف تغییر می کنند ولی ضرایب حقیقی در سه مد عملیاتی ثابت هستند. این ضرایب در جدول ۱ آورده شده اند. همانطور که در این جدول مشاهده می شود، در مد عملیاتی GSM ضرایب مختلط صفر هستند و مدولاتور با ساختار حقیقی کار می کند.

$$H(s)=\frac{0.4576+(1.3958+j0.1786)(s-j0.183)+2.0537s(s-j0.183)}{s(s-j0.087)(s-j0.183)}+0.862 \qquad (۸)$$

$$H(s)=\frac{0.4576+(1.3958+j0.9447)(s-j0.460)+2.0537(s-j0.460)(s-j0.181)}{s(s-j0.460)(s-j0.181)}+0.862 \qquad (۹)$$

جدول (۱): ضرایب مدولاتور در مد های عملیاتی مختلف

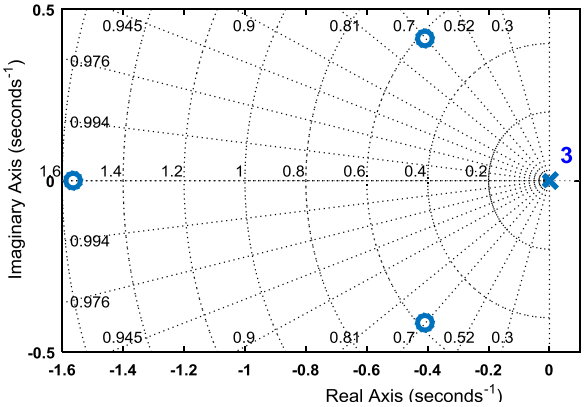
standard	A1	A2	A3	kc1	kc2	D1	D2
WLAN	0.4576	1.3958+j0.9447	2.0537	0.4060	0.181	0.3297	1.724
WCDMA	0.4576	1.3958+j0.1786	2.0537	0.183	0.087	0.3297	1.724
GSM	0.4576	1.3958	2.0537	0	0	0.3297	1.724



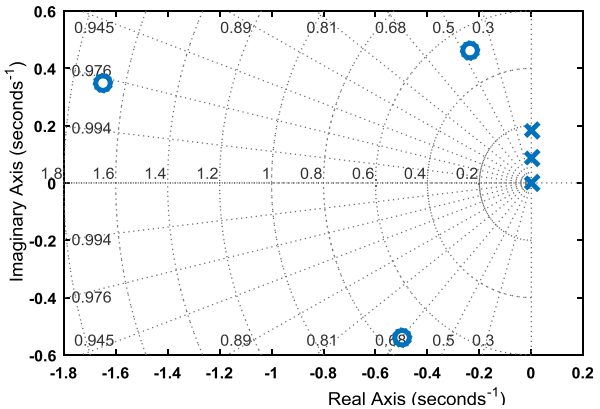
شکل (۴): ساختار بلوکی مدولاتور متعامد چند استانداردی پیشنهادی پس از جبران سازی، حذف جمع کننده و تلفیق DACها

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.14.5]

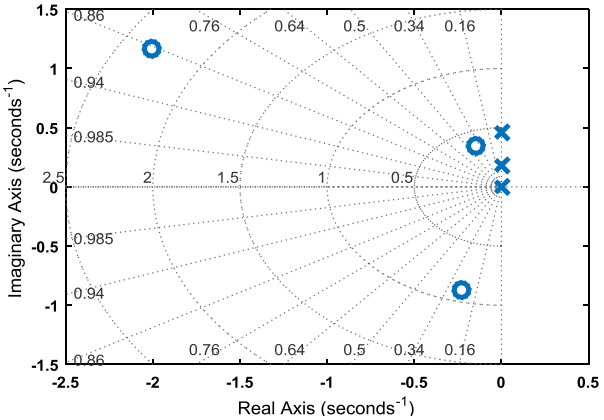
رسم صفر و قطبهای تابع تبدیل فیلتر مدولاتور (H(s)) در سه مد عملیاتی در شکل‌های ۵ تا ۷ نشان داده شده است. همانطور که در این شکل‌ها ملاحظه می‌شود، قطبهای تابع H(s) که صفرهای NTF نیز هستند در سمت چپ محور jω قرار دارند که بیان‌گر پایداری تابع تبدیل می‌باشد.



شکل(۵): نمودار صفر و قطبهای تابع تبدیل فیلتر مدولاتور در مدGSM

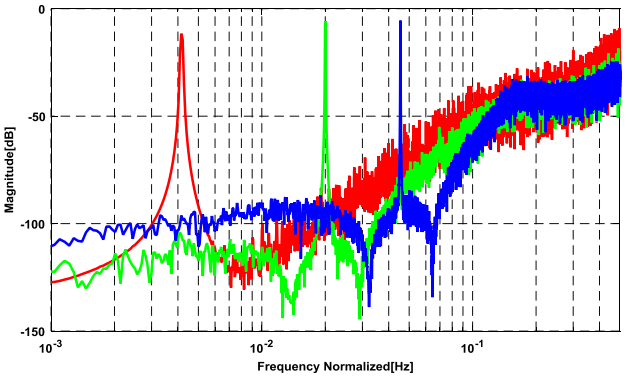


شکل(۶): نمودار صفر و قطبهای تابع تبدیل فیلتر مدولاتور در مد WCDMA



شکل(۷): نمودار صفر و قطبهای تابع تبدیل فیلتر مدولاتور در مدWLAN

طیف خروجی مدولاتور در مدهای عملیاتی مختلف در شکل۸ نشان داده شده است. همانطور که این طیفها نشان میدهند، در مد عملیاتی GSM همه صفرهای تابع در DC قرار دارند و در مدهای عملیاتی WLAN/ WCDMA یک صفر(حقیقی) در DC و دو صفر (مختلط) در فرکانسهای مثبت واقع هستند.



شکل (۸): طیف خروجی طراحی سیستمی مدولاتور متعامد در مدهای WLAN/ WCDMA/ GSM

در پیاده سازی سیستمی مدولاتور نرخ سیگنال به نویز برای مدهای WLAN/WCDMA/GSM به ترتیب 86/87.53dB62.53/ بدست آمده است.

۵-پیاده سازی مداری مدولاتور پیشنهادی

همانطور که در طراحی سیستمی مدولاتور ذکر شد، ضرایب مختلط برای هر استاندارد تغییر می کند. همچنین با توجه به مشخصات هر استاندارد ضرایب انتگرال گیرها و آپ امپ‌های بکار رفته نیز تغییر می کنند. در پیاده سازی مداری مدولاتور نیز باید این تغییرات دنبال شوند.در این بخش مشخصات مداری مدولاتور و پیاده سازی بخش‌های مختلف آن آمده است.

۵-۱- پیاده سازی تشدیدگر

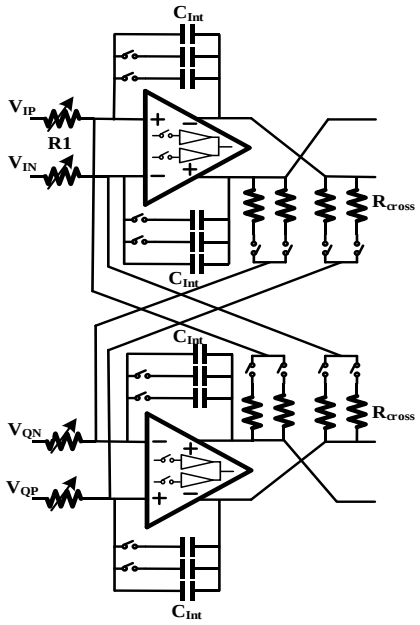
بدلیل نیاز به خاصیت خطی بالا، انتگرال‌گیرهای مدولاتور با روشRC فعال پیاده‌سازی شده‌اند. در این روش، مقادیر مقاومت و خازن با توجه به ضرایب بدست آمده از طراحی سیستمی مدولاتور و با استفاده از رابطه (۶)، برای هر استاندارد محاسبه شده و قطعه مناسب توسطسوییچ‌های تعبیه شده جایگزین می شوند. مقادیر مقاومت و خازن انتگرالگیرهای مدولاتور در هر استاندارد با استفاده از رابطه (۱۰) محاسبه می شود.

$$f_s * A = \frac{1}{R * C} \qquad (۱۰)$$

پیاده سازی مداری یکی از تشدیدگرهای مدولاتور متعامد چند استانداردی در شکل ۹ نشان داده شده است. همچنین برای صرفه جویی در مصرف توان، در انتگرال‌گیرها از دو تقویت کننده با پهنای

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.14.5]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

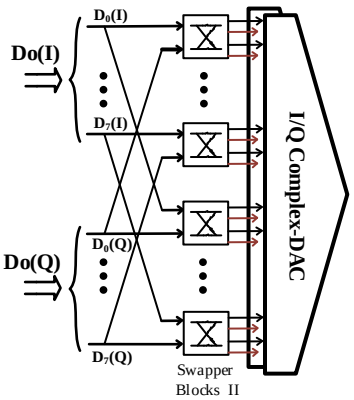
باند مختلف استفاده شده است که متناسب با هر استاندارد، توسط سوییچها جایگزین می شوند.



شکل (۹): ساختار مداری تشدیدگر چند استانداردی

۵-۲-پیاده سازی DAC مختلط

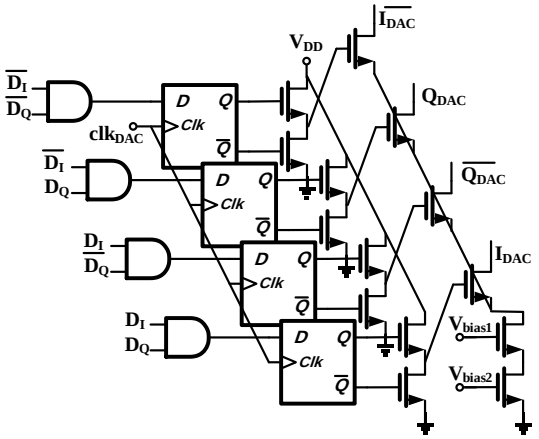
شکل ۱۰ ساختار بلوکیDAC مختلطسه بیتی را نشان می دهد و شامل ۱۶ سلول است که به روش گفته شده در مرجع[۱] طراحی شده است. ساختار یکی از سلولهای آن در شکل ۱۱ نشان داده شده است. هر سلول DAC از چهار فلیپ فلاپ، چهار سوییچ و یک دنباله جریانی تشکیل شده است. با توجه به مقادیر ورودی‌های D_I /D_Q یکی از سوییچ‌های سلول بر اساس جدول ۴ روشن شده و مسیر جریان دنباله را تعیین می کند. و باعث می شود که سلولهای DAC در هر دو مسیر I و Q به اشتراک گذاشته شده و خطای عدم انطباق[۱۲] میان سلولهای آن کاهش یابد.



شکل (۱۰): بلوک DAC مختلط

معادلات حاکم بر انتخاب سلولهای DAC مختلط در رابطه (۱۱) نشان داده شده است.

$$Y_{I/Q,C_DAC}\begin{cases} If\,(Y_{I,n}[n]+jY_{Q,n}[n])=(0+j0)\Rightarrow Y_{I,C_DAC}=Y_Q \text{ and } Y_{Q,C_DAC}=Y_I \\ If\,(Y_{I,n}[n]+jY_{Q,n}[n])=(1+j0)\Rightarrow Y_{I,C_DAC}=Y_I \text{ and } Y_{Q,C_DAC}=Y_Q \\ If\,(Y_{I,n}[n]+jY_{Q,n}[n])=(0+j1)\Rightarrow Y_{I,C_DAC}=Y_I \text{ and } Y_{Q,C_DAC}=Y_Q \\ If\,(Y_{I,n}[n]+jY_{Q,n}[n])=(1+j1)\Rightarrow Y_{I,C_DAC}=Y_Q \text{ and } Y_{Q,C_DAC}=Y_I \end{cases} \quad (۱۱)$$

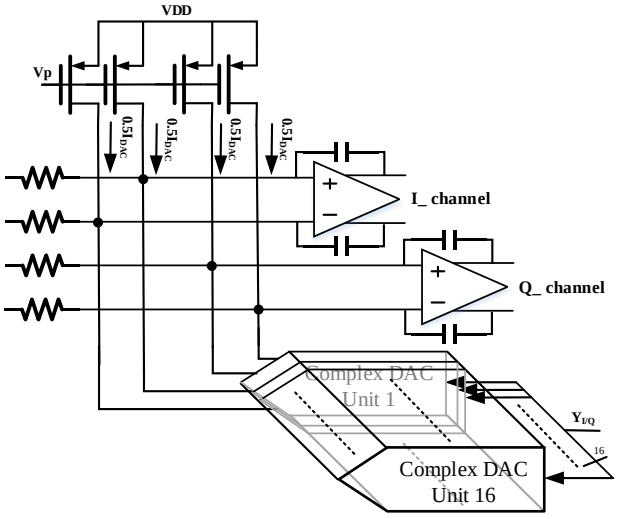


شکل (۱۱): یکی از بخشهای DAC مختلط به همراه swapper

جدول(۴): روش انتخاب سلول خروجی بر اساس ورودیهای مختلف

D_I	D_Q	Y_{I,C_DAC}	Y_{Q,C_DAC}
0	0	$\overline{Y_I}$	$\overline{Y_Q}$
0	1	$\overline{Y_I}$	Y_Q
1	1	Y_I	Y_Q
1	0	Y_I	$\overline{Y_Q}$

نحوه اتصال این بلوک به ورودی انتگرال‌گیرها در شکل۱۲نمایش داده شده است. همانطور که در این شکل مشاهده می شود، سلولهای آن برای هر دو مسیر به اشتراک گذاشته می شوند و همین امر باعث حذف عدم تطابق بین دو مسیر می شود.



شکل(۱۲): نحوه اتصال C_DAC فیدبک به ورودی انتگرال‌گیرها

۶- پیاده سازی مداری مدولاتور پیشنهادی

انتگرال‌گیر طبقه اول مهمترین انتگرال‌گیر مدولاتور است و سهم بیشتری از مصرف توان را به خودش اختصاص می‌دهد. به همین دلیل،

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.14.5]

آپ‌امپ تلسکوپی که مصرف توان پایین و پهنای باند بزرگتری دارد، برای طبقه اول استفاده شده است. مشکل سوینگ این آپ‌امپ نیز با استفاده از آینه جریان با سوینگ بالا به عنوان بار حل می‌شود [۲۰].
در طبقه بعدی آپ‌امپ کسکود تاشده استفاده می‌شود. مهمترین ویژگی این آپ‌امپ آزادی عمل در انتخاب مستقل محدوده مد مشترک ورودی و خروجی است [۲۱]. در طبقه سوم نیز که به‌عنوان جمع-کننده مسیرهای پیشخور نیز عمل می‌کند، از تقویت کننده کسکود استفاده می‌شود تا با مصرف توان کمتر پهنای باند لازم را نیز داشته باشد. مقادیر مقاومت وخازن برای انتگرالگیرهای هر استاندارد با استفاده از رابطه (۱۰) محاسبه شده و در جداول ۵ تا ۷ نشان داده شده است.
همانطور که در شکل۱۳ نشان داده شده است هر مسیر مدولاتور دارای سه DAC از نوع NRZ هستندکه با روش رشته جریانی پیاده سازی شده‌اند [۲۲]. کوانتایزر این مدولاتور از نوع فلش سه بیتی بوده و از هشت مقایسه کننده تشکیل شده است [۲۳]. هر مقایسه کننده از قسمتهای: پیش تقویت کننده، regenerative Latch و SR Latch تشکیل شده است [۱۶]. مدولاتور در سطح ترانزیستور در تکنولوژی 180nm در نرم افزار Cadence و کتابخانه TSMC شبیه سازی شده است.
برای مد عملیاتی WLAN آپ امپهای پر سرعت طراحی شده است. برای اینکه سطح تراشه کمتری اشغال شود، آپ امپهای بکار برده شده در مد عملیاتی WCDMA، در مد عملیاتی GSM نیز استفاده شده اند. این آپ امپها سرعت بالایی برای استفاده در مد عملیاتی GSM دارند، باعث مصرف توان بیشتر و افزایش FOM شده است. جهت نیل به SNR مورد نیاز مد عملیاتی GSM، از این مزیت برای بالا بردن OSR در این مد عملیاتی استفاده شده و در عوض از کوانتایزر تک بیتی بکار برده شده است.

جدول(۵): اندازه قطعات مدولاتور در مدعملیاتیGSM

Circuit parameter	Size	Circuit parameter	Size	Circuit parameter	Size
R1	32.4k	RFF1	15.19k	C1	1p
R2	32.4k	RFF2	22.4k	C2	1p
R3	68.28k	RFF3	--	C3	1p
Ri1	--	Ri2	--		

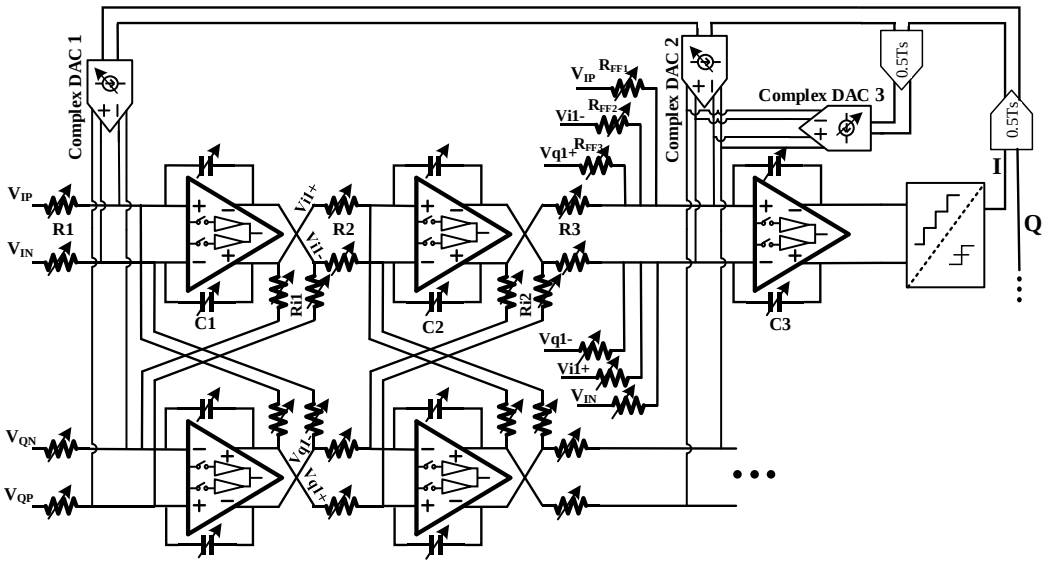
جدول (۶): اندازه قطعات مدولاتور درمد عملیاتیWLAN

Circuit parameter	Size or value	Circuit parameter	Size or value	Circuit parameter	Size
R1	8.34k	RFF1	4k	C1	0.5p
R2	12.5k	RFF2	6k	C2	0.333p
R3	18.22k	RFF3	9.27k	C3	0.5p
Ri1	14.61k	Ri2	35.86k		

جدول (۷): اندازه قطعات مدولاتور درمد عملیاتیWCDMA

Circuit parameter	Size or value	Circuit parameter	Size or value	Circuit parameter	Size
R1	15.625k	RFF1	7.59k	C1	1p
R2	15.625k	RFF2	11.197k	C2	1p
R3	34.1405k	RFF3	87.49k	C3	1p
Ri1	179.6k	Ri2	85.41k		

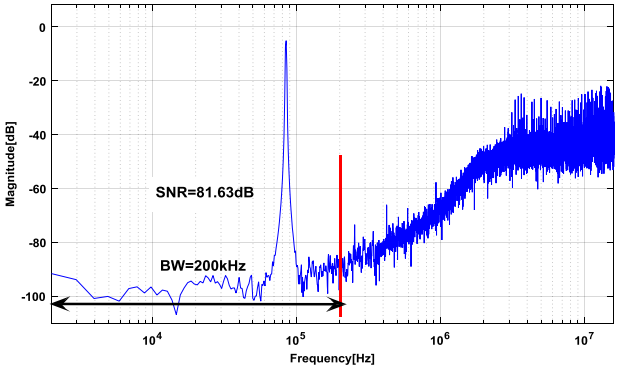
[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.14.5]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018



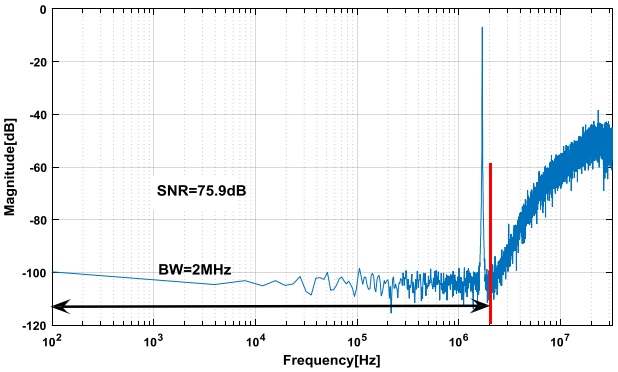
شکل(۱۳): نمای کلی مدولاتور دلتا سیگمای متعامد چند استانداردی پیشنهادی

۷- نتایج شبیه سازی

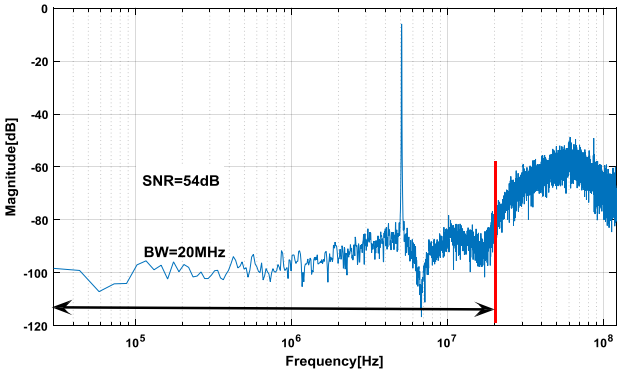
طیف خروجی مدولاتور پیشنهادی در مدهای WLAN/ WCDMA/ GSM پیاده سازی شده در سطح ترانزیستور، در شکل های ۱۴ تا ۱۶ نشان داده شده است. سطح سیگنال به نویز طیف خروجی مدولاتور در این مدها به ترتیب 54/75.9/81.63dBاست.



شکل(۱۴): طیف خروجی مدولاتور حقیقی شبیه‌سازی شده در سطح ترانزیستور در مسیرهای I و Q در مد عملیاتی GSM



شکل (۱۵): طیف خروجی مدولاتور شبیه‌سازی شده در سطح ترانزیستور در مد عملیاتی WCDMA



شکل(۱۶): طیف خروجی مدولاتور شبیه‌سازی شده در سطح ترانزیستور در مد عملیاتی WLAN

۸- نتیجه‌گیری

در این مقاله یک مدولاتور دلتا سیگمای سه بیتی چند استانداردی متعامد پیشخور که جمع‌کننده های آن حذف شده‌است، برای اولین بار برای استانداردهای WLAN/ WCDMA/ GSM طراحی گردید. طراحی ساختار اولیه مدولاتور به روش طراحی مدولاتور حقیقی و تبدیل آن به مدولاتور متعامد انجام شده‌است. با حذف جمع کننده ها، در ساختار جدید دو DAC و یک ضریب مختلط به یکی از مسیرها اضافه شده که با مقاومت پیاده‌سازی می‌شوند و در مجموع موجب کاهش مصرف توان می‌شود. آنچه در نتایج حاصل از شبیه سازی های سیستمی و مداری مدولاتور متعامد طراحی شده مشاهده گردید حاکی از عملکرد مطلوب مدولاتور متعامد طراحی شده در مدهای عملیاتی WLAN/WCDMA است. در مقایسه با موارد مشابه ارائه شده در پژوهش های پیشین دارای عملکرد بهتری است. استفاده از آپ امپهای سرعت بالای مد WCDMAدر مد عملیاتی GSM باعث صرفه‌جویی

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.14.5]

در سطح تراشه شده است ولی مصرف توان در این مد بیشتر شده و موجب افزایش FOM شده است.

در پیاده سازی سیستمی مدولاتور نرخ سیگنال به نویز برای مدهای WLAN/ WCDMA/ GSM در پیاده‌سازی سیستمی مدولاتور (در سیمولینک متلب)، به ترتیب نرخ سیگنال به نویز 86/87.53dB62.53/ بدست آمده است. پاسخ شبیه سازی سطح مدار مدولاتور دراستانداردهای WLAN /WCDMA/GSM به ترتیب با نسبت سیگنال به نویز 54/75.9/81.6dBنیازهای این استانداردها را برآورده می نماید. در جدول ۸ نتایج این مقاله با تحقیقات مشابه مقایسه شده و همان‌طورکه مشاهده می‌شود، FOM مدولاتور طراحی شده در این مقاله به مقدار قابل ملاحظه‌ای کاهش یافته است.

جدول(۸): خلاصه عملکرد مدولاتور پیشنهادی و مقایسه آن با موارد گزارش شده.

Ref.	Wireless standard	DSM structure	OSR	Bandwidth (MHz)	SNR (dB)	Technol-ogy(µm)	Power (mW)	FOM (pj/conv)
[1]	GSM-EDGE UMTS DVB-T	QFB2/CT	190 24 25	0.27 5 8	81 61.2 60.9	0.18	4.9 8.9 12.1	0.99 0.95 0.84
[24]	low-IF receivers	QFF3/CT	64 32 24	0.5 1 1.5	68.7 60.6 50.2	0.13	2.15 2.13 2	0.966 1.21 2.6
[10]	GSM WCDMA WLAN	Hybrid CT/DT	160 16 10	0.2 2 20	91 86 73	System level	--	--
[26]	GSM WCDMA WLAN	DT	160 160 5	0.2 2 20	88 73 58	0.18	NA	NA
[25]	Zero/ low-IF receivers	LP/QBP CT	32 32 32	2.5 5 8	84.8 85.8 84.5	0.065	1.9 2.6 4.2	27 16.3 15.5
This work	GSM WCDMA WLAN	QFF3/CT	162 32 12	0.2 2 20	81.63 75.9 54	0.18	6.4 8.3 13.5	1.63 0.411 0.824

مراجع

[1] C.-Y. Ho, W.-S. Chan, Y.-Y. Lin, and T.-H. Lin, "A quadrature bandpass continuous-time delta-sigma modulator for a tri-mode GSM-EDGE/UMTS/DVB-T receiver," Solid-State Circuits, IEEE Journal of, vol. 46, pp. 2571-2582, 2011.

[2] S.-C. Hwu and B. Razavi, "An RF Receiver for Intra-Band Carrier Aggregation," Solid-State Circuits, IEEE Journal of, vol. 50, pp. 946-961, 2015.

[3] B. Razavi, RF Microelectronics (2nd Edition) (Prentice Hall Communications Engineering and Emerging Technologies Series): Prentice Hall Press, 2011.

[4] T. Saalfeld, A. Atac, L. Liao, R. Wunderlich, and S. Heinen, "A 2.3 mW quadrature bandpass continuous-time?? modulator with reconfigurable quantizer," in Ph. D. Research in Microelectronics and Electronics (PRIME), 2016 12th Conference on, 2016, pp. 1-4.

[5] P. M. Aziz, H. V. Sorensen, and J. Van der Spiegel, "Performance of complex noise transfer functions in bandpass and multi band sigma delta systems," in Circuits and Systems, 1995. ISCAS'95., 1995 IEEE International Symposium on, 1995, pp. 641-644.

[6] J. Marttila, M. Allén, and M. Valkama, "Frequency-Agile Multiband Quadrature Sigma-Delta Modulator for Cognitive Radio: Analysis, Design and Digital Post-Processing," Selected Areas in Communications, IEEE Journal on, vol. 31, pp. 2222-2236, 2013.

[7] Y. Xu, Z. Zhang, B. Chi, N. Qi, H. Cai, and Z. Wang, "A 5-/20-MHz BW Reconfigurable Quadrature Bandpass CT ADC With AntiPole-Splitting Opamp and Digital/Calibration," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 24, pp. 243-255, 2016.

[8] A. Charmin and E. N. Aghdam, "A low power reconfigurable multi-mode continuous time Delta Sigma modulator for seven different mobile standards with VCO-based quantizer," Analog Integrated Circuits and Signal Processing, vol. 90, pp. 321-331, 2017.

[9] B. R. Jose, J. Mathew, and P. Mythili, "A multi-mode sigma-delta ADC for GSM/WCDMA/WLAN applications," Journal of Signal Processing Systems, vol. 62, pp. 117-130, 2011.

[10] M. Honarparvar and E. N. Aghdam, "Reconfigurable hybrid CT/DT delta-sigma modulator with op-amp sharing technique dedicated to multi mode receivers," Analog Integrated Circuits and Signal Processing, vol. 79, pp. 413-426, 2014.

[11] S. Pavan, R. Schreier, and G. C. Temes, Understanding Delta-Sigma Data Converters: John Wiley & Sons, 2017.

[۱۲] امین زاده حامد، میرعلایی محمد، دشتی محمد علی. "طراحی و مدل سازی مبدل های آنالوگ به دیجیتال سازگار با دمای اتاق به کمک نانوترانزیستورهای تک الکترونی با جزیره کوانتوم نقطه ای نیمه هادی" .مجله مهندسی برق و الکترونیک ایران. ۱۳۹۶; جلد ۱۴ شماره ۲، زمستان ۱۳۹۶

[13] F. Gerfers and M. Ortmanns, Continuous-time sigma-delta A/D conversion: fundamentals, performance limits and robust implementations vol. 21: Springer Science & Business Media, 2006.

[Downloaded from jiaeee.com on 2026-11-20]

[DOR: 20.1001.1.26765810.1398.16.4.14.5]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

[14] E. Di Gioia, "An 11-bit, 12.5-MHz, Low-Power, Low-Voltage, Continuous-Time Sigma-Delta Modulator in 0.13 µm CMOS Technology," 2011.
[15] J. Zhang, Y. Xu, Z. Zhang, Y. Sun, Z. Wang, and B. Chi, "A 10-b Fourth-Order Quadrature Bandpass Continuous-Time $\Sigma\Delta $ Modulator With 33-MHz Bandwidth for a Dual-Channel GNSS Receiver," IEEE Transactions on Microwave Theory and Techniques, vol. 65, pp. 1303-1314, 2017.
[16] M. Bolatkale, L. J. Breems, and K. A. Makinwa, High speed and wide bandwidth delta-sigma ADCs: Springer, 2014.
[17] N. Jouida, C. Rebai, A. Ghazel, and D. Dallet, "VHDL-AMS modeling of non-idealites effects in Continuous-time quadrature bandpass ΔΣ modulator," in Signals, Circuits and Systems (SCS), 2009 3rd International Conference on, 2009, pp. 1-5.
[18] S.-B. Kim, S. Joeres, R. Wunderlich, and S. Heinen, "A 2.7 mW, 90.3 dB DR Continuous-Time Quadrature Bandpass Sigma-Delta Modulator for GSM/EDGE Low-IF Receiver in 0.25 m CMOS," Solid-State Circuits, IEEE Journal of, vol. 44, pp. 891-900, 2009.
[19] A. Shamsi and E. N. Aghdam, "A Wideband Continuous Time Quadrature Delta Sigma Modulator Based on a Real DSM for Low Power WLAN Receiver," Journal of Circuits, Systems and Computers, p. 1850044, 2017.
[20] T. C. Carusone, D. Johns, and K. Martin, Analog Integrated Circuit Design: Wiley, 2011.
[21] B. Razavi, Design of Analog CMOS Integrated Circuits: McGraw-Hill Education, 2016.
[22] G. Mitteregger, C. Ebner, S. Mechnig, T. Blon, C. Holuigue, and E. Romani, "A 20-mW 640-MHz CMOS continuous-time ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB," IEEE journal of solid-state circuits, vol. 41, pp. 2641-2649, 2006.
[۲۳] زراعتکارمقدم جواد، فرخی حمید، ندا ناصر. "مدیریت تداخل در شبکه‌های رادیوشناختگر با استفاده از شکل‌دهی پرتو همکارانه تحت اطلاعات غیر دقیق کانال."مجله مهندسی برق و الکترونیک ایران. جلد ۱۴ شماره ۲، زمستان ۱۳۹۶
[24] A. Atac, R. Wunderlich, and S. Heinen, "A variable bandwidth & IF, continuous time ΔΣ modulator for low power low-IF receivers," in New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International, 2011, pp. 362-365.
[25] Y. Xu, B. Chi, and Z. Wang, "Power-scalable multi-mode reconfigurable continuous-time lowpass/quadrature bandpass sigma-delta modulator for zero/low-IF receivers," in Circuits and Systems (ISCAS), 2012 IEEE International Symposium on, 2012, pp. 293-296.
[26] B. Ge, Y. Li, H. Yu, and X. Feng, "Design and implementation of quadrature bandpass sigma-delta modulator used in low-IF RF receiver," Journal of Semiconductors, vol. 39, p. 055002, 2018.

زیرنویس ها

[1] quadrature delta sigma modulator (QDSM)
[2] Low Pass
[3] continuous time (CT)
[4] feedforward (FF)
[5] Signal to Noise Ratio (SNR)
[6] Figure-Of-Merit
[7] Analog to Digital Converter
[8] Quality of Service
[9] Over Sampling Ratiou
[10] Non Return to Zero
[11] Return to Zero DAC
[12] Mismatch error

[Downloaded from jiaeee.com on 2026-11-20]
[DOR: 20.1001.1.26765810.1398.16.4.14.5]