یک راهکار جدید برای کاهش جریان نشتی در کلید های CMOS

ناصرحسن زاده[۱] **محمد دانائی**[۲]

۱- کارشناس ارشد- دانشکده مهندسی برق وکامپیوتر- دانشگاه سمنان- سمنان- ایران

n.hasanzadeh@students.semnan.ac.ir

۲- استادیار- دانشکده مهندسی برق وکامپیوتر- دانشگاه سمنان - سمنان- ایران

danaie@semnan.ac.ir

چکیده: کلیدهای CMOS یکی از ساختارهای اصلی و تاثیرگذار مدارهای الکترونیکی به شمار می‌روند و به طور گسترده در مدارهای آنالوگ کاربرد دارند. یکی از شاخصه‌های غیر ایده‌آل این کلیدها مقاومت حالت خاموش و جریان نشتی معکوس آنها است. به منظورکاهش جریان نشتی کلیدهای ماسفت و در نتیجه آن افزایش مقاومت حالت خاموش کلید، یک روش جدید در این مقاله ارائه شده است. این راهکار با بهره برداری از اثر بدنه و افزایش ولتاژ آستانه می‌تواند برای مدارهای پرتونگاری (توموگرافی) خازنی استفاده شود. ساختار ارائه شده علاوه بر کاهش جریان نشتی معکوس، باعث کاهش خازن‌های پارازیتی کلید، کاهش جریان نشتی ناشی از پدیده Punch-Trough و رسیدن به مقاومت حالت روشن پایین تر نیز می‌شود. نتایج شبیه‌سازی با استفاده از نرم افزارHSPICE بدست آمده و برای آن از یک نمونه مدل تجاری با طول کانال 0.18µm استفاده شده است. نتایج شبیه سازی نشان می دهد که جریان نشتی معکوس نسبت به کلید NMOS، بیش از چهار برابر و نسبت به کلید بوت استرپ بیش از سه برابر کمتر شده است. علاوه بر آن کلید پیشنهادی رفتار دمائی پایدارتر و تغییرات کمتری در گوشه های پروسه دارد.

کلمات کلیدی: جریان نشتی معکوس، کلید ماسفت، مقاومت حالت خاموش، اثر بدنه و ولتاژ آستانه.

تاریخ ارسال مقاله: ۱۳۹۴/۱/۷

تاریخ پذیرش مشروط مقاله: ۱۳۹۴/۶/۹

تاریخ پذیرش مقاله : ۱۳۹۴/۹/۷

نام نویسنده‌ی مسئول: دکتر محمد دانائی

نشانی نویسنده‌ی مسئول: سمنان – کیلومتر۳ جاده دامغان – دانشگاه سمنان – دانشکده‌ی مهندسی برق وکامپیوتر

[Downloaded from jiaeee.com on 2026-07-06]

[DOR: 20.1001.1.26765810.1395.13.4.4.4]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

۱- مقدمه

کلیدهای آنالوگ یکی از قطعات پرکاربرد در مدارهای مختلف الکترونیکی می‌باشند. با پیشرفت فناوری و کوچکتر شدن ابعاد ترانزیستورهای ماسفت، ولتاژ تغذیه مدارهای مجتمع کاهش پیدا کرده است و با کاهش ولتاژ تغذیه به کار رفته درمداهای آنالوگ، اثرات غیر خطی، آثار مرتبه دوم و اثر جریان های نشتی معکوس بیشتر نمایان می‌شود. از این رو دستیابی و پیشنهاد کلیدهایی که بتواند عملکرد بهتری از این لحاظ داشته باشد، می تواند برای بسیاری از مدارها از قبیل مدارهای کلید خازنی، مبدل‌های داده آنالوگ به دیجیتال و حتی برخی مدارهای مخابراتی بسیار کارآمد باشد.

معمولا یک ترانزیستور ماسفت نوع n یا NMOS و یا ترکیب دو ترانزیستور نوع n و p غالبا به تنهایی می‌توانند به عنوان یک کلید استفاده شوند. راهکارهای مداری مختلفی بر روی کلید ماسفت اعمال شده است تا بتوانند عملکرد آن ها را بهبود بخشند. یک گروه از آن ها مبتنی بر ساختاری به نام کلید بوت استرپ (Bootstrap) هستند. دراین روش مشخصه کلید مورد نظر را که می تواند یک NMOS باشد با کلید های کمکی، خازنها و ساعت زنی‌های متغیر اصلاح می‌کنند.

راهکارهای متفاوتی در مقالات برای بهبود پارامترهای عملکردی کلید بوت استرپ پیشنهاد شده است. به عنوان نمونه در سال ۱۹۹۹ میلادی بوگجا و همکاران کلیدی تفاضلی با دو فاز را ارائه کردند [۱] و یا گوپتا در سال ۲۰۰۲ نوعی کلید بوت استرپ را به منظور کاهش زمان نمونه برداری پیشنهاد کرد که ولتاژ گیت-سورس ترانزیستور اصلی را ثابت نگه می دارد [۲]. در سال ۲۰۰۳، والتاری نوع دیگری از کلید بوت استرپ طراحی کرد که با ثابت نگه داشتن ولتاژ گیت-سورس، باعث بهبود رفتار غیر خطی می شد [۳]. در همین زمان پیرکالانیمی و گروه همکار ساختار دیگری پیشنهاد کردند که کاهش عرض کانال گیت و کاهش مقاومت حالت روشن کلید را در پی داشت [۴]. گروه وچی و همکاران در سال ۲۰۰۵ نوع دیگری از کلید بوت استرپ به منظور کاهش آثار غیر ارائه دادند که شامل تعدادی کلید کمکی است [۵]. لیلبرک و همکاران خود در سال ۲۰۰۵ یک نمونه کلید بوت استرپ ارائه کردند که در دو فاز عمل می کند [۶].

از نمونه کارهایی که برای افزایش دقت نمونه برداری کلیدها انجام شده می توان به [۷] و [۸] اشاره کرد. همچنین در سال ۲۰۰۷ رتدیان به همراه همکاران گونه‌ای کلید ارائه کردند که در دو فاز track و hold عمل می‌کند [۹]. چن و کر در همان زمان کلید نوع جدیدی پیشنهاد کردند که دارای مشخصات بهتری بود [۱۰]. در سال ۲۰۰۸، گروه دیگری با اصلاح زمان بندی کلید، سعی در کاهش توان کلید بوت استرپ داشتند [۱۱]. ساختار دیگری در سال ۲۰۰۹ برای کاهش اعوجاج پیشنهاد شده است [۱۲]؛ رضوی و همکاران در سال ۲۰۰۹ برای کاربرد در یک مدار مبدل آنالوگ به دیجیتال، نوعی از کلید بوت استرپ با ولتاژ پایین و عملکرد خطی بالا طراحی و ارائه کردند [۱۳].

در ادامه هوانگ و لین در سال ۲۰۱۰ نوعی کلید بوت استرپ جهت دستیابی به دقت تفکیک بالا در مبدل های آنالوگ به دیجیتال پیشنهاد کردند [۱۴]. سال ۲۰۱۱ دوریس و مجموعه همکاران ساختاری جدید با فرکانس کاری نسبتا بالا مطرح نمودند [۱۵] و در سال ۲۰۱۳، ژو و گروه همکاران برای کاهش اعوجاج پیشنهاداتی را ارائه نمودند [۱۶].

بسته به کاربرد کلید، هر کدام از شاخصه های مقاومت حالت روشن، مقاومت حالت خاموش، رفتار غیرخطی کلید در حالت روشن، خازن های پارازیتی و غیره می تواند بسیار مهم و یا بالعکس دارای اهمیت ناچیز باشد. به عنوان مثال در مبدل های آنالوگ به دیجیتال با نرخ نمونه برداری بالا، مقاومت حالت روشن کلید بسیار مهم است؛ ولی مقاومت حالت خاموش آن به دلیل فرکانس بالای کلیدزنی آن، تاثیر ناچیزی دارد. ساختار کلید پیشنهادی در این مقاله خاص برای مدارهای پرتونگاری خازنی انتخاب شده است که در آن مقاومت حالت خاموش باید تا حد امکان بالا باشد. از لحاظ مقاومت حالت خاموش، از میان تمامی مراجع اشاره شده، ساختار مطرح شده در [۱۴] بهترین پاسخ را حاصل می کند. یک راه حل برای بهبود مقاومت حالت خاموش آن است که بین سورس و بدنه ترانزیستور یک مقاومت در حد کیلو اهم قرار می دهند [۱۷]. روش فوق، مقاومت حالت خاموش کلید را بالا می برد و این نتیجه مطلوب را در عین کاهش خازن های پارازیتیک حاصل می کند. پیشنهادات متنوع دیگری نیز در این راستا ارائه شده است: به عنوان نمونه می توان به قرار دادن یک ترانزیستور همواره در حالت اشباع در سورس کلید اصلی اشاره نمود [۱۸] و یا به ساختار Sin و همکاران که مبتنی بر استفاده از یک ساختار RC خاص می باشد [۱۹]. روش ابتکاری دیگری نیز در [۲۰] مطرح شده است که در آن ایده ای را به نام کلید سری-موازی ارائه کرده اند که در آن یک کلید کمکی در سورس کلید اصلی قرار می گیرد [۲۰]. با ساختار پیشنهاد شده در این مقاله هنوز هم می توان به پاسخ های مطلوبتری رسید. به منظور مقایسه بهتر، در این مقاله شاخصه های مختلف روش پیشنهادی با مراجع فوق مقایسه شده و نشان می دهیم که کلید پیشنهادی برای سیستم های پرتونگاری مناسبتر خواهد بود.

در روش پیشنهادی این مقاله که بر اساس شارژ خازن در یک فاز و قرار دادن آن بین سورس و بدنه (Bulk) ترانزیستور در فاز دیگر است، علاوه بر کاهش جریان نشتی یا همان افزایش مقاومت حالت خاموش کلید، بر طبق نتایج شبیه سازی، رفتار دمایی کلید و عملکرد آن در گوشه های پروسه نیز تا حد زیادی بهبود یافته است. برای بررسی دقیقتر، در بخش دوم این مقاله در مورد راهکارهای پیاده سازی کلید، فیزیک کلید های MOS، خازن های داخلی و پارامترهائی که بر جریان نشتی تاثیر گذار هستند، صحبت کرده و سپس در بخش سوم ساختار کلید پیشنهادی را تشریح خواهیم کرد. نتایج شبیه سازی این ساختار در بخش چهارم ارائه خواهد شد. نهایتا در بخش آخر به جمع بندی مطالب و نتیجه گیری خواهیم پرداخت.

[Downloaded from jiaeee.com on 2026-07-06]
[DOR: 20.1001.1.26765810.1395.13.4.4.4]

۲- راهکار مداری پیاده سازی کلید

ایده اصلی این مقاله بر اساس مفهوم اثر بدنه در ترانزیستور و ارتباط آن با ولتاژ آستانه بدست آمده است. اگرولتاژ بدنه یک NMOS از ولتاژ سورس کمتر شود (شکل (۱))، چون پیوندهای S و D بطور معکوس باقی می‌مانند، ترانزیستور هنوز به کارش ادامه می دهد و دچار اختلال نخواهد شد. فرض کنید که ولتاژهای سورس و درین مساوی و برابر صفر باشند و ولتاژ گیت نیز کمی کمتر از ولتاژ آستانه باشد بطوریکه یک ناحیه تخلیه در زیر گیت درست شود ولی لایه وارون بوجود نیاید. هنگامی که ولتاژ بدنه منفی تر می شود ($V_{SB}<0$ یا $V_{SB}>0$) حفره های بیشتری به اتصال زیر بنا کشیده می شوند و ناحیه تخلیه عریض تر می شود. بنابراین با افزایش V_{SB}، ولتاژ آستانه نیز افزایش می یابد. این پدیده اثر بدنه نام دارد [۲۱]. رابطه (۱) ارتباط ولتاژ سورس- بدنه با ولتاژ آستانه را نشان می دهد [۲۲].

$$V_{TH} = V_{TH0} + \gamma\left[\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{2\Phi_F}\right] \qquad (۱)$$

در رابطه (۱)، V_{TH0} ولتاژ آستانه است وقتی که ولتاژ سورس– بدنه (V_{SB}) برابر صفر باشد، ΦF پتانسیل فرمی و γ ضریب اثر بدنه است و مقدار نوعی آن برابر ۰/۳ تا ۰/۴ ولت می باشد.

$$\gamma = \sqrt{2q\varepsilon_{si}N_{sub}} / C_{ox} \qquad (۲)$$

در رابطه (۲)، Nsub چگالی ناخالصی در بدنه، ε_{si} نفوذپذیری Si و q بار الکترون و C_{ox} خازن اکسید گیت است [۲۲]. همانطور که بیان شد، V_{TH0} ولتاژ آستانه است وقتی که ولتاژ سورس-بدنه برابر صفر باشد و برابر با رابطه (۳) است [۲۳].

$$V_{TH0} = V_{FB} + 2\phi_F + \phi_t\left[1+\ln\left(\frac{n}{n-1}\right)\right] + \gamma\sqrt{2\phi_F + \phi_t\ln\left(\frac{n}{n-1}\right)} \qquad (۳)$$
$$\cong V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F}$$

تغییر مقاومت در معادله (۴) نشان داده شده است [۲۲].

$$R_{on} = \frac{1}{\mu_n C_{ox}(W/L)(V_{GS}-V_{th})} \qquad (۴)$$

که در رابطه (۳)، V_{FB} ولتاژ Flat-Band، Φ_F ولتاژحرارتی و n فاکتور شیب است. مقاومت حالت روشن کلید یا ترانزیستور نیز به ولتاژ آستانه وابسته است و با افزایش آن، کاهش می یابد. در رابطه (۴)، μ_n ضریب تحرک پذیری الکترون، W/L نسبت عرض به طول کانال ترانزیستور است. باید دقت کرد که در هنگام بررسی تغییرات مقاومت حالت خاموش یا جریان نشتی معکوس، تغییرات مقاومت حالت روشن نیز مورد ملاحظه قرار گیرد. طبق معادله (۵)، جریان I_{OFF} (جریان نشتی) به مولفه های مختلفی وابسته است. در معادله (۵) ضریب A برابر $A = \mu_0 C_{ox} W / L_{eff} V_t^2 e^{1.8}$ است که μ_0 ضریب تحرک پذیری حامل ها در بایاس صفر، C_{ox} خازن گیت اکسید، W پهنای ترانزیستور، L_{eff} طول کانال موثر ترانزیستور، η ضریب کاهش سد القایی درین، γ ضریب اثربدنه، n ضریب سوئینگ زیر آستانه ترانزیستور و V_T ولتاژ حرارتی برابر kT/q است. علاوه بر این V_{TH0}، V_{GS}، V_{SB} و V_{DS} به ترتیب ولتاژ آستانه ترانزیستور تحت V_{SB} برابر صفر، ولتاژ گیت- سورس، ولتاژ سورس-بدنه و ولتاژدرین-سورس هستند. مشاهده می شود با افزایش V_{SB} به دلیل ضریب منفی V_{SB} در توان نمایی، می توان مقدار جریان I_{OFF} را کاهش داد و به مقاومت حالت خاموش بالاتر در کلید دست یافت [۲۴].

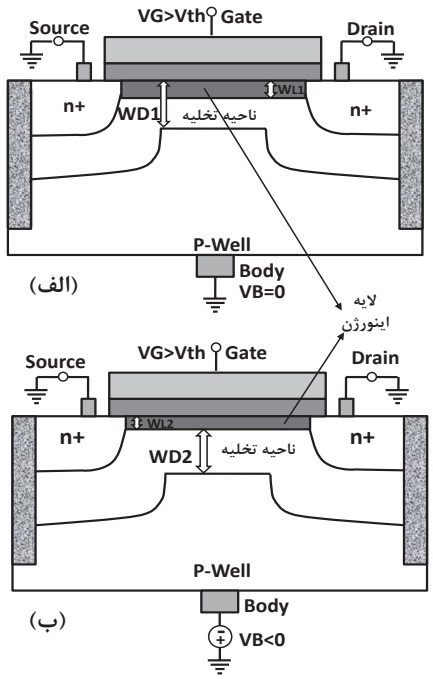
$$I_{OFF} = Ae^{\left[\frac{V_{GS}-V_{TH0}-\gamma V_{SB}-\eta V_{DS}}{nv_T}\right]}\left(1-e^{\frac{-V_{DS}}{v_T}}\right) \qquad (۵)$$

شایان ذکر است علاوه بر مزیت فوق، با اعمال ولتاژ V_{SB} بر اساس رابطه های (۶) و (۷) می توانیم اثر خازن های پارازیتیکی C_{SB} و Csb را نیز کاهش دهیم [25] و [26].

$$C_{sb} = \frac{C_{jo}}{\sqrt{1+\frac{V_{SB}}{\phi_0}}}(A_s + A_{ch}) + \frac{C_{j-sw0}}{\sqrt{1+\frac{V_{SB}}{\phi_0}}}P_s \qquad (۶)$$

$$C_{SB} = \frac{WL_{diff}}{(1+V_S/\phi_b)^{Mj}}C_j + \frac{2(W+L_{diff})}{(1+V_S/\phi_b)^{Mjsw}}C_{jsw} \qquad (۷)$$

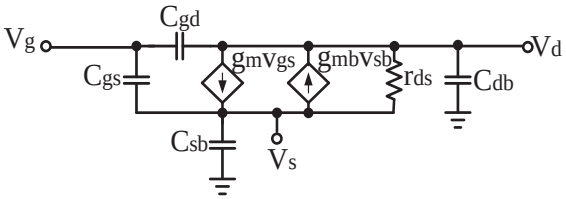
در شکل (۲) مدار معادل سیگنال کوچک ترانزیستور به همراه خازن های پارازیتیک نشان داده شده است. شکل (۳ الف) نیز خازن های ساختار فیزیکی ترانزیستور را نشان می دهد. همچنین یکی از مزیت های اعمال ولتاژ V_{SB} به پایه های سورس و بدنه ترانزیستور، علاوه بر کاهش جریان نشتی معکوس زیر آستانه، کاهش جریان نشتی Punch-Trough می باشد.



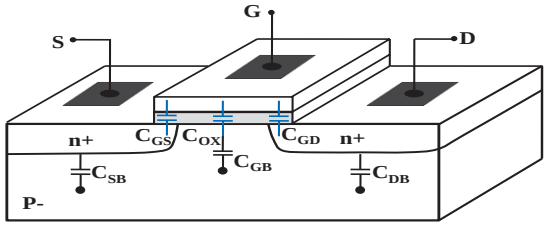
شکل (۱): اثر بایاس بدنه معکوس برناحیه تخلیه و لایه اینورژن باردرماسفت الف) بایاس بدنه صفردر ترانزیستور NMOS. ب) بایاس بدنه معکوس در ترانزیستور NMOS [18]

[Downloaded from jiaeee.com on 2026-07-06]

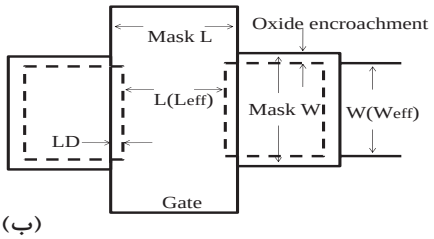
[DOR: 20.1001.1.26765810.1395.13.4.4.4]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016



شکل(۲): مدار معادل سیگنال کوچک ترانزیستوربا در نظر گرفتن خازن های پارازیتیک [25]

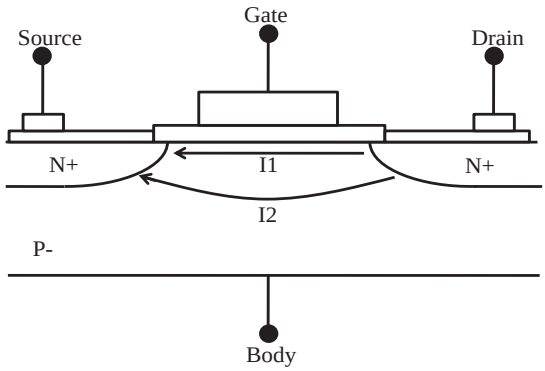


(الف)



(ب)

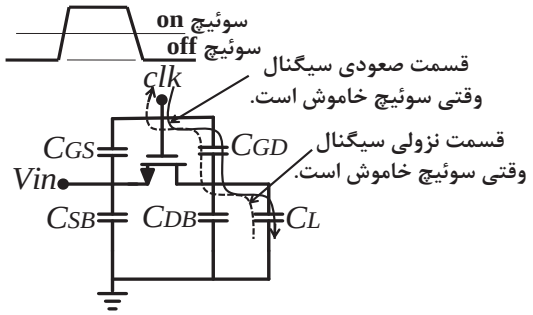
شکل (۳): الف) خازن های ترانزیستور ماسفت [26]. ب) نمایش از دید بالای هم پوشانی سورس و درین با گیت در ترانزیستور ماسفت [27]



شکل(۴): جریان های نشتی در ترانزیستور ماسفت [21]

درشکل (۴)، جریان نشتی زیر آستانه یا (I1) و نیز جریان نشتی Punch through یا (I2) نشان داده شده است. بر اساس رابطه (۸) عرض پیوند سورس و رابطه (۹) عرض پیوند درین، با اعمال ولتاژ ناحیه تخلیه زیر کانال ترانزیستور پهن تر می شود، و در نتیجه جریان نشتی Punch through کاهش می یابد [۲۴].

$$W_S = \sqrt{\frac{2\varepsilon_s}{qN_A}\left(V_{bi} + V_{SB}\right)} \qquad (۸)$$



شکل (۵): اثر نفوذ کلاک بر ترانزیستور در حضور خازن پارازیتیک C_{GD} [26]

$$W_D = \sqrt{\frac{2\varepsilon_s}{qN_A}\left(V_{DS} + V_{bi} + V_{SB}\right)} \qquad (۹)$$

در روابط (۸) و (۹)، ε_s نفوذپذیری سلیکون، N_A چگالی ناخالصی و V_{bi} پتانسیل Built-in است [24]. همچنین، اعمال V_{SB} یا اثربدنه باعث کاهش عرض موثردرکانال ترانزیستور می شود که بنا بر روابط زیر باعث کاهش خازن های پارازیتی C_{GB}، C_{GS} و C_{GD} نشان داده شده در شکل (۳ ب) خواهد شد. همانطور که در شکل (۵) نشان داده شده است خازن C_{GD} به طورمستقیم در اثر غیر ایده آل نفوذ کلاک ترانزیستور موثر است [26] و کاهش آن خطای اثر نفوذ کلاک را در ترانزیستور کاهش می دهد.

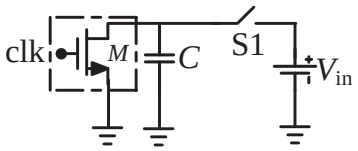
$$C_{GB} = C_{ox} + (W_{eff})(L_{eff}) + CGBO(L_{eff}) \qquad (۱۰)$$

$$C_{GS} \cong C_{ox}(LD)(W_{eff}) = CGSO(W_{eff}) \qquad (۱۱)$$

$$C_{GD} \cong C_{ox}(LD)(W_{eff}) = CGDO(W_{eff}) \qquad (۱۲)$$

که در روابط بالا CGDO، CGSO و CGBO خازن های هم پوشانی گیت با درین،سورس و بدنه ، W_{eff} و L_{eff} طول و عرض موثر کانال و L_D برابر اندازه هم پوشانی می باشند [27].

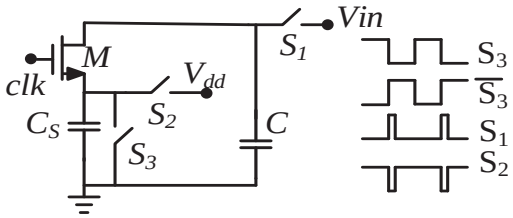
برای پیاده سازی ایده پیشنهادی، یعنی اعمال ولتاژ V_{SB} به ترانزیستور می توانیم در بین ترمینال های سورس و بدنه کلید NMOS، یک بایاس منفی از بدنه به سورس (یا بایاس مثبت از سورس به بدنه) اعمال کنیم. در ضمن باید دقت کنیم که هدف این بایاس کم کردن جریان نشتی معکوس است و فقط باید در حالت خاموش به کلید اعمال شود و در حالت روشن از مدار کلید قطع شود. برای تست، کلید پیشنهادی در یک مدار ساده به کار رفته است تا مقاومت حالت خاموش آن بررسی شود. شکل (۶) مدار بکار رفته برای شبیه سازی مقاومت حالت خاموش و شکل (۷) ساختار کلید پیشنهادی و زمان بندی کلید های S1، S2 وS3 را نشان می دهد. در زمان روشن بودن کلید اصلی M، کلید S3 روشن می شود تا خازن C تخلیه و سورس ترانزیستور M زمین شود.



شکل (۶): مدار بررسی مقاومت حالت خاموش در کلید NMOS

[Downloaded from jiaeee.com on 2026-07-06]

[DOR: 20.1001.1.26765810.1395.13.4.4.4]

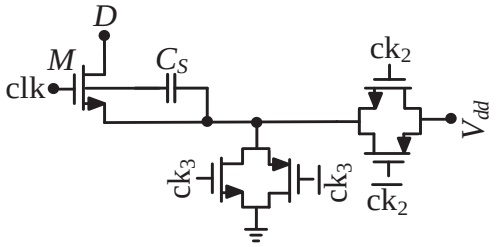


شکل (۷): ساختار شماتیک استفاده شده برای بررسی مقاومت حالت خاموش کلید پیشنهادی

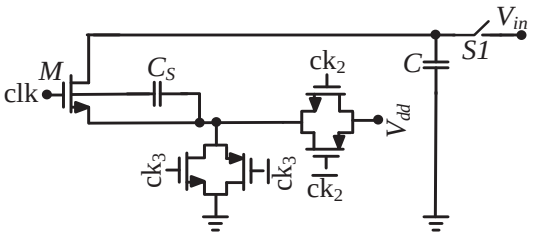
هنگامی که M خاموش می شود، S3 نیز خاموش می شود و برای مدت کوتاهی S1 و S2 روشن شده و خاموش می شود تا خازن های C و Cs شارژ شوند. بعد از خاموش شدن S1 و S2، خازن C در مقاومت بزرگ حالت خاموش کلید T تخلیه خواهد شد و خازن Cs نقش وظیفه اعمال بایاس به سورس- بدنه را به عهده خواهد داشت.

۲- مدار کلید پیشنهادی

کلید های کمکی ایده آل در شکل (۷) باید به صورت مداری پیاده سازی شوند. برای شبیه سازی مقاومت خاموش می توان کلید های S1 و S2 را به صورت شکل (۸) با Transmission-Gate که تزریق بار کمتری دارد، پیاده سازی کرد [۲۱] و در نهایت برای شبیه سازی از ساختار شکل (۹) استفاده کرد. در این روش از ثابت زمانی تخلیه خازن C می توان مقاومت حالت خاموش را حدس زد. کلید S1 مخصوصا در شبیه سازی ها ایده آل در نظر گرفته شده است تا خازن نتواند از آن مسیر تخلیه شود.



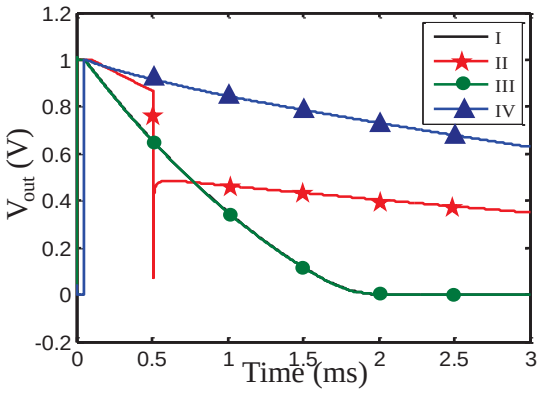
شکل (۸): ساختار کلید پیشنهادی برای کاهش جریان حالت قطع



شکل (۹): ساختار استفاده شده برای شبیه سازی مقاومت حالت خاموش ساختار پیشنهادی

۴- نتایج شبیه سازی

با توجه به کاربردهای گسترده کلید ها [۳۰] و [۳۱]، برای مقایسه پاسخ کلید پیشنهادی با آخرین دستاوردهای موجود، ابتدا ساده ترین کلید ممکن را یعنی کلید NMOS با روش گفته شده، (مدار شکل (۶)) شبیه سازی نمودیم. در این مدار پس از مدتی از قطع کلید S1، خازن تخلیه می شود. هرچه ثابت زمانی تخلیه بیشتر باشد، عملکرد کلید در حالت خاموش بهتر است. سپس مدارهای پیشنهادی در [۲]، [۱۴]، [۱۷]، [۱۸]، [۲۰] و [۲۹] را به جای ترانزیستور NMOS قرار داده و ولتاژ خازن را در زمان قطع شدن کلید شبیه سازی نموده و در نهایت کلید پیشنهادی را به کار گرفتیم.

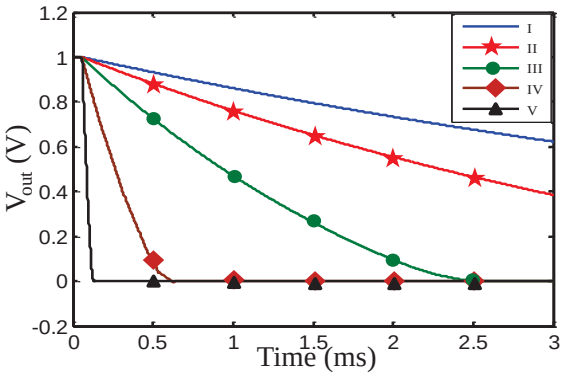


شکل (۱۰): مقایسه پاسخ ثابت زمانی تخلیه مدار با استفاده از کلید پیشنهادی (IV)، کلید مرجع [17] (II)، کلید NMOS (III) و کلید مرجع [12] (I)،که با اختلاف بسیار کم روی III قرار دارد

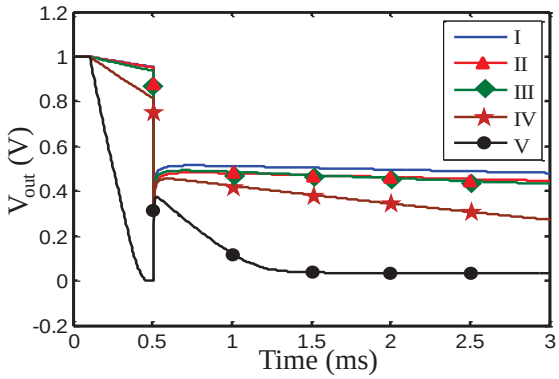
جدول (۱): نتایج عددی شبیه سازی

متغیر	واحد	NMOS	[2]	[14]	[17]	[18]	[20]	[29]	کلید پیشنهادی
L	µm	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸
Vdd	V	۱/۸	۱/۸	۱/۸	۱/۸	۱/۸	۱/۸	۱/۸	۱/۸
t_{on}	ms	۰/۰۶	۰/۰۶	۰/۰۸۸	۰/۰۶	۰/۱۴	۰/۰۹	۰/۰۷۵	۰/۰۲۲
t_{off}	ms	۰/۹۱۶	۱/۱	۲/۵۲	۰/۹۱۴	۲/۶	۳/۱۱	۱/۱۰۱	۴/۰۹
R_{on}	Ω	۶۰	۶۰	۸۸	۶۰	۱۴۰	۹۰	۷۵	۲۲
R_{off}	GΩ	۰/۹۱۶	۱/۱	۲/۵۲	۰/۹۱۴	۲/۶	۳/۱۱	۱/۱۰۱	۴/۰۹
Error	%	۶۴/۴۱	۶۳/۴۷	۵۳/۱۹	۶۴/۵	۴۹/۳	۵۴/۵	۹۸/۵۵	۱۵/۶۴

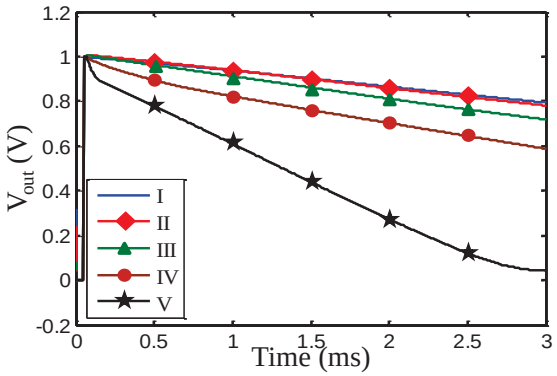
[Downloaded from jiaeee.com on 2026-07-06]
[DOR: 20.1001.1.26765810.1395.13.4.4.4]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016



شکل (۱۱): تحلیل دمایی ولتاژ حالت خاموش کلید NMOS در (I) دمای ۲۰-، (II) دمای ۰، (III)دمای ۲۰، (IV) دمای ۵۰ و (V) دمای ۱۰۰ درجه سانتی گراد

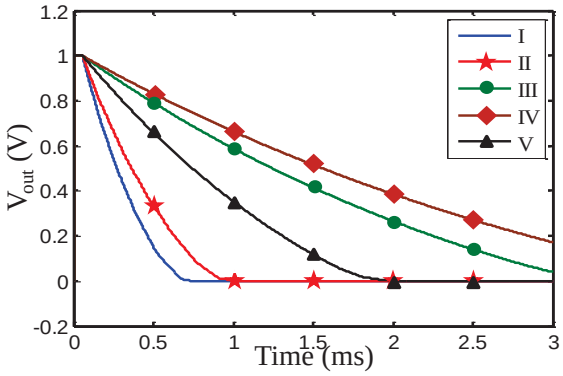


شکل (۱۲): تحلیل دمایی ولتاژ حالت خاموش کلید بوت استرپped در (I) دمای ۲۰-، (II) دمای ۰، (III) دمای ۲۰، (IV) دمای ۵۰ و (V) دمای ۱۰۰ درجه سانتی گراد

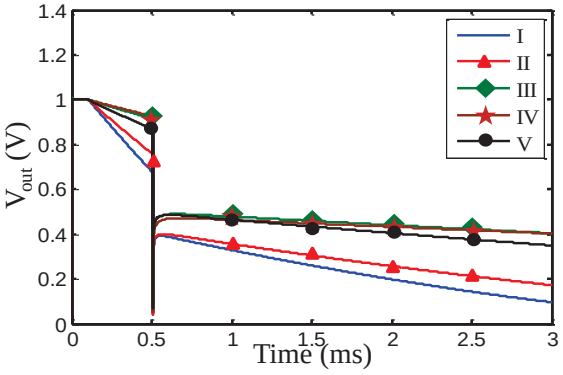


شکل (۱۳): تحلیل دمایی ولتاژ حالت خاموش کلید پیشنهادی، (I) دمای ۲۰-، (II) دمای ۰، (III)دمای ۲۰، (IV) دمای ۵۰ و (V) دمای ۱۰۰ درجه سانتی گراد

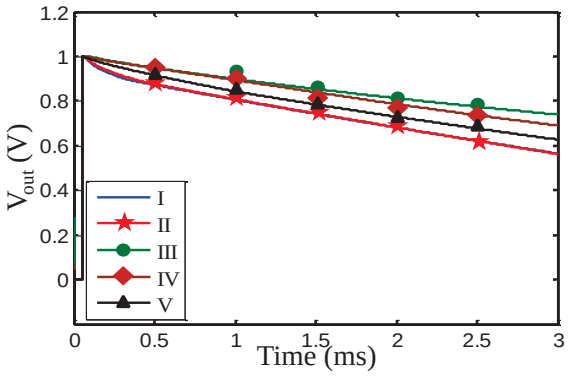
شکل (۱۰) ثابت زمانی تخلیه مدار را در حالت های مختلف نشان می دهد که با توجه به رابطه ثابت زمانی، می توان با اندازه گیری زمان تخلیه خازن و اندازه خازن، مقدار مقاومت حالت خاموش ترانزیستور را بدست آورد. همانطور که اشاره شد، افزایش مقاومت حالت خاموش معادل کاهش جریان نشتی معکوس می باشد.



شکل (۱۴): تحلیل گوشه های پروسه ولتاژ حالت خاموش کلید NMOS ، (I) گوشه FF، (II) گوشه FS، (III) گوشه SF، (IV)گوشه SS، (V)گوشه TT



شکل (۱۵): تحلیل گوشه های پروسه ولتاژ حالت خاموش کلید بوت استرپ، (I) گوشه FF، (II)گوشه FS، (III) گوشه SF، (IV) گوشه SS، (V) گوشه TT



شکل (۱۶): تحلیل گوشه های ولتاژ حالت خاموش کلید پیشنهادی، (I) گوشه FF، (II)گوشه FS، (III) گوشه SF، (IV) گوشه SS، (V)گوشه TT

در نهایت در جدول (۱) پارامترهای مختلف کلید را با چهار روش ذکر شده و مراجع مشخص شده با هم مقایسه کرده ایم. همانطور که بیان شد، منحنی شکل (۱۰) مقایسه پاسخ RC مدار را با استفاده از کلید های NMOS ساده، و به خصوص کلید های روش های مراجع [۱۲] و [۱۷] و کلید پیشنهادی نشان می دهد. پاسخ ثابت زمانی مدار

[Downloaded from jiaeee.com on 2026-07-06]
[DOR: 20.1001.1.26765810.1395.13.4.4.4]

با کلید NMOS و روش مرجع [۱۷] بسیار شبیه به یکدیگر است و در کمتر از ۲ میلی ثانیه سطح شارژ خازن به صفر می رسد یا بـه عبـارتی از طریق مقاومت حالت خاموش کلید کاملا تخلیه مـی شـود. مطـابق منحنی ثابت زمانی خروجی مدار با استفاده از کلید مرجـع [۱۴] صـفر نمی شود و حتی بعد از مدت ۳ میلی ثانیه به سـطح تقریبـا ۰/۴ ولـت می رسد. و در نهایت منحنی ثابت زمانی کلیـد پیشـنهادی نشـان مـی دهد که بعد از ۳ میلی ثانیه تخلیه هنوز به صفر نرسیده اسـت وخـازن بعد از ۳ میلی ثانیه از سطح ۱ ولت بـه سـطح ۰/۶ ولـت تخلیـه شـده است. پس بهترین پاسخ مربوط به کلید پیشنهادی می‌باشـد. در شـکل های (۱۱) تا (۱۳)، تحلیل دمایی کلید ها در دماهـای مختلـف کـاری (دماهای ۲۰-، ۰، ۲۰، ۵۰ و ۱۰۰ درجه سانتی گراد) نشـان داده شـده است. از آنجا که تحلیل دمایی در این بازه برای کلید NMOS و کلیـد مرجع [۱۷] بسیار شبیه یکدیگر است، فقط منحنـی مربـوط بـه کلیـد NMOS نشان داده شده است. همانطور که در منحنی های شکل های (۱۳) تا (۱۳) مشاهده می شود، با افـزایش دمـا سـرعت تخلیـه خـازن افزایش می یابد و در نتیجه مقاومت حالت خاموش کلیـد کـاهش مـی یابد. در منحنی شکل (۱۳) که تحلیل دمـایی کلیـد پیشـنهادی اسـت مشاهده می شود که تغییرات کلید پیشنهاد شده نسبت به کلید هـای دیگر بسیار کمتر است. بنابراین این کلیـد از لحـاظ دمـائی نسـبت بـه ساختارهای استفاده شده در مراجع فوق برتری دارد.

منحنی های شکل های (۱۴) تا (۱۶)، تحلیل گوشه های پروسـه کلید های مورد بررسی را نشان می دهد. مطابق منحنی‌ها، کلید ها در گوشه های SS و SF بهتـرین پاسـخ یعنـی بـالاترین مقاومـت حالـت خاموش و در گوشه های FF و FS پاسخ نامطلوب یـا مقاومـت حالـت خاموش پایینی دارند. ولی در منحنی شکل (۱۶) که تحلیل گوشه های کلید پیشنهادی است مشاهده می شود که اختلاف گوشه های پروسـه با یکدیگر بسیار نسبت به کلید های دیگر کمتر است. از ایـن رو کلیـد پیشنهادی قابل اطمینان بیشتری را دارا می باشد.

۵- نتیجه گیری

در این مقاله روش جدیدی برای بهبود مقاومـت حالـت خـاموش کلید ارائه گردید. این روش که مبتنی بر ساختار کلید بوت استرپ می باشد، بر پایه شارژ خازن و قرار دادن آن بین پایه های سـورس و بدنـه یک ترانزیستور NMOS شـکل گرفتـه اسـت. نتـایج شـبیه سـازی بـا HSPICE نشان می دهد که ساختار پیشنهادی می توانـد نسـبت بـه ساختارهای مشابه پیشـنهاد شـده در سـایر مقـالات، مقاومـت حالـت خاموش بالاتری را حاصل کند. علاوه بر آن سـاختار پیشـنهادی رفتـار دمائی بسیار بهتـر داشـته و در مقایسـه بـا سـایر روش هـا نسـبت بـه تغییرات گوشه های پروسه رفتار بسیار پایدارتری را از خود نشا ن مـی دهد. بنابراین می تواند گزینه مناسبی بـه جهـت کـاربرد در مـدارهای سنجش خازنی سیستم های پرتونگاری باشد.

مراجع

[1] Bugeja, A. R., Song, B., Rakers, P. L. and Gillig, S. F., "A 14-b, 100-MS/s CMOS DAC Designed for Spectral Performance," Solid-State Circuits, IEEE J., vol. 34, no. 12, pp. 1719–1732, 1999.

[2] Gupta, S. K., Fong, V., "A 64-MHz Clock-Rate ΣΔ ADC With 88-dB SNDR and 105-dB IM3 Distortion at a 1.5-MHz Signal Frequency," Solid-State Circuits, IEEE J., vol. 37, no. 12, pp. 1653–1661, 2002.

[3] Waltari, M., Sumanen, L., Korhonen, K., and Halonen, K. A. I., "A Self-Calibrated Pipeline ADC with 200 MHz IF-Sampling Frontend," Analog Integr. Circuits Signal Process., pp. 201–213, 2003.

[4] Pirkkalaniemi, J., Waltari, M., Kosunen, M., Sumanen, L., and Halonen, K., "A 14-bit Current-Steering DAC with Current-Mode Deglitcher," Analog Integr. Circuits Signal Process., pp. 33–45, 2003.

[5] Vecchi, D., Azzolini, C., Boni, A., Chaahoub, F., and Crespi, L., "100-MS/s 14-b Track-and-Hold Amplifier in 0.18μm CMOS," Proceedings of the 31st European Solid-State Circuits Conf. ESSCIRC 2005., Grenoble, France, pp. 259-262, 2005.

[6] Lillebrekke, C., Wulff, C., and Ytterdal, T., "bootstrapped Switch In Low-Voltage Digital 90nm CMOS Technology," Dep. Electron. Telecommun. Nor. Univ. Sci. Technol. N-7491 Trondheim, Norw., vol. 3, pp. 4–6, 2005.

[7] Aksi, D., Al-Shyoukh, M., "Switch bootstrapping for Precise Sampling Beyond Supply Voltage," Solid-State Circuits, IEEE J., vol. 41, no. 8, pp.1938-1943, 2006.

[8] Wang, L., Ren, J., Yin, W., Chen, T., and Xu, J., "A High-Speed High-Resolution Low-Distortion CMOS bootstrapped Switch," Sci. Technol. Comm. Shanghai Munic., pp. 1721–1724, 2007.

[9] Retdian, N., Takagi, S., Fujii, M., "Improvement of bootstrapped Switch using Track and Precharge Phase," Proceedings of IEEE International Symposium on Circuits and Systems, ISCAS 2007, 27-30 May, New Orleans, LA, pp. 3335–3338, 2007.

[10] Chen, J.-S., and Ker, M.-D., "Circuit Performance Degradation of Switched-Capacitor Circuit with bootstrapped Switch Technique due to Gate-Oxide Overstress in a 130-nm CMOS Process," Network, vol. 1000, pp. 1-4, 2007.

[11] Li, J., Zeng, X., Xie, L., Chen, J., Zhang, J., and Guo, Y., "ADC for Low-Power Subsampling Applications," Solid-State Circuits, IEEE J., vol. 43, no. 2, pp. 321–329, 2008.

[12] Qian, L., Zhu, Z., and Yang, Y., "A Low Distortion CMOS bootstrapped Switch," Proceedings of Pacific-Asia Conference on Circuits, Communications and Systems, PACCS'09, 16-17 May, Chengdu, pp. 261–264, 2009.

[13] Sahoo, B. D., "A 12-Bit 200-MHz CMOS ADC," Solid-State Circuits, IEEE J., vol. 44, no. 9, pp. 2366–2380, 2009.

[14] Huang, G., and Lin, P., "A Fast bootstrapped Switch for High-Speed High- Resolution A/D Converter," In 2010 IEEE Asia Pacific Conference on Circuits and Systems, pp. 382-385. 2010.

[15] Doris, K., Janssen, E., Nani, C., and Zanikopoulos, A., "A 480 mW 2 . 6 GS / s 10b Time-Interleaved ADC With 48.5 dB SNDR up to Nyquist in 65 nm CMOS," Solid-State Circuits, IEEE J., vol. 46, no. 12, pp. 2821–2833, 2011.

[16] Zhu, Z., Yu, G., Wang, J., and Yang, Y., "a Low Distortion bootstrapped Switch for 4-Bit Mdac," J.

[Downloaded from jiaeee.com on 2026-07-06]

[DOR: 20.1001.1.26765810.1395.13.4.4.4]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

[25] O'Halloran, M. G., A clock-based analog memory element for integrated circuits, PhD diss., Massachusetts Institute of Technology, 2002.
[26] Langeheine, J., Intrinsic Hardware Evolution on the Transistor Level, PhD diss., Rupertus Carola University of Heidelberg, 2005.
[27] Allen P. E., and Holberg, D. R., CMOS analog circuit design, Oxford Univ. Press, 2002.
[28] Shikata, A., Sekimoto, R., and Ishikuro, H., "A 0.5V 65nm-CMOS Single Phase Clocked bootstrapped Switch with Rise Time Accelerator," In 2010 IEEE Asia Pacific Conference on Circuits and Systems (APCCAS), 6-9 Dec., Kuala Lumpur, pp. 1015-1018. , 2010.
[29] Shikata, A., Sekimoto, R., and Ishikuro, H., "A 0.5V 65nm-CMOS Single Phase Clocked bootstrapped Switch with Rise Time Accelerator," Circuits and Systems (APCCAS), 2010 IEEE Asia Pacific Conference, 6-9 Dec., Kuala Lumpur, pp.1015-1018, 2010.
[30] Delaram Farimani, S., Hajghasem, H., Erfanian, A. R. and Aliahmadi, M. R., "Design, Simulation and Fabrication of RF MEMS Capacitive Switch on Alumina Substrate," Journal of Iranian Association of Electrical and Electronics Engineers, vol. 12, no. 12, pp. 15-24, 2012.
[31] Rahimpour, H., Gholami, M., Miar-Niami, H. and Ardeshir, G., "Degin of a Novel DLL-Based Frequency Multiplier for High Speed Applications," Journal of Iranian Association of Electrical and Electronics Engineers, vol. 12, no. 12, pp. 39-47, 2012.
Circuits, Syst. Comput., vol. 22, no. 01, p. 1250074, Jan. 2013.
[17] Al-dirini, F., Mohammed, M., and Shahroury, F., "A Novel Source-Body Biasing Technique for RF to DC Voltage Multipliers in 0.18μm CMOS Technology," CAD Systems in Microelectronics (CADSM), 2011 11th International Conference The Experience of Designing and Application of, pp. 276-280. IEEE, 2011.
[18] Christian, J., "Low-Voltage Analog Switch in Deep Submicron CMOS: Design Technique and Experimental Measurements," IEICE Trans. Fundam. Electron. Commun. Comput. Sci., no. 4, pp. 1076–1087, 2006.
[19] Sin, S.-W., U, S.-P., and Martins, R. P., Generalized Low-Voltage Circuit Techniques for Very High-Speed Time-Interleaved Analog-to-Digital Converters. Dordrecht: Springer Netherlands, 2011.
[20] Marzuki, A., Sauli, Z., and Shakaff, A. Y., "UWB Fast-Hopping Carrier Frequency Generator," Inf. Midem-J. Microelectron. Electron. Componets Mater., vol. 41, pp. 41–44, 2011.
[21] Circuit, M. C., Kursun, D. V, and Friedman, E., Multi-voltage CMOS Circuit Design, John Wiley & Sons, 2006.
[22] Razavi, B., Design of Analog CMOS Integrated Circuits, McGraw-Hill, 2001.
[23] Schneider, M. C., and Galup-Montoro, C., CMOS analog design using all-region MOSFET modeling, Cambridge University Press, 2010.
[24] Arman, V., and Sachdev, M., Thermal and power management of integrated circuit, Springer Science & Business Media, 2006.

[Downloaded from jiaeee.com on 2026-07-06]
[DOR: 20.1001.1.26765810.1395.13.4.4.4]