# مدل عملکردی تحلیلی FPGA برای پردازش با قابلیت پیکربندی مجدد

**حسین مهری[۱]  بیژن علیزاده[۲]**

۱- کارشناس ارشد- دانشکده مهندسی برق و کامپیوتر- دانشکده فنی - دانشگاه تهران- تهران- ایران

h.mehri@ut.ac.ir

۲- استادیار- دانشکده مهندسی برق و کامپیوتر- دانشکده فنی - دانشگاه تهران - تهران- ایران

b.alizadeh@ut.ac.ir

**چکیده: بهینه‌سازی ساختاری FPGA به عنوان یکی از چالش‌های مهم در زمینه طراحی دیجیتال مطرح است. در سال‌های اخیر، روش‌های تجربی و آزمایش‌محور جای خود را به روش‌های تحلیلی برای یافتن ساختارهای بهینه داده‌اند. روش‌های آزمایش‌محور بر مبنای استفاده از ابزارهای کامپیوتری (CAD) برای ارزیابی ساختارها به لحاظ مساحت اشغالی، سرعت و توان مصرفی استوارانند. به علت زمان‌بر بودن این فرآیند، استفاده از روش‌های تحلیلی مبتنی بر مدل‌سازی ساختار توسط معادلات ساده‌ی جبری، مورد توجه قرار گرفته است. اگرچه این فرآیند به مراتب ساده‌تر و سریع‌تر است، اما یک مدل تحلیلی کامل که بتواند همزمان توان مصرفی، مساحت اشغالی و سرعت را ارزیابی نماید تا به حال ارایه نشده است. ذکر این نکته ضروری است که کارهای گذشته از روش‌های تحلیلی برای بهینه‌سازی ساختارهای FPGA کاربرد عام استفاده کرده اند، در حالی که استفاده از روش‌های تحلیلی برای بهینه-سازی ساختارهایی با کاربرد خاص موضوع جذابی در زمینه پردازش قابل پیکربندی مجدد می‌باشد. به این ترتیب طراحان می‌توانند ساختارهایی بهینه برای دسته‌ای از کاربردها را جستجو کرده و مصرف‌کنندگان می‌توانند ساختار بهینه مورد نیاز برای کاربرد خاص خود را از میان قطعات متنوع موجود در بازار بیابند. در این مقاله یک مدل توان مصرفی شامل توان پویا و توان ایستا برای ساختار FPGA ارایه شده است. سپس این مدل با مدل‌های موجود مساحت و سرعت ادغام شده تا یک مدل عملکردی کامل را تشکیل دهند. این مدل در قالب برنامه‌سازی هندسی ارایه شده است. به این ترتیب، طراحان قادر خواهند بود تا در کوتاه ترین زمان ساختارهای مختلف را ارزیابی کرده و بهترین آنها را از نظر توان مصرفی پویا و ایستا همراه با مساحت و تأخیر انتخاب کنند. پس از تکمیل مدل عملکردی کامل FPGA، این مدل برای بهینه‌سازی ساختارهایی با چند کاربرد توسعه داده شده و سپس ساختار بهینه برای دو مدار خاص مورد بحث قرار گرفت.**

**کلمات کلیدی: بهینه‌سازی ساختاری، FPGA، مدل توان مصرفی، روش‌های تحلیلی**

**تاریخ ارسال مقاله:** ۱۳۹۴/۰۲/۰۱

**تاریخ پذیرش مشروط مقاله:** ۱۳۹۴/۰۸/۰۹

**تاریخ پذیرش مقاله:** ۱۳۹۵/۰۳/۲۰

**نام نویسنده‌ی مسئول:** دکتر بیژن علیزاده

**نشانی نویسنده‌ی مسئول:** تهران – خیابان کارگر شمالی – پردیس دانشکده‌های فنی دانشگاه تهران – دانشکده‌ی مهندسی برق و کامپیوتر

[ Downloaded from jiaeee.com on 2026-02-12 ]

[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]

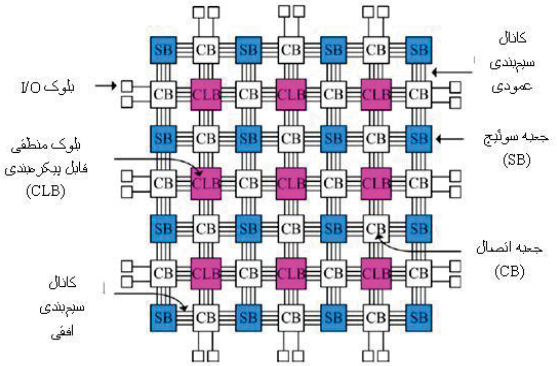
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

## ۱- مقدمه

در سال‌های اخیر پیشرفت‌های قابل توجه ای در معماری FPGAها[1] صورت پذیرفته است. معماران FPGA برای بهبود ساختار FPGA معمولاً از روش‌های تجربی و آزمایش‌محور استفاده می‌کنند. این روش‌ها به صورت نگاشت[2] مدارات محک[3] روی معماری در حال بررسی می‌باشد. به علت نیاز به تکرار متعدد این فرایند، این روش‌ها زمان‌بر می‌باشند. به تازگی، استفاده از مدل‌های تحلیلی، برای سرعت بخشی به فرآیند بهینه‌سازی ساختاری FPGA انجام شده است[۷-۲]. این کار به معماران این اجازه را می‌دهد تا گستره‌ی وسیعتری از ساختارها را مورد بررسی قرار دهند. یکی از فواید استفاده از روش‌های تحلیلی این است که مقادیر بسیاری از پارامترهای ساختاری می‌توانند به یک باره بهینه شوند، در حالی که در روش آزمایش‌محور، یک پارامتر در یک زمان پویش می‌شود.

برای ارایه مدل‌های تحلیلی کامل FPGA، در ابتدا می بایست پارامترهای مختلفی مدل‌سازی تحلیلی شوند. در این راستا، کارهای مختلفی انجام شده است که پیش‌نیاز مدل‌سازی مساحت اشغالی یا تأخیر مسیر بحرانی می‌باشند. در ادامه به تعدادی از این کارها اشاره شده است.

نویسندگان در [۱۰] به دنبال فهم ارتباط مدار و طراحی ساختار یک FPGA برای یافتن مصالحه بین مساحت و سرعت بوده‌اند. در نهایت مشخص شد که تغییر پارامترهای ساختاری و اندازه ترانزیستور یک FPGA باعث تغییر مساحت موثر با ضریب ۳/۶ از بزرگترین تا کوچکترین و تغییر سرعت با ضریب ۲/۶ از سریعترین تا کندترین می-




**شکل (۱): ساختار داخلی FPGA جزیره ای [۱]**

شود.

در [۱۳] یک مدل تحلیلی که پارامترهای معماری یک FPGA را به طول سیم میانگین پیش از سیم‌بندی ارتباط می‌دهد، ارایه شده است. هر دو نوع FPGAهای همگن[4] و ناهمگن[5] مدنظر قرار گرفته‌اند. برای FPGAهای همگن، مدل اندازه LUT[6]، اندازه خوشه[7] و تعداد ورودی-های هر خوشه را به طول سیم مورد انتظار ربط می‌دهد. پارامتر خروجی این مدل می‌تواند به عنوان ورودی در مدل‌های بعدی استفاده شود. در واقع این مدل، مدلی پایه‌ای برای مدل‌های کامل‌تر محسوب می‌شود. خروجی این مدل می‌تواند به عنوان یکی از ورودی‌های مدل ارایه شده در [۳] استفاده شود.

در [۳] اتصالات داخلی FPGAهای جزیره‌ای مدل شده است. ورودی-های مدل شامل پارامترهای ساده قابل اندازه‌گیری می‌باشند که از بلوک‌های منطقی ارایه شده، اطلاعات پایه مداری و پارامترهای معماری سیم‌بندی قابل استخراج می‌باشند. خروجی مدل هم پارامتر تعداد مسیر مورد نیاز در کانال یا همان عرض کانال W برای سیم‌بندی موفقیت آمیز می‌باشد.

در [۵] یک مدل تحلیلی ارایه شده است که پارامترهای معماری FPGA را به سرعت مورد انتظار FPGA پیاده‌سازی شده ربط می-دهد. به طور دقیق‌تر، این مدل اندازه LUT، اندازه خوشه، و تعداد ورودی خوشه را به عمق مدار پس از تصویرسازی تکنولوژی و خوشه-بندی ربط می‌دهد. مقایسه با نتایج عملی از مدارات بزرگ MCNC[8] نشان می‌دهد که مدل دقت کافی را دارد. در نهایت نشان داده شده است که چگونه این مدل می‌تواند به عنوان مکمل برای روش‌های آزمایش‌محور در بررسی‌های ساختاری FPGA استفاده شود.

مرجع [۶]، یک مدل تحلیلی ارایه داده است که رابطه‌ی بین پارامترهای بلوک منطقی و خوشه را با بهینگی مساحت و عمق منطقی مدارات پیاده‌سازی شده روی FPGA توصیف می‌کند. ورودی‌های مدل اندازه LUT، اندازه خوشه و تعداد ورودی خوشه می‌باشند. خروجی‌ها شامل: ۱) تعداد مورد انتظار گیت‌های منطقی دو ورودی که می‌توانند در هر خوشه متراکم شوند، ۲) تعداد مورد انتظار LUTها که می‌توانند در هر خوشه متراکم شوند، ۳) تعداد مورد انتظار ورودی‌های هر خوشه که مورد استفاده قرار می‌گیرند، ۴) تعداد مورد انتظار LUTها در طول مسیر بحرانی مدار پیاده‌سازی شده، و ۵) تعداد مورد انتظار خوشه‌ها در طول مسیر بحرانی مدار پیاده‌سازی شده می‌باشند. دو خروجی اول می‌توانند برای محاسبه‌ی تراکم FPGA پیاده‌سازی شده مورد استفاده قرار گیرند. خروجی سوم می‌تواند به عنوان یک ورودی برای مدل عرض کانال ارایه شده در [۳] مورد استفاده قرار گیرد. دو خروجی انتهایی می‌توانند به عنوان ورودی برای مدل تأخیر ارایه شده در [۲] استفاده شوند.

در [۹] روشی برای تخمین و بهینه‌سازی مساحت اشغال شده توسط شبکه سیم‌بندی داخلی FPGA ارایه شده است. از مدل‌سازی سطح بالا استفاده شده است و برای بهینه‌سازی از روش برنامه‌سازی هندسی کمک گرفته شده است. سپس این مدل در [۲] به صورت یک مدل مساحت کامل تکمیل شده است. در این کار به بهینه‌سازی پارامترهای ساختاری و پارامترهای مربوط به اندازه ترانزیستورها به صورت هم زمان پرداخته می‌شود. این روش این امکان را فراهم می



Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016
[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]

کند که هم مساحت و هم تأخیر مسیر بحرانی را بهینه کنیم. لازم به ذکر است که بهینه‌سازی هم زمان این طیف وسیع پارامترها منجر به یافتن ساختارهای بهتر برای FPGAها در زمان کوتاه تر نسبت به روش آزمایش‌محور، خواهد شد. مدل‌های ارایه شده در [۲] و [۴] بیشترین نزدیکی و ارتباط را با کارهای انجام شده در این مقاله دارند. لازم به ذکر است که نوآوری این کار در مقایسه با [۷]، ارایه مدل کامل عملکردی با درنظر گرفتن همزمان توان، تاخیر و مساحت و همچنین اعمال آن به مساله ی پردازش با پیکربندی مجدد است.

در بخش دوم مقاله به بررسی پیش‌زمینه‌های لازم شامل ساختار داخلی FPGA و مدل برنامه‌سازی هندسی می‌پردازیم. بخش سوم شامل مدل‌سازی توان مصرفی و تکمیل مدل عملکردی می‌باشد. در بخش چهارم مقاله به توسعه مدل عملکردی برای بهینه‌سازی ساختار FPGA برای چند کاربرد می‌پردازیم. در بخش پنجم هم به نتیجه-گیری می‌پردازیم.

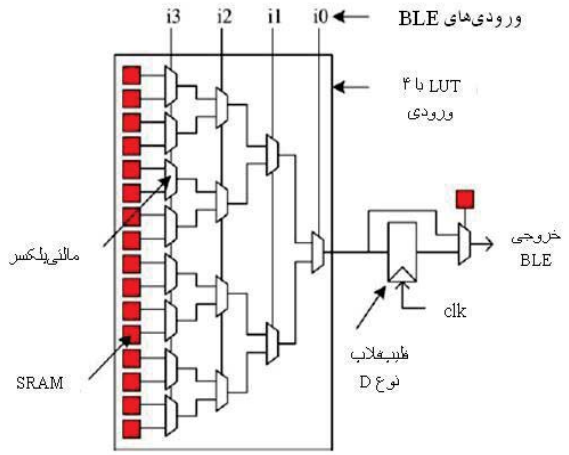
## ۲- پیش زمینه

### ۲-۱- ساختار داخلی FPGA

قابلیت پیکربندی مجدد FPGA به علت بلوک‌های منطقی با قابلیت برنامه ریزی مجدد آن می‌باشد که توسط شبکه ارتباطی با همین قابلیت به هم متصل شده‌اند. دو توپولوژی شبکه ارتباطی موجود می‌باشند: درختی[۹] و برپایه مش[۱۰]. ساختار درختی با اتصال بلوک‌های منطقی به صورت خوشه‌ای ایجاد می‌شود. این خوشه‌ها به صورت بازگشتی به هم متصل می‌شوند تا ساختاری سلسله مراتبی ایجاد شود. ساختار بر پایه مش، بلوک‌های منطقی را توسط شبکه ای دو بعدی به هم متصل می‌کند. از آنجا که FPGAهای تجاری از جمله محصولات شرکت‌های Xilinx و Altera از نوع برپایه مش هستند، ما نیز در این مقاله بر روی این توپولوژی تمرکز می‌کنیم [۱].

شکل(۱) یک ساختار رایج برپایه مش FPGA را نمایش می‌دهد. بلوک‌های منطقی قابل پیکربندی (CLB) در شبکه‌ای دو بعدی برنامه پذیر به هم متصل شده‌اند. بلوک‌های ورودی و خروجی (I/O) پیرامون تراشه FPGA هم به این شبکه متصل شده‌اند. شبکه اتصال از کانال‌های مسیر عمودی و افقی تشکیل شده است. جعبه‌های سوئیچ مسیرهای عمودی و افقی شبکه اتصال را به هم وصل می‌کنند. جعبه های اتصال بلوک‌های منطقی و I/O را به مسیرهای ارتباطی مجاور وصل می‌کنند.

یک CLB جز پایه‌ای FPGA است که عملکرد منطقی مورد نظر را پیاده‌سازی می‌کند. یک CLB از تعدادی المان منطقی پایه (BLE) که به صورت محلی به هم متصل شده‌اند تشکیل شده است. یک BLE ساده از یک LUT و یک فلیپ‌فلاپ تشکیل می‌شود. LUT با k ورودی، از $2^k$ بیت پیکربندی ( و $2^k$ SRAM) تشکیل شده است که می‌تواند هر تابع منطقی با k ورودی را پیاده‌سازی کند. شکل(۲) یک BLE ساده را که شامل LUT با چهار ورودی و فلیپ‌فلاپ از نوع D می‌باشد را نشان می‌دهد. یک LUT با چهار ورودی از ۱۶ SRAM برای پیاده‌سازی هر تابع منطقی چهار ورودی استفاده می‌کند. خروجی LUT به فلیپ‌فلاپ متصل شده است و مالتی پلکسر انتخاب می‌کند که خروجی BLE، خروجی فلیپ‌فلاپ باشد و یا خروجی LUT.




**شکل (۲): المان منطقی پایه (BLE) [۱]**

انتخاب LUT با تعداد ورودی‌های بالاتر، تعداد کل LUTهای مورد نیاز برای پیاده‌سازی یک مدار مشخص را کاهش می‌دهد. عملکرد منطقی بیشتری می‌تواند در یک LUT پیاده شود. این کار اتصالات بین LUTها را کاهش می‌دهد و به این ترتیب سرعت مدار را بالا می-برد. اما تعداد ورودی بیشتر برای LUT مساحت آن را به صورت نمایی افزایش می‌دهد. بنابراین یک بده‌بستان بین سرعت و مساحت با توجه به تعداد ورودی LUTها داریم. انتخاب مقدار این پارامتر می‌تواند در بهینگی ساختار نهایی موثر باشد.

در مدل‌سازی ساختار FPGA از پارامترهای مختلفی استفاده می‌شود. جدول ۱ شامل تعدادی از این پارامترها در سه دسته‌ی پارامترهای سطح بالا، پارامترهای سطح پایین و پارامترهای مداری می‌باشد. پارامترهای سطح بالا یک توصیف کلی از معماری به دست می‌دهند. پارامترهای سطح پایین به پارامترهای مربوط به اندازه‌ی ترانزیستورها در بخش‌های مختلف FPGA اطلاق می‌شوند. پارامترهای مداری توصیفی از اندازه، حجم و پیچیدگی مداری است که قرار است روی ساختار پیاده‌سازی شود.

[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

جدول (۱): خلاصه‌ای از پارامترهای مدل‌سازی

| | |
|---|---|
| پارامترهای معماری سطح بالا : | |
| N | اندازه خوشه |
| K | اندازه LUT |
| I | تعداد ورودی به ازای خوشه |
| $Fc_{in/out}$ | انعطاف جعبه اتصال |
| Fs | انعطاف جعبه سوئیچ |
| پارامترهای سطح پایین : | |
| $S_{n,21mux}$ | اندازه ترانزیستور عبور در مالتی پلکسر 2:1 |
| $S_{n,LM}$ | اندازه ترانزیستور عبور در مالتی پلکسر LUT |
| $S_{n,SB}$ | اندازه ترانزیستور عبور در مالتی پلکسر جعبه سوئیچ |
| $S_{n,CB}$ | اندازه ترانزیستور عبور در مالتی پلکسر جعبه اتصال |
| $S_{n/p,LIdrv}$ | اندازه ترانزیستور n/pMOS در درایور ورودی LUT |
| $S_{n/p,LOdrv}$ | اندازه ترانزیستور n/pMOS در درایور خروجی LUT |
| $S_{n/p,SBdrv}$ | اندازه ترانزیستور n/pMOS در درایور جعبه سوئیچ |
| $S_{n/p,CBdrv}$ | اندازه ترانزیستور n/pMOS در درایور جعبه اتصال |
| پارامترهای مداری : | |
| $n_2$ | تعداد LUT دو ورودی در پیاده سازی 2-LUT |
| $d_2$ | عمق مدار برای پیاده سازی 2-LUT |
| p | پارامتر Rent مدار |

## ۲-۲- برنامه‌سازی هندسی

روش حل تعدادی از مدل‌های تحلیلی [۲] و [۴] ارایه شده تاکنون، بر اساس مدل برنامه‌سازی هندسی[۱۱] می‌باشد. برنامه سازی هندسی(GP) یک مساله بهینه‌سازی به صورت زیر است:

$$\begin{aligned} &\textit{Minimize:} && f_0(x) \\ &\textit{Subject to:} && \\ & && f_i(x) \le 1 \;\; ; \;\; i = 1,2,\dots,m \\ & && g_i(x) = 1 \;\; ; \;\; i = 1,2,\dots,l \end{aligned}$$

که بردار $x$ در آن شامل مقادیر مثبت و حقیقی $x_i$ می‌باشند و توابع $f_i$ و $g_i$ فرم‌های ریاضی خاصی معروف به چندجمله‌ای‌های‌مثبت و تک-جمله‌ای‌ها می‌باشند.

تک‌جمله‌ای تابعی است به صورت $g(x) = cx_1^{a1}x_2^{a2}\dots x_n^{an}$ که ضریب c باید مثبت باشد. یک چندجمله‌ای‌مثبت مجموع تعداد معدودی تک‌جمله‌ای می‌باشد. از GP به صورت گسترده ای برای مسائل طراحی مدار استفاده شده است. این نوع مسائل شامل تعیین اندازه ترانزیستور، اندازه سیم و طراحی دقیق در حضور متغیرهای آماری می‌شود. یکی از قابلیت‌های جذاب GP توانایی حل حجم بالای معادلات در زمان کم می‌باشد. به عنوان نمونه روش‌های اخیر برای حل مساله اندازه مدار امکان بهینه‌سازی یک طراحی با یک میلیون ترانزیستور را در ۴۰ دقیقه نشان داده است[۸].

## ۳- مدل‌سازی توان مصرفی با روش تحلیلی

در این بخش سعی بر مدل‌سازی توان مصرفی FPGA به وسیله روش‌های تحلیلی داریم. توان مصرفی در مدارات دیجیتال به سه بخش عمده تقسیم می‌شود: توان پویا، توان اتصال‌کوتاه و توان نشتی. از آنجا که توان اتصال کوتاه در فن آوری زیر میکرون کاهش یافته است، در این کار، توان مصرفی اتصال‌کوتاه در نظر گرفته نشده است. علت این امر را می‌توان در نزدیک شدن ولتاژ تغذیه به ولتاژ آستانه با کاهش اندازه فن آوری دانست. این توان در کارهای دیگر [۲۸] هم به صورت درصدی ثابت از توان پویا در نظر گرفته شده است. بنابراین، توان کل یک FPGA، $P_{total}$، می‌تواند همچون رابطه (۱) به صورت مجموع توان پویا، $P_{dy}$ و توان نشتی، $P_{lk}$ نوشته شود.

$$P_{total} = P_{dy} + P_{lk} \qquad (۱)$$

هر کدام از توان پویا و توان نشتی باید به روشی مناسب تقریب زده شود. در ادامه این بخش به تقریب این دو توان می‌پردازیم.

### ۳-۱- توان پویا

توان پویا بخش اصلی توان کل مصرفی در FPGA می‌باشد. با تغییر سطح سیگنال‌ها در هر زمان، خازن‌های بار و پارازیتی پر و خالی می-شوند؛ توان مصرفی در این فرآیند را توان پویا می‌نامیم. بنابراین، توان پویا وابسته به احتمال سوییچینگ سیگنال در تمام گره‌های مدار می-باشد. توان پویا مصرفی کل در یک مدار می‌تواند به صورت زیر بیان شود:

$$Dy.Power = \sum_{all\,nodes} 0.5 C_{node} V_{supply}^2 D_{node} f_{clk}$$

که در آن $V_{supply}$ ولتاژ تغذیه مدار، $D_{node}$ احتمال سوییچینگ سیگنال در هر گره، و $C_{node}$ ظرفیت خازن هر گره می‌باشد که در هر نوبت از تغییر سطح سیگنال در آن گره پر و خالی می‌شود.

احتمال سوییچینگ سطح سیگنال درون FPGA وابسته به ورودی-های مدار و همچنین رفتار مدار می‌باشد. رفتار مدار توسط بیت‌های پیکربندی، که در SRAMهای FPGA برنامه‌ریزی شده‌اند، مشخص می‌شود. توجه شود که در روشهای تحلیلی، بررسی ساختاری FPGA مستقل از ورودی‌های مدار صورت می پذیرد. برای یافتن ساختار بهینه با توجه به مساحت، تأخیر و توان مصرفی؛ ما به دنبال یافتن مقادیر بهینه برای پارامترهای ساختاری می‌باشیم و هیچ گونه اطلاعی از ورودی‌هایی که در آینده بر مدار پیاده‌سازی شده روی این ساختار وارد می‌شود نداریم. در روشهای تجربی، برای تقریب توان مصرفی، رفتار



Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016

[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]

مدار با پیاده سازی آن روی معماری موجود با استفاده از ابزارهای CAD مورد توجه قرار می‌گیرد. در [۱۵] احتمال سوییچینگ برای تمامی گره‌ها با توجه به عملکرد مدار محاسبه می‌شود. برای این کار، ابتدا احتمال سوییچینگ ورودی‌ها ۰/۵ در نظر گرفته می‌شود و سپس این تغییرات با در نظر گرفتن عملکرد مدار از ورودی‌ها تا خروجی‌ها پراکنده می‌شوند. در این مقاله، از آنجا که به دنبال تقریب توان به صورت تحلیلی هستیم، پارامتر احتمال سوئیچینگ را از تصمیم‌گیری خود خارج می‌کنیم و آن را مقداری ثابت فرض می‌کنیم. توجه شود که در صورت محاسبه‌ی احتمال سوئیچینگ برای همه‌ی گره‌های مدار، حجم محاسبات بالا رفته و درنتیجه مزیت نسبی سرعت برای روش-های تحلیلی را از دست خواهیم داد.

همانطور که در رابطه ی (۲) نشان داده شده است، توان پویا مصرفی در FPGA به صورت مجموع توان پویا بخش منطقی و توان پویا شبکه سیم‌بندی در نظر گرفته می شود. در بخش‌های بعدی به دنبال تقریب هر کدام از این توان‌ها هستیم.

$$P_{dy} = P_{dy.logic} + P_{dy.route} \qquad (۲)$$

### ۳-۱-۱- توان پویای شبکه سیم‌بندی

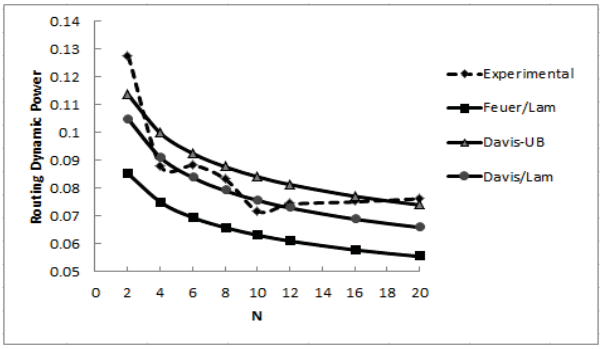
شبکه سیم‌بندی بخش عمده ای از مساحت هر FPGA را شامل می شود. نشان داده شده است که توان مصرفی شبکه سیم‌بندی تابعی خطی از طول سیم ارتباطی می‌باشد [۱۴]. برای مدل‌سازی توان پویا شبکه سیم‌بندی برحسب طول سیم باید ضریب مناسب را جست. برای این منظور تعدادی آزمایش با استفاده از ابزار VPR power model [۱۴] برای ۶ عدد مدار از مجموعه MCNC انجام شده است. از طرف دیگر مدل تحلیلی برای طول سیم (WL) FPGAها در [۱۲] معرفی شده است. در شکل (۳) مدل‌های مطرح در این کار شامل Davis/Lam، Feuer/Lam و Davis-UB پس از ضرب در یک ضریب به همراه نتایج آزمایشها آورده شده‌اند. برای داده‌های تجربی و مدل‌شده میانگین هندسی روی همه‌ی مدارها گرفته شده است. در این کار مدل طول سیم Davis/Lam انتخاب شده است که به صورت زیر است:

$$WL = \frac{\frac{p-0.5}{p} - \sqrt{n_c} - \frac{p-0.5}{6\sqrt{n_c}} + \frac{-p-1+4^{(p-0.5)}}{2p(p+0.5)(p-1)}}{1 + \frac{-2p-1+2^{(2p-1)}}{2p(p-1)(2p-3)} n_c^{(p-0.5)} - \frac{p-0.5}{6p\sqrt{n_c}} - \frac{(p-0.5)\sqrt{n_c}}{p-1}} * \frac{4f_{avg}}{3+f_{avg}}$$

که در آن $n_c$ تعداد خوشه‌هاست که از [۶] به دست می‌آید، $p$ پارامتر رنت[۱۲] مدار و $f_{avg}$ گنجایش خروجی[۱۳] میانگین است که با روش معرفی شده در [۱۲] به دست می‌آید.

### ۳-۱-۲- توان پویای بخش منطقی

بر طبق معماری FPGA جزیره‌ای شکل (۱)، توان پویا بخش منطقی FPGA همچون رابطه (۳) قابل بیان است. اندازه FPGA کوچکترین




**شکل (۳): مدل سازی توان پویا شبکه سیم بندی با استفاده از مدل های طول سیم**

مجذور کاملی که می‌تواند مدار محک را پوشش دهد، فرض می‌شود. بنابراین، اندازه شبکه به صورت $N_c = \lceil\sqrt{n_c}\rceil^2$ می‌باشد که در آن $n_c$ تعداد CLBها در مدار محک می‌باشد. این تعداد می‌تواند توسط روش ارایه شده در [۳] تقریب زده شود. $P_{dy.CLB}$، توان پویا یک CLB می‌باشد و توسط رابطه (۴) قابل محاسبه است.

$$P_{dy.logic} = N_c P_{dy.CLB} \qquad (۳)$$

$$P_{dy.CLB} = KNP_{input.mux} + NP_{lut} + NP_{register} + NP_{output.mux} + P_{reset} \qquad (۴)$$

در رابطه (۴)، $P_{input.mux}$ ، $P_{lut}$ ، $P_{register}$ ، $P_{output.mux}$ و $P_{reset}$ به ترتیب توان مصرفی در مالتی‌پلکسر انتخابگر ورودی LUT، در LUT، در رجیستر، در مالتی‌پلکسر خروجی LUT و در بلوک منطقی set/reset می‌باشد.

برای محاسبه‌ی توان مصرفی در بخش‌های مختلف CLBها، ساختار داخلی LUTها را همچون شکل (۲) در نظر می‌گیریم. تعداد $1+2+...+2^{k-1}$ گره‌ی داخلی در یک LUT با $K$ ورودی وجود دارد. برای تقریب زدن توان مصرفی در یک درخت مالتی‌پلکسری باید ظرفیت خازنی هر گره تقریب زده شود. هر گره در LUT به سه خازن سورس-درین ($C_{S/D}$) و یک خازن گیت ($C_{gate}$) طبق اثر میلر مرتبط می‌باشد. توان پویا یک LUT با $K$ ورودی همچون رابطه (۵) محاسبه می‌شود.

$$P_{dy.lut} = 0/5(2^k - 1)(3C_{S/D} + C_{gate})V_{supply}^2 D_{constant} f_{clk} \qquad (۵)$$

$$P_{dy.mux} = 0/5((n + \lfloor\sqrt{n}\rfloor)C_{S/D} + \frac{n + \lfloor\sqrt{n}\rfloor}{2} C_{gate})V_{supply}^2 D_{constant} f_{clk} \qquad (۶)$$



[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

مالتی‌پلکسرهای ورودی، سیگنال ورودی LUT را از میان ورودی‌های بلوک منطقی ($I$) و مسیر فیدبک ($N$) انتخاب می‌کند، پس $I+N$ ورودی دارند. مالتی‌پلکسرهای خروجی LUT که بین رجیستر شدن یا نشدن آن انتخاب می‌کنند از نوع ۲:۱ می‌باشند. از توان پویا بلوک set/reset هم به علت فعالیت سوئیچینگ پایین آن صرف نظر شده است.

توجه شود که برای مدل کردن مالتی‌پلکسرها، از مدل مالتی‌پلکسری دومرحله‌ای استفاده می‌کنیم. این مدل با فرمت GP سازگارتر است. روش دیگر مدل کردن مالتی‌پلکسر با مالتی‌پلکسرهای دو ورودی است. تعداد گره‌های داخلی در این مورد از اندازه $2^n$ است که $n$ تعداد ورودی‌های مالتی پلکسر می‌باشد. قرار گرفتن یک پارامتر در توان یک عبارت ریاضی (مثل $2^n$) در فرمت GP مجاز نیست. مثالی از استفاده از مدل مالتی‌پلکسری دومرحله‌ای برای یک مالتی‌پلکسر ۱۶:۱ در شکل (۴الف) آمده است. هر کدام از مالتی پلکسرهای ۴:۱ توسط ترانزیستورهای عبور همانند شکل (۴ب) قابل پیاده‌سازی هستند. توان پویا برای یک مالتی‌پلکسر n:1 طبق رابطه (۶) قابل محاسبه است.

## ۳-۲- توان نشتی

با کوچک شدن فن آوری، به اهمیت توان نشتی افزوده می‌شود. سه بخش عمده‌ی توان نشتی کل به شرح زیر می‌باشند: ۱) توان نشتی زیر آستانه ۲) توان نشتی گیت ۳) توان نشتی تونل‌زنی باند به باند پیوند با بایاس معکوس (BTBT). توان نشتی زیر آستانه به علت جریان بین سورس و درین وقتی ولتاژ گیت کوچک‌تر از آستانه باشد، نشت می‌کند. توان نشتی گیت به علت عبور جریان از گیت به کانال نشت می‌کند. توان نشتی BTBT به علت تونل‌زنی الکترون‌ها از سورس یا درین نوع n به سطح نوع p در ترانزیستور NMOS در حضور میدان الکتریکی قوی، نشت می‌کند.

مشابه توان پویا، توان نشتی می‌تواند به صورت جمع بخش‌های منطقی و شبکه سیم‌بندی همچون رابطه (۷) بیان شود؛ که در آن $P_{lk.logic}$ و $P_{lk.route}$ بر طبق روابط (۸) و (۱۰) محاسبه می‌شوند.

$$P_{lk} = P_{lk.logic} + P_{lk.route} \quad (۷)$$

$$P_{lk.logic} = N_c P_{lk.CLB} \quad (۸)$$

$$P_{lk.CLB} = KNP_{lk.input.mux} + NP_{lk.lut} + NP_{lk.register} + NP_{lk.output.mux} + P_{lk.clk.buffer} + P_{lk.reset} + KNP_{lk.mux.buffer} \quad (۹)$$

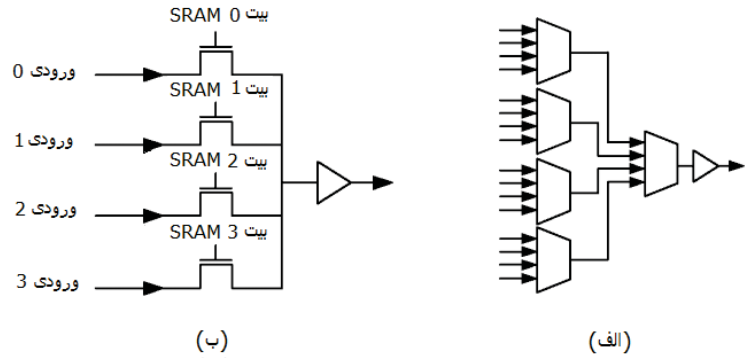
در رابطه‌ی (۸)، $P_{lk.CLB}$ توان نشتی یک CLB می باشد که توسط رابطه‌ی (۹) محاسبه می شود. در رابطه‌ی (۹) $P_{lk.clk.buffer}$ توان مصرفی در بافرهای سیستم کلاک و $P_{lk.mux.buffer}$ توان مصرفی در بافر مالتی‌پلکسرهای ورودی می‌باشند.

همچنین می بایست توان نشتی معکوس‌کننده، مالتی‌پلکسر، سلول‌های SRAM (که توان پویا صفر دارند)، LUTها، فلیپ‌فلاپ D و سوئیچ‌های سیم‌بندی را نیز محاسبه نماییم. توان نشتی هر جزء وابسته به وضعیت آن است. توان نشتی متوسط یک جزء مدار به صورت زیر بیان می‌شود [۱۶]:

$$P_{avgleak} = \sum_{i=1}^{n} Prob_i . Pleak_i$$

که در آن $Prob_i$ و $Pleak_i$ احتمال و توان نشتی وضعیت i و n تعداد وضعیت‌هاست. در اینجا ما فرض می‌کنیم $Prob_1 = Prob_2 = \cdots = Prob_n = \frac{1}{n}$. توجه شود که این فرض به معنی انتخاب احتمال برابر برای وضعیت‌های مختلف می‌باشد، که برای سادگی انجام شده است.

به عنوان مثال، یک معکوس‌کننده را تصور کنید. دو وضعیت موجود است: ۱) ورودی صفر است ۲) ورودی یک است. وقتی ورودی صفر است، توان نشتی زیر آستانه از NMOS معکوس‌کننده نشت می‌کند ($P_{sub,n}$) و توان نشتی گیت از PMOS معکوس‌کننده نشت می‌کند ($P_{gate,p}$). وقتی که ورودی یک است، توان نشتی زیر آستانه از PMOS نشت می‌کند ($P_{sub,p}$) و توان نشتی گیت از NMOS نشت می‌کند ($P_{gate,n}$). علاوه بر این‌ها در هر دو وضعیت توان نشتی




**شکل (۴): ساختار مالتی پلکسر: الف) یک مالتی پلکسر دو مرحله ای ۱۶:۱، ب) یک مالتی پلکسر ۴:۱ براساس ترانزیستورهای عبور**




[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016

BTBT ($P_{BTBT}$) وجود دارد. مقادیر توان نشتی مربوط به ترانزیستورهای NMOS و PMOS از مرجع [۱۵] استخراج شده‌اند. با در نظر گرفتن احتمال یکسان برای هر دو وضعیت داریم:

$$P_{leak} = 0.5\left(P_{sub,n} + P_{gate,p} + P_{BTBT}\right) + 0.5\left(P_{sub,p} + P_{gate,n} + P_{BTBT}\right)$$

از طرف دیگر، توان نشتی مصرف‌شده در شبکه سیم‌بندی شامل توان مصرفی در جعبه‌های اتصال و جعبه‌های سوئیچ می‌شود. این موضوع در رابطه (۱۰) آمده است. این جعبه‌ها از مالتی‌پلکسرها، بافرهای خروجی و SRAMها تشکیل شده‌اند. دو دسته جعبه اتصال در یک FPGA موجود است: ۱) آن‌هایی که مسیرهای ارتباطی را به ورودی‌های CLB متصل می‌کنند و ۲) آن‌هایی که بلوک‌های ورودی-خروجی (I/O) را به مسیرهای ارتباطی متصل می‌کنند. این دو گره از جهت تعداد متفاوت ورودی‌ها به مالتی پلکسرهایشان متفاوتند. توان نشتی جعبه‌های اتصال توسط (۱۱) قابل بیان است که در آن $P_{lk.CB.clb}$ توان نشتی جعبه اتصال CLB و $P_{lk.CB.io}$ توان نشتی جعبه اتصال ورودی-خروجی (I/O) می‌باشد. وزن $P_{lk.CB.clb}$ و $P_{lk.CB.io}$ در (۱۱) تعداد جعبه‌های اتصال CLB و جعبه‌های اتصال ورودی-خروجی (I/O) در یک FPGA می‌باشند. همچنین دو دسته جعبه سوییچینگ در یک FPGA موجود است؛ ۱) آنهایی که مسیرهای ارتباطی در وسط FPGA را سوئیچ می‌کنند و ۲) آنهایی که مسیرهای ارتباطی در لبه‌های FPGA که بلوک‌های I/O موجودند را سوئیچ می‌کنند. این دو گروه به علت تعداد متفاوت ورودی به مالتی‌پلکسرهایشان متفاوتند. توان نشتی جعبه‌های سوییچینگ توسط رابطه‌ی (۱۲) قابل بیان است؛ که در آن $P_{lk.SB.e}$ توان نشتی جعبه سوئیچ لبه‌ای و $P_{lk.SB.io}$ توان نشتی جعبه سوئیچ وسط می‌باشد. وزن $P_{lk.SB.e}$ و $P_{lk.SB.io}$ در رابطه (۱۲) تعداد جعبه‌های سوئیچ لبه‌ای و تعداد جعبه‌های سوئیچ وسط می‌باشند. اطلاعات بیشتر در مورد چگونگی محاسبه تعداد جعبه‌های اتصال و جعبه‌های سوئیچ در روابط (۱۱) و (۱۲) در مرجع [۴] آمده است.

$$P_{lk.route} = P_{lk.CB} + P_{lk.SB} \quad (۱۰)$$

$$P_{lk.CB} = N_c I_{clb} P_{lk.CB.clb} + 4\sqrt{N_c} I_{io} P_{lk.CB.io} \quad (۱۱)$$

$$P_{lk.SB} = 1.5 W N_{s,e} P_{lk.SB,e} + 2W N_{s,m} P_{lk.SB,m} \quad (۱۲)$$

### ۳-۳- فرمول بندی برنامه‌سازی هندسی (GP)

برای نشان دادن روابط مدل، که در زیربخش‌های قبلی بحث شدند، به فرمتی سازگار با GP، باید همه‌ی معادلات به صورت تک عبارتی برابر با یک یا چند عبارتی کوچکتر و مساوی یک نوشته شوند. برای مثال توان پویا بخش منطقی در عبارت (۳) به عبارت (۱۳) و توان پویا یک CLB در (۴) به نامساوی چند عبارتی (۱۴) تبدیل می‌شوند. توجه شود از آنجا که عبارت سمت راست رابطه (۴) تخمینی از حداقل توان مصرفی پویا یک CLB است، با تبدیل مساوی در این رابطه به بزرگتر مساوی (رابطه (۱۴))، مشکلی پیش نخواهد آمد.

$$N_c P_{dy.CLB}\, P_{dy.logic}^{-1} = 1 \quad (۱۳)$$

$$KNP_{input.mux} P_{dy.CLB}^{-1} + NP_{lut} P_{dy.CLB}^{-1} + NP_{register} P_{dy.CLB}^{-1} + NP_{output.mux} P_{dy.CLB}^{-1} + KN\, P_{lut.input.mux} P_{dy.CLB}^{-1} \le 1 \quad (۱۴)$$

با اعمال این تبدیل‌ها روی معادلات مربوط به توان، به مدل توان مصرفی کامل فرمول‌بندی شده در GP دست خواهیم یافت. قابل بیان است که مدل توانی GP با اضافه شدن به مدل مساحت-تأخیر در [۴] قابلیت تشکیل یک مدل عملکردی کامل FPGA را دارد. تابع هزینه مدل عملکردی کامل همچون رابطه (۱۵) می‌باشد که برای یافتن ساختار بهینه مقدار هزینه باید کمینه شود. پارامترهای $z$ و $y$ مابین ۰ و ۱ می‌باشند. با تغییر $z$ و $y$ می‌توان تأخیر ($T$)، مساحت ($A$) و یا توان مصرفی ($P$) را هدف گرفت. برای مثال، با قرار دادن $z=y=1/3$ وزن-دهی برابر بین تأخیر، مساحت و توان مصرفی انجام می‌گیرد. با قرار دادن $z=y=0$ توان مصرفی هدف قرار می‌گیرد.

$$Minimize:\ T^z A^y P^{1-z-y} \quad (۱۵)$$

## ۳-۴- نتایج عملی

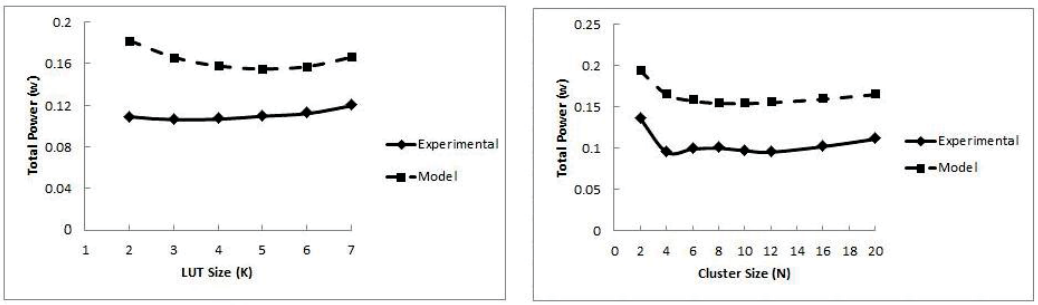
### ۳-۴-۱- تصدیق مدل توان

از آنجا که هدف اصلی این کار، یافتن الگوی تغییرات توان نسبت به تغییرات پارامترهای ساختاری است و نه محاسبه دقیق توان مصرفی، برای نشان دادن مفید بودن مدل توان مصرفی ارایه شده چندین آزمایش انجام داده ایم. ۱۰ مدار محک از مجموعه MCNC شامل *ex5p*، *misex3*، *apex4*، *alu4*، *tseng*، *seq*، *apex2*، *diffeq*، *dsip* و *des* در این بخش مورد استفاده قرار می‌گیرند. مقایسه بین مدل توان مصرفی GP و مدل توان مصرفی VPR [۱۴] در همه‌ی موارد صورت می‌گیرد. به علاوه، از ابزار بهینه‌سازی CVX [۱۱] برای حل معادلات GP استفاده شده است. از پارامترهای فناوری 65nm استفاده شده است. این پارامترها از مدل فناوری پیشگویانه (PTM) [۱۷] گرفته شده‌اند. مدل ارایه شده به اندازه کافی کلی است که بتوان به هر فناوری دیگر اعمال کرد.

شکل (۵الف) میانگین هندسی توان مصرفی کل را برای مدارهای محک نشان می‌دهد وقتی که اندازه خوشه ($N$) را تغییر می‌دهیم. هر نقطه در نمودار همچنین میانگین هندسی نتایج برای اندازه LUT ($K$) برای مقادیر ۲ الی ۷ می‌باشد. اگرچه نتایج حاصل از مدل ارایه شده نتایج حاصل از مدل توانی VPR را دنبال می‌کنند اما از نظر اندازه متفاوت هستند. این تفاوت به جهت اختلاف اندازه‌ی فناوری‌ها می‌باشد. مدل توانی VPR از پارامترهای فناوری 180nm استفاده



[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016




(الف) (ب)

**شکل (۵): مقایسه مدل توانی ارایه شده با مدل توانی VPR : الف) توان مصرفی کل برحسب $N$ ب) توان مصرفی کل برحسب $K$**

می‌کند. در همه‌ی آزمایش‌ها از فرکانس کلاک ثابت 20MHZ استفاده شده است؛ بنابراین رفتار توان همانند رفتار انرژی خواهد بود. اختلاف این دو در یک ضریب ثابت می‌باشد. نکته مهم در ارتباط با نتایج دیده شده در این شکل این است که اختلاف مقدار توان گزارش شده توسط دو روش مهم نیست. آنچه که اهمیت دارد این نکته است که الگوی تغییرات توان با تغییرات پارامترها و به تبع آن پارامترهای بهینه پیشنهادی دو روش، سازگاری کامل دارند.

شکل (۵ب) میانگین هندسی توان مصرفی کل را برای مدارهای محک برحسب اندازه LUT ($K$) نشان می‌دهد. هر نقطه در نمودار همچنین میانگین هندسی نتایج برای اندازه خوشه ($N$) برای مقادیر ۲ الی ۲۰ می‌باشد. توان مصرفی پویا و نشتی برای بخش‌های منطقی و سیم بندی FPGA حاصل از مدل ارایه شده و مدل توانی VPR در مرجع [۷] دقیق‌تر بررسی شده اند.

برای نشان دادن فایده‌ی مدل توانی GP از لحاظ زمان اجرا، زمان اجرای مدل توانی GP و مدل توانی VPR اندازه‌گیری شده‌اند. آزمایش‌ها روی یک سیستم دوهسته‌ای و 2.2GHz با رم 2GB و به کمک سیستم‌عامل Linux انجام شده‌اند. زمان اجرای مدل توانی VPR برای یک پویش کامل روی مقادیر $K$=۲-۷ و $N$=۲-۲۰ با گام ۲ در حدود ۹۰ دقیقه بوده است در مقابل ۱۰ دقیقه برای مدل توانی ارایه شده در این کار؛ و این به معنی نه برابر بهبود در زمان اجرا می‌باشد.

### ۳-۴-۲- تصدیق مدل عملکردی GP

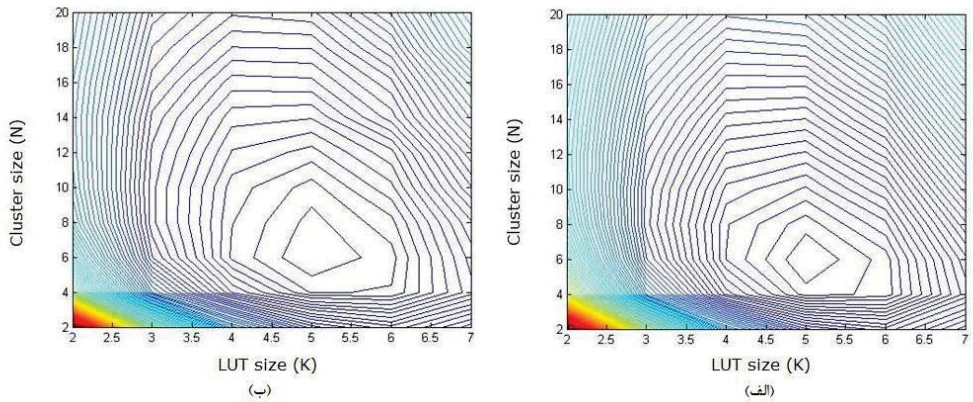
در این بخش به دنبال تصدیق مدل عملکردی کامل FPGA هستیم. این مدل شامل مدل‌سازی مساحت اشغالی، تأخیر مسیر بحرانی و توان مصرفی می‌باشد. دو مدل اول پیش از این ارایه شده‌اند [۲و۴] . بنابراین برای ارایه مدل عملکردی ابتدا به مدل‌سازی توان مصرفی - شامل توان پویا و توان نشتی-پرداختیم و سپس این مدل را با مدل-های تأخیر و مساحت قبلی ادغام می‌کنیم. هر بخش از مدل عملکردی GP قبل از این تصدیق شده‌اند. برای تصدیق سرهم‌بندی مدل عملکردی GP، مقایسه با نتایج عملی انجام شده است. نتایج مدل عملکردی GP در شکل (۷الف) آمده است در حالی که شکل (۷ب) نتایج جمع‌آوری شده از VPR (مساحت)، HSPICE (تأخیر) و مدل توانی VPR را نشان می‌دهد.

شکل (۶الف) میانگین هندسی حاصل‌ضرب مساحت-تأخیر-توان را برای مدارها نشان می‌دهد وقتی اندازه خوشه ($N$) و اندازه LUT ($K$) تغییر می‌کنند. مساحت، تأخیر و توان در معادله‌ی (۱۵) به صورت $z=y=$۱/۳ وزن‌دهی شده‌اند؛ یعنی هر کدام اهمیت برابری با هم دارند. به طور مشابه شکل (۶ب) حاصل ضرب مساحت-تأخیر-توان را نشان می‌دهد وقتی داده‌های توان از مدل توانی VPR استخراج شده‌اند. مشخص است که نتایج یکسانی مربوط به معماری از هر دو شکل به دست می‌آید. هر دو نمودار مقدار ۵ را به عنوان مقدار بهینه $K$ و ۶-۷ را به عنوان مقدار بهینه $N$ پیشنهاد می‌کنند.

## ۴- ساختار بهینه FPGA برای چند کاربرد به کمک روش تحلیلی

همانطور که قبلا اشاره شد، مدل‌های تحلیلی به طراحی معماری‌های جدید سرعت می‌بخشند. برای یک معماری FPGA کاربرد عام، ممکن است از مدلی تحلیلی برای یافتن مقادیر بهینه پارامترهای معماری استفاده شود. برای این منظور می‌توان از میانگین هندسی نتایج حاصل از مدارات محک مختلف استفاده کرد تا عام بودن معماری محقق شود. اما، در اکثر موارد، مصرف کنندگان FPGAها را برای کاربردی خاص خریداری می‌کنند. در این موارد، طراحی FPGAهای کاربرد خاص می‌تواند به طور زیادی عملکرد را بهبود بخشد. یک FPGA کاربرد خاص غیرمنعطف[۱۴] (ASIF)، FPGAای کاهش یافته به دسته‌ای از کاربردهاست که هر کدام در زمانی مجزا اجرا می‌شوند [۱۸و۱۹]. استفاده از مدلی تحلیلی برای یافتن پارامترهای بهینه‌ی معماری یک FPGA کاربرد خاص موضوعی جالب و قابل توجه خواهد بود. این مدل می‌تواند به دو صورت مختلف مفید واقع شود: ۱) از دید طراح، برای طراحی FPGAهای کاربردهای خاص مثل ASIF و ۲) از دید مصرف کننده، برای انتخاب بهترین مدل از میان تعداد زیاد ساختارهای FPGA کاربرد عام موجود در بازار که برای کاربرد خاص مورد نیاز او بهینه باشد.

[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]




**شکل (۶): حاصل‌ضرب مساحت-تأخیر-توان برحسب $K$ و $N$ حاصل از: الف) مدل عملکردی GP ب) روش‌های تجربی**

## ۴-۱- مدل عملکردی برای پردازش با قابلیت پیکربندی مجدد برپایه FPGA

تصور کنید FPGAای قرار است برای یک کاربرد خاصی استفاده شود. اجرای مدل عملکردی GP ارایه شده، بهترین مقادیر پارامترهای معماری (شامل پارامترهای سطح بالا و سطح پایین) را برای یک کاربرد خاص به دست می‌دهد. در این مورد، معادلات مدل (که به فرمت GP نوشته شده‌اند) باید به گونه‌ای حل شوند که تابع هزینه (۱۵) را کمینه کنند. در رابطه (۱۵) $T$ بیانگر تأخیر کل، $A$ بیانگر مساحت کل و $P$ بیانگر توان کل می‌باشد.

حال FPGAای را تصور کنید که قرار است برای چندین کاربرد مورد استفاده قرار گیرد. برای مثال، یک FPGA در یک چاپگر، ممکن است در بازه‌ای زمانی عملکرد پردازش تصویر را پیاده کند و در زمانی دیگر به کنترل موتور هد چاپگر بپردازد. در واقع، قطعه در مد پردازشی قابل پیکربندی مجدد[۱۵] کار می‌کند. قطعه بارها به عملکرد مورد نیاز پیکربندی خواهد شد. بنابراین، می بایست مدل عملکردی GP را به گونه‌ای گسترش دهیم که قادر باشد بهترین مقادیر پارامترهای معماری را پیدا کند وقتی که دسته‌ای از کاربردها می بایست بصورت کارا به روی یک FPGA قابل پیاده سازی باشد. در این مقاله ما به کاربردهای دو عملکردی می‌پردازیم، اما این روش به اندازه کافی کلی است که می‌تواند برای تعداد مختلفی از عملکردها تعمیم یابد.

فرض کنید که دو مدار (مدار۱ و مدار۲) می بایست به روی FPGA پیاده سازی شوند. از تابع هزینه موجود در رابطه (۱۵) استفاده می‌کنیم به گونه ای که مساحت، تأخیر و توان معماری به ترتیب به صورت روابط (۱۶)، (۱۷) و (۱۸) بیان شوند. توجه شود که در این روابط، اندیسهای ۱ و ۲ نشاندهنده پارامترهای مربوط به مدار۱ و مدار۲ می باشند. مثلا $A_1$ و $A_2$ به ترتیب نشان دهنده مساحت اشغالی مدار۱ و مدار۲ می باشند.

$$A_{tot} = max\,(A_1\,, A_2) \qquad (۱۶)$$

$$T_{tot} = f_1\,T_1 + f_2\,T_2 \qquad (۱۷)$$

$$P_{tot} = P_{lk} + f_1\,P_{dy1} + f_2\,P_{dy2} \qquad (۱۸)$$

یک معماری FPGA را در نظر بگیرید، به گونه‌ای که دو مدار را در زمانهای متفاوت پیاده‌سازی خواهد کرد. مساحت مناسب معماری می‌تواند به صورت حداکثر مساحت استفاده شده توسط دو مدار وقتی به تنهایی روی معماری پیاده می‌شوند در نظر گرفته شود. تأخیر می‌تواند به صورت جمع وزن‌دار تأخیرهای دو مدار در نظر گرفته شود به گونه‌ای که وزن هر کدام متناسب مدت زمانی است که مدار موردنظر مورد استفاده قرار می گیرد. بنابراین $f_1$ در رابطه‌ی (۱۷) به صورت رابطه‌ی (۱۹) تعریف می‌شود و $f_2$ مکمل آن است یعنی $f_2 = 1 - f_1$ . مشخص است که ضرایب $f_1$ و $f_2$ بین ۰ و۱ می‌باشند. برای مثال قرار دادن $f_1 =$ ۰/۷۵ و $f_2 =$ ۰/۲۵ به معنی آن است که FPGA در ٪۷۵ اوقات مدار۱ را پیاده می‌کند و در ٪۲۵ اوقات مدار۲ را پیاده می‌کند. توان باید به دو بخش تقسیم شود: نشتی و پویا. توان نشتی به طور عمده وابسته به معماری است و نه به عملکرد؛ بنابراین توان نشتی به صورت حداکثر مقادیر توان نشتی وقتی دو مدار روی معماری پیاده شوند در نظر گرفته می‌شود. این مساله در رابطه (۲۰) آمده است. توان پویا به طور عمده وابسته به عملکردی است که روی معماری پیاده می‌شود، بنابراین می‌تواند به صورت جمع وزن‌دار همچون رابطه‌ی (۱۸) به توان کل اضافه شود. ضرایب وزنی هم پیش از این، مورد بحث واقع شده‌اند.

$$f_1 = \frac{\text{قسمتی از زمان کل که مدار ۱ فعال است}}{\text{زمان کل کارکرد سیستم}} \qquad (۱۹)$$

$$P_{lk} = max\,(P_{lk1}\,, P_{lk2}) \qquad (۲۰)$$

برای تکمیل مدل، باید معادلات مربوط به مساحت، تأخیر و توان برای هر دو مدار بازنویسی شوند. دو دسته پارامتر در مدل موجود می‌باشند: ۱) پارامترهای معماری که به توضیح معماری می‌پردازند، ۲) پارامترهای مدار که مدارها را توضیح می‌دهند. پارامترهای معماری

[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

مثل اندازه خوشه ($N$) یا عرض کانال ($W$) در هر دو دسته از معادلات به طور مشابه انتخاب می‌شوند، زیرا معماری ثابت است. پارامترهای مدار برای هر دسته از معادلات متفاوت از دسته‌ی دیگر است. زیرا هر مدار پارامترهای خاص خودش را دارد. برای مثال، تعداد LUTهای دو ورودی مدار۱ به صورت $n_{2,1}$ در نظر گرفته می‌شود در حالی که تعداد LUTهای دو ورودی برای مدار۲ به صورت $n_{2,2}$ در نظر گرفته می‌شود. برای مثال، معادله‌ی تأخیر مسیر بحرانی عبور سیگنال برای مداری پیاده شده روی یک FPGA را در نظر بگیرید. این معادله در رابطه‌ی (۲۱) آمده است.

$$\begin{aligned} T_{total} = {} & T_{reg\ to\ ODrv} + D_i T_{LUTF/Bpath} \\ & + (D_k - 1) T_{LUT\ delay} \\ & + D_c T_{o/pCB\ delay} \\ & + D_c D_r T_{SB\ delay} \\ & + D_c T_{I/P\ CB\ delay} \\ & + D_c T_{input\ MUX\ delay} \\ & + T_{LUT\ to\ reg\ delay} \end{aligned} \quad (۲۱)$$

مسیر بحرانی از تعدادی اجزای مدار عبور می‌کند. هر جزء یک تأخیر دارد. تأخیر مسیر بحرانی به صورت جمع وزن‌دار تأخیر اجزای مختلفی همچون رابطه‌ی (۲۱) می‌باشد. تأخیر هر جزء وابسته به مقاومت مسیر از ابتدا تا آن جزء و خازن آن جزء می‌باشد؛ بنابراین پارامتر معماری می‌باشد. از طرف دیگر ضرایب وزنی در (۲۱) تعداد هر جزء در طول مسیر می‌باشد و به عمق مدار وابسته است؛ بنابراین جزو پارامترهای مداری به حساب می‌آیند.

معادلات تأخیر مسیر بحرانی برای مدار۱ و مدار۲ در حالت دو عملکردی همچون روابط (۲۲) و (۲۳) می‌باشند.

$$\begin{aligned} T_{total1} = {} & T_{reg\ to\ ODrv} + D_{i1} T_{LUTF/Bpath} \\ & + (D_{k1} - 1) T_{LUT\ delay} \\ & + D_{c1} T_{o/pCB\ delay} \\ & + D_{c1} D_{r1} T_{SB\ delay} \\ & + D_{c1} T_{I/P\ CB\ delay} \\ & + D_{c1} T_{input\ MUX\ delay} \\ & + T_{LUT\ to\ reg\ delay} \end{aligned} \quad (۲۲)$$

$$\begin{aligned} T_{total2} = {} & T_{reg\ to\ ODrv} + D_{i2} T_{LUTF/Bpath} \\ & + (D_{k2} - 1) T_{LUT\ delay} \\ & + D_{c2} T_{o/pCB\ delay} \\ & + D_{c2} D_{r2} T_{SB\ delay} \\ & + D_{c2} T_{I/P\ CB\ delay} \\ & + D_{c2} T_{input\ MUX\ delay} \\ & + T_{LUT\ to\ reg\ delay} \end{aligned} \quad (۲۳)$$

باید ذکر شود که پارامترهای معماری در هر دو دسته معادلات یکسان می‌باشد، چون معماری یکتاست. در حالی که پارامترهای مداری مختلف می‌باشند.

## ۴-۲- نتایج عملی

برای نشان دادن نتایج حاصل ازمدل عملکردی طراحی شده برای دسته‌ای از کاربردها، تعدادی آزمایش در این بخش انجام شده است. از ابزار بهینه سازی CVX برای حل معادلات به فرمت GP استفاده شده است. ابتدا مدل عملکردی GP برای دو مدار محک از مجموعه MCNC به صورت مجزا اجرا شده است. شکل (۷الف) و (۷ب) به ترتیب حاصلضرب مساحت-تأخیر-توان را برای مدارهای محک

**جدول (۲): مساحت، تأخیر، توان و مقادیر هزینه برای معماری بهینه وقتی $f_1$ و $f_2$ تغییر می‌کنند (واحد مساحت تعداد میلیون ترانزیستور می باشد؛ واحد تأخیر نانوثانیه می باشد؛ واحد توان وات می باشد.)**

| $f_1$:apex4 $f_2$:bigkey | | $f_1 =$ ۱ $f_2 =$ ۰ | $f_1 =$ ۰/۷۵ $f_2 =$ ۰/۲۵ | $f_1 =$ ۰/۵ $f_2 =$ ۰/۵ | $f_1 =$ ۰/۲۵ $f_2 =$ ۰/۷۵ | $f_1 =$ ۰ $f_2 =$ ۱ |
|---|---|---|---|---|---|---|
| **Area** | | ۱/۸۴۶۱ | ۱/۷۲۶۰ | ۱/۵۹۵۸ | ۱/۴۴۷۹ | ۱/۲۳۹۲ |
| **Delay** | $T_1$ | ۲/۸۱۳۴ | ۲/۸۲۳۷ | ۲/۸۳۸۸ | ۲/۸۶۱۴ | - |
| | $T_2$ | - | ۱/۸۷۷۳ | ۱/۸۵۶۷ | ۱/۸۳۴۱ | ۱/۸۰۷۵ |
| | $T_{tot}$ | ۲/۸۱۳۴ | ۲/۵۸۷۱ | ۲/۳۴۷۷ | ۲/۰۹۰۹ | ۱/۸۰۷۵ |
| **Power** | $P_{lk}$ | ۰/۰۷۰۹ | ۰/۰۶۵۶ | ۰/۰۵۹۹ | ۰/۰۵۳۵ | ۰/۰۴۴۴ |
| | $Pdy_1$ | ۰/۰۸۸۹ | ۰/۰۹۰۷ | ۰/۰۹۲۹ | ۰/۰۹۵۷ | - |
| | $Pdy_2$ | - | ۰/۰۷۴۱ | ۰/۰۷۵۰ | ۰/۰۷۶۳ | ۰/۰۷۸۰ |
| | $P_{tot}$ | ۰/۱۵۹۸ | ۰/۱۵۲۲ | ۰/۱۴۳۹ | ۰/۱۳۴۶ | ۰/۱۲۲۴ |
| **Cost** | | ۰/۰۹۳۹۷۶۶ | ۰/۰۸۷۹۱۴۳ | ۰/۰۸۱۳۸۷۱ | ۰/۰۷۴۱۳۴۸ | ۰/۰۶۴۹۵۹۳ |



[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016

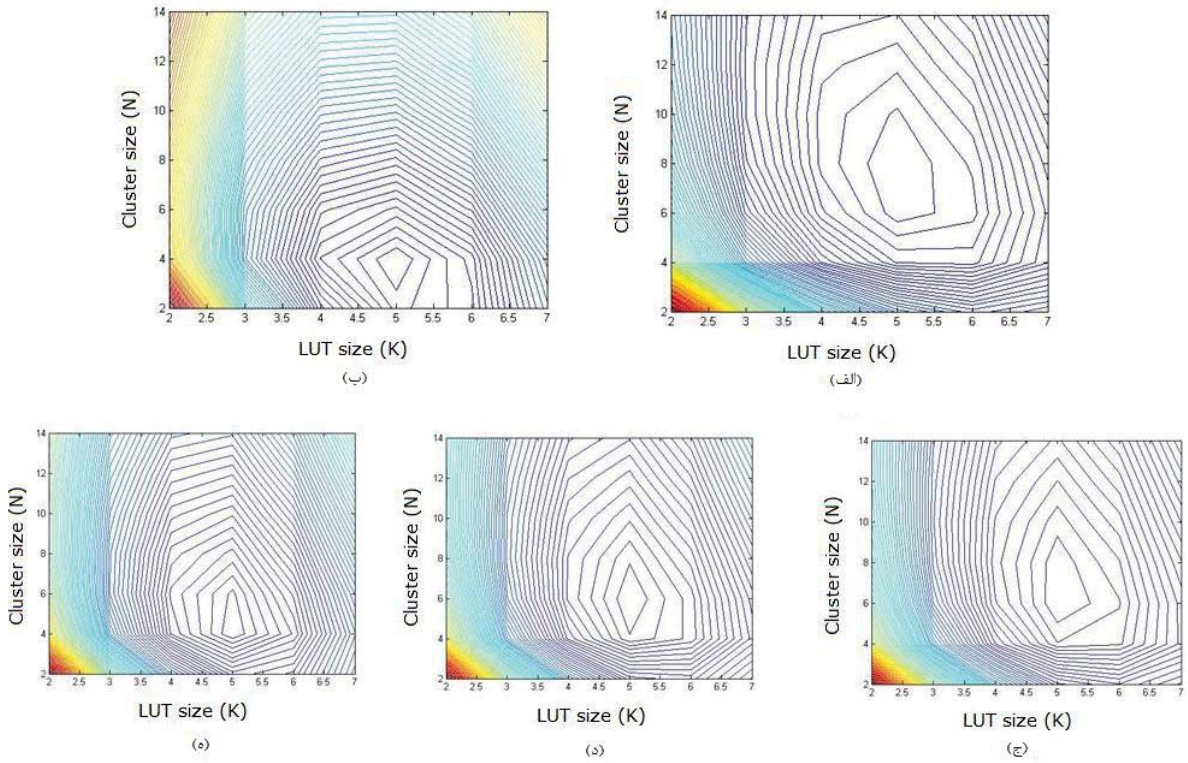
apex4 و bigkey نشان می‌دهند. این شکل‌ها برحسب اندازه خوشه ($N$) و اندازه LUT ($K$) می‌باشند. مدارها معماری‌های متفاوتی را پیشنهاد می‌دهند. مقدار بهینه اندازه خوشه ($N$) برای مدار apex4 برابر ۸ و برای bigkey برابر ۴ می‌باشد.

در گام بعدی از مدل توسعه یافته چند کاربردی برای یافتن معماری بهینه برای apex4 و bigkey استفاده شده است. شکل (۷ج) ضرب مساحت-تأخیر-توان را برای معماری نشان می‌دهد وقتی ضریب $f_1$ برابر۰/۷۵ ($f_2$ =۰/۲۵) می‌باشد؛ که به معنی آن است که در ٪۷۵ زمان‌ها سیستم مدار bigkey را پیاده می‌کند و در ٪۲۵ زمان‌ها مدار apex4 را پیاده می‌کند. شکل (۷د) نشان دهنده‌ی حاصل‌ضرب مساحت-تأخیر-توان می‌باشد وقتی ضریب $f_1$ برابر ۰/۵ ($f_2$ =۰/۵) می‌باشد؛ که به معنی آن است که سیستم در زمان‌های مختلف به طور مساوی apex4 و bigkey را پیاده می‌کند. شکل (۷ه) حاصل‌ضرب مساحت-تأخیر-توان را برای معماری نشان می‌دهد وقتی ضریب $f_1$ برابر ۰/۲۵ ($f_2$ = ۰/۷۵) می‌باشد؛ که به معنی آن است که در ٪۲۵ زمان‌ها سیستم مدار bigkey را پیاده می‌کند و در ٪۷۵ زمان‌ها مدار apex4 را پیاده می‌کند. شکل (۷) نشان می‌دهد که پارامترهای بهینه از مقادیر بهینه برای apex4 به مقادیر بهینه برای bigkey مهاجرت می‌کنند وقتی ضریب $f_1$ از ۰ تا ۱ تغییر می‌کند (یا $f_2$ از ۱ به ۰ تغییر می‌کند). جدول (۲) نتایج این آزمایش شامل مساحت کل، تأخیر کل و توان کل را به همراه مقدار تابع هزینه (براساس رابطه‌ی (۱۵) و با فرض وزن برابر برای مساحت، تاخیر و توان) برای هر معماری وقتی مقادیر $K$ و$N$ بهینه می‌باشند، نشان می‌دهد. تاخیر $T_1$ تأخیر $f_1$ و $T_2$ تأخیر $f_2$ و $T_{tot}$ تأخیر کل می‌باشند. توان $P_{lk}$ توان نشتی، $Pdy_1$ توان پویا برای $f_1$ ، $Pdy_2$ توان پویا برای $f_2$ و $P_{tot}$ توان کل می‌باشند. نتایج نشان دهنده‌ی معماری‌های متفاوت برای apex4 (شکل (۷الف)) و bigkey (شکل (۷ب)) از لحاظ اندازه خوشه می‌باشند. مقدار بهینه اندازه خوشه برای تلفیق این دو مدار با ضرایب کاری متفاوت (شکل‌های (۷جده)) میان دو مقدار بهینه برای مدارهای مجزا متغیر است.

## ۵- نتیجه‌گیری

در این مقاله یک مدل عملکردی تحلیلی کامل FPGA ارایه شد. ادغام مدل توان مصرفی ارایه شده در این مقاله با مدل مساحت و تأخیر ارایه شده در [۴] به طراحان این اجازه را می‌دهد که پارامترهای ساختاری FPGA را با سرعت بررسی کنند. نتایج عملی بهبود زمان اجرای در حدود نه برابر را برای این مدل در مقایسه با مدل توانی VPR نشان می‌دهد.

پس از ادغام مدل توان مصرفی در مدل عملکردی GP، مدل برای




**شکل (۷): نتایج حاصل از مدل عملکردی GP و مدل ارایه شده دوکاربردی برای دو مدار: الف) معماری بهینه شده برای apex4، ب) معماری بهینه شده برای bigkey. معماری بهینه شده برای دوکاربرد apex4 و bigkey : ج) وقتی $f_1$ = ۰/۷۵ و $f_2$ = ۰/۲۵، د) وقتی $f_1 = f_2$ = ۰/۵، ه) وقتی $f_1$ = ۰/۲۵ و $f_2$ =۰/۷۵ می‌باشند.**



[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

بهینه‌سازی ساختارهای با قابلیت پیکربندی مجدد توسعه داده شد. به این ترتیب ساختار FPGA برای دو یا چند کاربرد مستقل پیکربندی می‌شود. هر کاربرد به نسبت زمانی که روی ساختار پیکربندی می‌شود دارای یک ضریب می‌باشد. پس از اعمال این روش به دو مدار، مشاهده شد که برای دو پارامتر ساختاری بررسی شده (K و N)، به ازای مقادیر مختلف ضریب مربوط به دو مدار انتخاب شده، بین دو مقدار بهینه مهاجرت می‌کنند.

**سپاسگزاری**

بخشی از این کار تحقیقاتی توسط صندوق حمایت از پژوهشگران و فناوران کشور با شماره طرح ۹۲۰۱۸۵۸۵ مورد حمایت قرار گرفته است.

## مراجع

[1] H. Parvez and H. Mehrez, "Application-Specific Mesh-based Heterogeneous FPGA Architectures" Springer, 2011.

[2] A. M. Smith, G. A. Constantinides, S. J. E. Wilton, and P. Y. K. Cheung, "Concurrently optimizing FPGA architecture parameters and transistor sizing: Implications for FPGA design," in Proc. of International Conference on Field-Programmable Technology, pp. 54–61, Dec. 2009.

[3] W. M. Fang and J. Rose, "Modeling routing demand for early-stage FPGA architecture development," in Proc. of International Conference on Field Programmable Gate Arrays. Monterey USA, pp. 139-148, 2008.

[4] A. Smith, G. Constantinides, and P. Cheung, "FPGA architecture optimization using geometric programming," CAD of IC and Systems, IEEE Trans. on, vol. 29, no. 8, pp. 1163 –1176, Aug. 2010.

[5] S. Wilton, P. Leong, and W. Luk. "Modeling post-techmapping and post-clustering FPGA circuit depth," in *Proc. of International Conference on Field Programmable Logic and Applications (FPL)*, pp. 205–211, 2009.

[6] J. Das, A. Lam, S. J. E. Wilton, P. Leong, and W. Luk, "An Analytical Model Relating FPGA Architecture to Logic Density and Depth," IEEE Trans. on VLSI Systems, vol. 19, no. 12, pp. 2229-2242, Oct. 2010.

[7] H. Mehri and B. Alizadeh, "An analytical dynamic and leakage power model for FPGAs", in Proc. of 22nd Iranian Conference on Electrical Engineering, pp. 300-305, 2014.

[8] S. Joshi and S. Boyd, "An efficient method for large-scale gate sizing," IEEE Trans. on Circuits and Systems I: Regular Papers, vol. 55, no. 9, pp. 2760–2773, Oct. 2008.

[9] A. M. Smith, G. A. Constantinides, and P. Y. K. Cheung, "Area estimation and optimization of FPGA routing fabrics," in Proc. of International Conference on Field-Programmable Logic Application, pp. 256–261, Sep. 2009.

[10] I. Kuon and J. Rose, "Area and delay trade-offs in the circuit and architecture design of FPGAs," in Proc. of International Symposium on Field Programmable Gate Arrays, pp. 149–158, Feb. 2008.

[11] M. Grant and S. Boyd. 2012. CVX: Matlab software for disciplined convex programming, version 2.0 beta. http://cvxr.com/cvx, September 2012.

[12] A.M. Smith, J. Das, and S.J.E. Wilton, "Wirelength modeling for homogeneous and heterogeneous FPGA architectural development," in Proc. of FPGA '09, pp. 181-190, 2009.

[13] H. L. Yu, E. Hung, T. Chau, and P. Leong, "A detailed delay path model for FPGAs," in Proc. FPT'09, pp. 96–103, 2009.

[14] K.K.W. Poon, S.J. E. Wilton, and Andy Yan. "A detailed power model for field-programmable gate arrays," ACM Trans. on DAES, vol. 10, no. 2, pp. 279-302, Apr. 2005.

[15] A. Rastogi, Wei Chen, A. Sanyal, S. Kundu, "An Efficient Technique for Leakage Current Estimation in Sub 65nm Scaled CMOS Circuits Based on Loading Effect, " in Proc. VLSI Design, pp. 583 – 588, 2007.

[16] A. Kumar, and M. Anis, "An analytical state dependent leakage power model for FPGAs." in Proc. DATE'06, 2006.

[17] Predictive Technology Model 2011, http://ptm.asu.edu/

[18] H. Parvez, Z. Marrakchi and H. Mehrez, "ASIF: Application Specific Inflexible FPGA" In *Proceedings of International Conference on* Field Programmable Technology (ICFPT'09). pp. 112-119, 2009.

[19] H. Parvez, Z. Marrakchi, A. Kilic, and H. Mehrez, "Application-Specific FPGA using heterogeneous logic blocks" ACM Trans. Reconfigurable Technol. Syst. 4, 3, Article 24, 14 pages, 2011.

[ Downloaded from jiaeee.com on 2026-02-12 ]

[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]

## زیرنویس‌ها

[1] Field Programmable Gate Array (FPGA)
[2] Map
[3] Benchmark circuits
[4] Homogenous
[5] Hetergenous
[6] Look up Table (LUT)
[7] Cluster
[8] Microelectronics Center of North Carolina
[9] Tree-based
[10] Mesh-based
[11] Geometric Programming (GP)
[12] Rent parameter
[13] Fan-out
[14] Application Specific Inflexible FPGA (ASIF)
[15] Reconfigurable computing

[ Downloaded from jiaeee.com on 2026-02-12 ]
[ DOR: 20.1001.1.26765810.1395.13.4.1.1 ]