Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 1, 2025
DOI: 10.61186/jiaeee.22.1.51

Optimal Design of a New Fault Tolerant Three-Input Majority Gate Based on Quantum Dot Cellular Automata Technology

Samira Shahraki[1]
[1] Instructor, Department of Computer Engineering, University of Saravan, Saravan, Iran
s.shahraki@saravan.ac.ir

Abstract
Quantum-dot Cellular Automata (QCA) is a new nanoscale technology that can be considered as an alternative to CMOS technology. The acceptable performance of this technology in the design of efficient circuits with low power consumption has made it one of the fields of interest for researchers. One of the most important challenges for designers and researchers is removing or adding cells, rotating and moving cells from their original location. Therefore, designing circuits that have an acceptable performance against these errors can help solve this challenge. In this article, a new three-input majority gate is introduced. The introduced gate consists of 17 simple and rotating cells and has an area of about 0.02μm^2 and an energy consumption of 4.89 × e-003Mev. In addition, a complete analysis has been carried out regarding the tolerance of the proposed gate against errors of cell omission, cell displacement and extra cell deposition. the results indicate that the proposed gate can tolerate 92% to single cell omission defect, 84% to double cell omission and to extra cell deposition defect is 100% tolerable. The performance of the introduced gate has been proven using the QCA Designer 2.0.3 simulator, and the energy consumption of the introduced gate has also been calculated using the QCA Designer-E simulator.

Keywords: **Quantum-dot Cellular Automata, Nano technology, Three-input majority gate, Fault tolerance**

Article Type: Research

Received: 01. 03. 2024

Revised: 19. 11. 2024

Accepted: 19. 11. 2024

Corresponding author: Samira Shahraki

Corresponding author's address: Pasdaran Ave. Computer Engineering Department, University of Saravan, Saravan , Iran

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

In QCA technology, the majority gate and the inverter are considered two universal gates, so that all electronic circuits can be implemented with these gates. Therefore, if these gates are designed optimally and reliably, we can claim that the designed circuit is also optimal and has relative reliability. In this paper, a majority gate is introduced that, while reducing cells and improving the space consumption, has high tolerance against all three types of errors: single cell deletion, double cell deletion, and extra cell deposition. In this paper, a new three input fault-tolerant majority gate is introduced. Then, the performance of the proposed majority gate against common types of faults, including single cell omission, double cell omission, extra-cellular deposition, and cell displacement, is examined. In the following, the area and energy consumption of the proposed majority gate, calculated by the QCA Designer-E simulator, are reported, and the proposed gate is compared with other similar works.

2. Contributions

According to the comparisons made [1- 3] have fewer cells than the proposed gate but are less tolerant to various types of faults. Tasks [4-8] which have relatively high fault tolerance, have more cells and larger areas. Therefore, the proposed majority gate, while having fewer cells than [4, 5, 7], has higher tolerant to various types of faults than these tasks.

3. Procedures

Considering the importance of the three-input majority gate in the design of electronic circuits, a new majority gate is introduced in this paper. The introduced majority gate is investigated in terms of tolerance against various possible errors including one and two cell deletion, cell displacement and extra cell deposition. The results have shown that the new gate has a good performance against various errors. Also, the area and energy consumption of the introduced gate are calculated using the QCA Designer E simulator and compared with other works.

4. Findings

In this paper, a new three-input majority gate is introduced, which consists of 17 simple and rotating cells, has an area of about 0.02 μm2 and an energy consumption of 4.89 × e-003MeV. Then, a complete analysis is made on the tolerance of the introduced gate against cell deletion, cell displacement and extra cell deposition errors. The results indicate that the introduced gate is tolerant to single cell deletion errors of 92%, double cell deletion errors of 84% and extra cell deposition errors of 100%.

5. Conclusion

In this paper, an introduction to the principles of QCA was first presented, and then some of the critical challenges of QCA were discussed and examined. Then, a study was conducted to address the aforementioned challenges. Next, a new three-input majority gate was introduced and all the related challenges were tested on it. All previous works have sought to achieve the highest fault tolerance with the least number of cells and the least space consumption. The results of design, implementation, and simulation confirmed that our proposed approach has been able to reduce the number of cells and consume little space, while having high fault tolerance. Considering that all circuits can be implemented using a three-input majority gate, the proposed structure can be used in the future to design and implement various circuits, which will also have the ability to tolerate various faults.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره اول، بهار ۱۴۰۴، صفحات ۵۱-۵۹

DOI: 10.61186/jiaeee.22.1.51

طراحی بهینه گیت اکثریت سه ورودی جدید با قابلیت تحمل‌پذیری در برابر خطا مبتنی بر تکنولوژی آتاماتای کوانتومی سلولی

سمیرا شهرکی[۱]

۱- مربی- گروه مهندسی کامپیوتر – دانشکده فنی و مهندسی – دانشگاه سراوان - سراوان – ایران

s.shahraki@saravan.ac.ir

چکیده: آتاماتای کوانتومی سلولی (به اختصار **QCA**) تکنولوژی جدیدی در مقیاس نانو است که می‌تواند بعنوان یک جایگزین برای تکنولوژی **CMOS** به شمار رود. عملکرد قابل قبول این تکنولوژی در طراحی مدارهای کارآمد با توان مصرفی پایین، آن را به یکی از حوزه‌های مورد علاقه پژوهشگران تبدیل کرده است. یکی از مهمترین چالش‌ها برای طراحان و پژوهشگران این حوزه، حذف و یا اضافه شدن سلول، چرخش و جابجایی سلول از مکان اصلی خود است. بنابراین طراحی مدارهایی که در برابر این خطاها عملکرد قابل قبولی داشته باشند می‌تواند به رفع این چالش کمک کند. به همین منظور در این مقاله یک گیت اکثریت سه ورودی جدید معرفی شده است که از ۱۷ سلول ساده و چرخان تشکیل شده است و حدود ۰,۰۲ میکرومترمربع مساحت و **4.89 × e-003MeV** انرژی مصرفی دارد. در ادامه آنالیز کاملی در خصوص تحمل‌پذیری گیت معرفی شده در برابر خطاهای حذف سلول، جابجایی سلول و رسوب سلول اضافی صورت گرفته است. نتایج حاکی از آن است که گیت معرفی شده در برابر خطاهای حذف تک سلول ۹۲درصد، حذف دو سلول ۸۴درصد و رسوب سلول اضافی ۱۰۰درصد تحمل پذیر است. عملکرد گیت معرفی شده با استفاده از شبیه‌ساز **QCA Designer 2.0.3** به اثبات رسیده است و انرژی مصرفی گیت معرفی شده نیز با استفاده از شبیه ساز **QCA Designer-E** محاسبه شده است.

کلمات کلیدی: آتاماتای کوانتومی سلولی، نانوتکنولوژی، گیت اکثریت سه ورودی، تحمل پذیری در برابر خطا

نوع مقاله: پژوهشی

دریافت: ۱۴۰۲/۱۲/۱۱

بازنگری: ۱۴۰۳/۰۴/۰۸

پذیرش: ۱۴۰۳/۰۸/۲۹

نام نویسنده‌ی مسئول : مهندس سمیرا شهرکی

نشانی نویسنده‌ی مسئول : ایران – سیستان و بلوچستان – سراوان - خیابان پاسداران – جنب فرمانداری – دانشگاه سراوان – دانشکده فنی و مهندسی

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

۱- مقدمه

امروزه تکنولوژی CMOS با مشکلات زیادی نظیر اثرات کانال کوتاه، گرما و جریانات نشتی روبرو شده است. به همین منظور یافتن یک جایگزین مناسب یکی از اولویت‌های طراحان است. تکنولوژی آتاماتای کوانتومی سلولی (به اختصار QCA) که در ابتدا بوسیله‌ی لنت و همکاران پیشنهاد شد [۱] در مدت کوتاهی توانست به یک موضوع جذاب و جایگزین مناسب تکنولوژی CMOS معرفی شود و تاکنون تحقیقات زیادی در این زمینه صورت گرفته است. یکی از دلایل محبوبیت این تکنولوژی افزایش تراکم قطعات، سرعت سوییچینگ بیشتر و توان مصرفی کمتر در مقایسه با CMOS است. QCA بر خلاف CMOS یک تکنولوژی بدون ترانزیستور است و بر مبنای تئوری تونل‌زنی و کلومبیک کار می‌کند [۲] .پژوهش‌ها نشان داده است مدارهایی که تحت تکنولوژی QCA ساخته می‌شوند بعلت عدم وجود جریان در مدار و همچنین عدم وجود خازن در خروجی مدار توان مصرفی بسیار کمتری در مقایسه با مدارهای CMOS دارند. تکنولوژِی QCA برمبنای سلول‌هایی است که از چهار حفره خالی تشکیل شده-اند. دو الکترون آزاد در این حفره‌ها قرار دارد. این الکترون‌ها می‌توانند با استفاده از تونل‌زنی بین حفره‌ها تردد کنند و در نهایت به یک حالت پایدار می‌رسند [۲۹] [۷-۳].

در تکنولوژی QCA گیت اکثریت و معکوس کننده دو گیت جهانی به شمار می‌روند بطوریکه تمامی مدارهای الکترونیکی قابلیت پیاده‌سازی با این گیت‌ها را دارد [۸]. بنابراین در صورتی که این گیت‌ها بصورت بهینه و قابل اعتماد طراحی شوند می‌توانیم ادعا کنیم که مدار طراحی شده نیز بهینه بوده و از قابلیت اعتماد نسبی برخوردار می باشد [۱۱-۹].

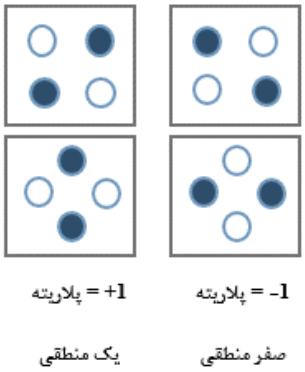
در [۹] یک گیت اکثریت سه ورودی جدید معرفی شده است که دارای ۱۱ سلول ساده است و از مساحت بسیار کمی برخوردار بوده و تحمل پذیری نسبتا خوبی در برابر انواع خطا دارد. سپس با استفاده از گیت معرفی شده یک واحد محاسبه و منطق یک لایه با حداقل تعداد سلول و مساحت طراحی شده است. در [۱۰] نیز گیت اکثریت سه ورودی معرفی شده است که از ۱۱ سلول ساده تشکیل شده است و سپس با استفاده از این گیت، یک رمزگشا طراحی شده است. در [۱۲] نیز گیت اکثریتی معرفی شده است که دارای ۳۶ سلول ساده است و مساحت آن نسبتا زیاد است و توانسته است با افزایش تعداد سلول، تحمل پذیری در برابر خطای حذف تک سلول را افزایش دهد. در [۲۰] گیت اکثریت معرفی شده دارای ۳۷ سلول ساده بوده و مساحت زیادی را اشغال می کند اما علی‌رغم تعداد سلول زیاد، تحمل‌پذیری کمتری در برابر خطا نسبت به [۱۲] دارد. در [۲۱] گیت معرفی شده دارای ۲۰ سلول ساده است و طی دو مرحله کلاک جواب را حاضر می‌کند. این گیت ضمن کاهش تعداد سلول، توانسته است عملکرد نسبتا خوبی در برابر خطا نسبت به [۲۰] داشته باشد. گیت معرفی شده در [۲۲] نیز دارای ۲۷ سلول ساده بوده و توانسته است تحمل پذیری خوبی در برابر خطا داشته باشد. گیت [۲۳] نیز دارای ۲۵ سلول ساده بود و تمرکز آن بر روی کاهش انرژی مصرفی بوده است. بنابراین علی‌رغم تعداد سلول بالا عملکرد خوبی در برابر انواع خطاها نداشته است. در [۲۴] گیت پیشنهادی دارای ۱۳ سلول چرخان بوده و تمرکز آن بر کاهش مساحت و انرژی مصرفی بوده است. این گیت در برابر خطاهای حذف تک سلول و رسوب خارج سلولی عملکرد نسبتا مناسبی دارد اما درصد تحمل پذیری آن در برابر خطای حذف دو سلول نسبتا کم می باشد. با توجه به توضیحات گفته شده در پژوهش حاضر نیز تلاش شده است تا گیت اکثریتی معرفی شود که ضمن کاهش سلول و بهبود در فضای مصرفی، تحمل پذیری بالایی در برابر هر سه نوع خطای حذف تک سلول، حذف دو سلول و رسوب سلول اضافی داشته باشد. در این مقاله ابتدا یک گیت اکثریت جدید تحمل پذیر در برابر خطا معرفی می‌شود. سپس عملکرد گیت اکثریت پیشنهادی در برابر انواع خطاهای معمول اعم از خطای حذف تک سلول، حذف دو سلول، رسوب خارج سلولی و جابجایی سلول بررسی می‌شود. در ادامه مساحت و انرژی مصرفی گیت اکثریت پیشنهادی که توسط شبیه‌ساز QCA Designer-E محاسبه شده، گزارش شده و گیت پیشنهادی با سایر کارهای مشابه مقایسه شده است. بخش پایانی مقاله نیز نتیجه‌گیری خواهد بود.

۲- مفاهیم پایه در QCA

آتاماتای کوانتومی سلولی یک فناوری محاسباتی برای طراحی مدارها در ابعاد نانو است. این فناوری بر پایه سلول‌های کوانتومی است. هر سلول از چهار حفره تشکیل شده است که بصورت مربعی در کنار یکدیگر قرار گرفته‌اند. هر سلول دو الکترون آزاد دارد که می‌توانند بصورت آزادانه بین حفره‌ها حرکت کنند. به طور کلی این دو الکترون در شش حالت مختلف می‌توانند در این چهار حفره جای‌گیری داشته باشند. اما بعلت نیروی دافعه کولمبی، الکترون‌ها تمایل دارند در دورترین فاصله از یکدیگر قرار بگیرند. بنابراین فقط دو حالت از این شش حالت پایدار است که آن هم هنگامی است که حفره‌ها بصورت قطری اشغال می‌شوند. این دو ساختار که در شکل ۱ مشاهده می‌شود، پلاریته ۱+ و ۱- را نمایش می‌دهند که به ترتیب به عنوان **یک** و **صفر** منطقی لحاظ می‌شوند. الکترون‌ها هنگام جابجایی در داخل یک سلول بصورت غیرخطی تونل می‌زنند. فاصله حفره‌ها معمولا حدود ۲ نانومتر است. نیروی دافعه کولمبی فقط بین حفره‌های درون سلول برقرار نیست بلکه نحوه‌ی جاگیری الکترون در هر سلول بر سلول‌های مجاور نیز تاثیر می‌گذارد. بنابراین دو سلول مجاور همواره در حالتی پلاریزه می‌شوند که نیروی دافعه کولمبی به حداقل مقدار ممکن برسد [۱۴-۱۲] [۲۵].

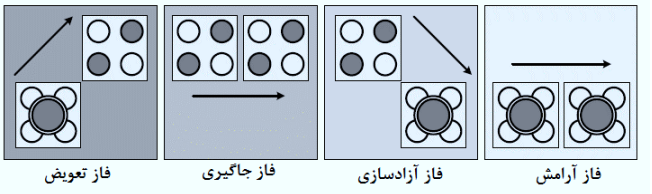
[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

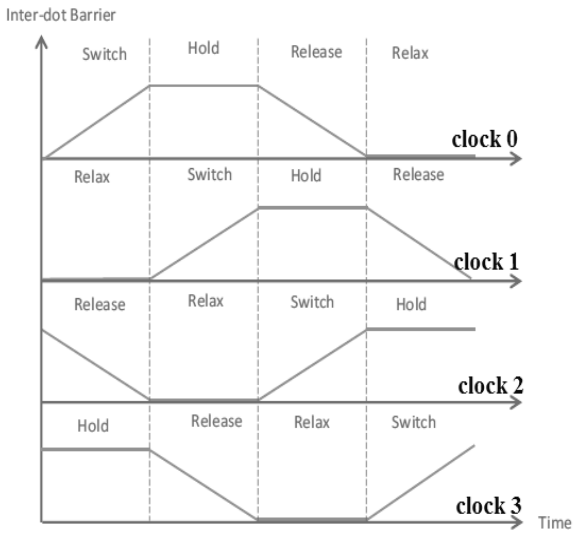


شکل (۱): انواع قطبیت سلول در QCA

در مدارهای QCA کلاک بعنوان عاملی الکترونیکی برای کنترل حرکت الکترون‌ها در داخل سلول به کار می‌رود. و نحوه کنترل آن به این صورت است که اگر قرار است اطلاعاتی از بخش‌های مختلف مدار بیایند و با هم ترکیب شوند تا خروجی مطلوب را تولید کنند، در صورتیکه ورودی‌های دیگر دیرتر به آن قسمت از مدار برسند، از انتشار اطلاعات تا زمان آماده شدن تمامی ورودی‌ها دیگر جلوگیری می‌کند. بنابراین وجود کلاک باعث برقراری همزمانی در بخش‌های مختلف مدار می‌شود. علاوه بر اینها کلاک بعنوان یک منبع تغذیه نیز به شمار می‌رود [۱۵]. در فناوری QCA کلاک دارای چهار فاز به نام تعویض، جاگیری، آزادسازی و آرامش می‌باشد. همانگونه که در شکل ۲ قابل ملاحظه است در فاز تعویض، نیروهای مانع حرکت الکترون‌ها در داخل سلول شروع به افزایش می‌کند و حرکت الکترون‌ها آرام آرام و به سختی انجام می‌گیرد. در فاز جاگیری نیروهای مانع حرکت الکترون‌ها در داخل سلول به بیشترین مقدار خود رسیده و مکان الکترون‌ها ثابت می ماند. در فاز آزادسازی مقدار نیروی مانع شونده کاهش یافته و آرام آرام الکترون‌ها آزاد می‌شوند. و در فاز آرامش سلول هیچ قطبیتی نداشته و الکترون‌ها بصورت کاملا آزاد در داخل سلول حرکت می‌کنند [۱۳]. در QCA کلاک هر ناحیه ۹۰ درجه با کلاک ناحیه قبل و بعد خودش اختلاف دارد. برای مثال همانطور که در شکل ۳ نشان داده شده است وقتیکه کلاک ناحیه صفر در حالت تعویض قرار دارد، کلاک نواحی یک، دو و سه به ترتیب در حالت‌های آرامش، آزادسازی و جاگیری قرار دارند [۹ , ۲۶].



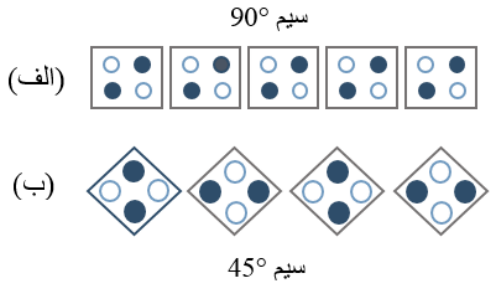
شکل (۲): فازهای کلاک در QCA [۹]



شکل (۳): وضعیت فازهای کلاک در سلول های مجاور

ساختار سیم به گونه‌ای است که هر مقداری در ورودی آن قرار بگیرد را به خروجی منتقل می‌کند. برای ایجاد سیم در QCA باید مجموعه‌ای از سلول‌ها بصورت ردیفی و پشت سر هم قرار بگیرند تا در نهایت پلاریزه ورودی و خروجی یکسان شود. دو نوع سیم بندی داریم که برمبنای سلول‌های ۴۵ درجه و ۹۰ درجه است و در شکل ۴ قابل ملاحظه است.

گیت اکثریت و گیت معکوس کننده از مهمترین گیت‌ها در QCA می‌باشد که بوسیله ی آن‌ها تقریبا تمامی مدارهای منطقی قابل پیاده‌سازی هستند [۱۶ , ۲۷]. در گیت معکوس کننده باید پلاریزه ورودی و خروجی متفاوت از یکدیگر باشد. یعنی درصورتیکه مقدار صفر روی ورودی قرار بگیرد خروجی یک شده و بالعکس. همانگونه که در شکل۵ نشان داده شده است چندین آرایش سلولی برای معکوس کننده وجود دارد که در اینجا به سه مورد از آن می‌پردازیم.



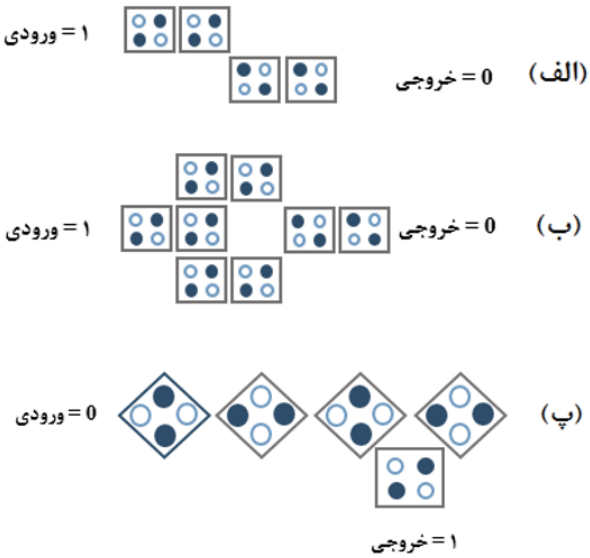
شکل (۴): الف: ساختار سیم ۹۰ درجه ب: ساختار سیم ۴۵ درجه

مشکل روش الف این است که معکوس کننده با قاطعیت کم ایجاد می‌شود. برای حل این مشکل روش ب پیشنهاد می‌شود. مزیت روش پ این است که با بردن یک سیم به قسمتی می‌توان از آن چند انشعاب گرفت که هر انشعاب بنا بر جایی که قرار گرفته می‌تواند

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

ورودی یا معکوس ورودی را تحویل دهد. بین این سه روش، روش ب بهترین و دقیق ترین پاسخ را برای یک معکوس کننده ارائه می‌دهد.

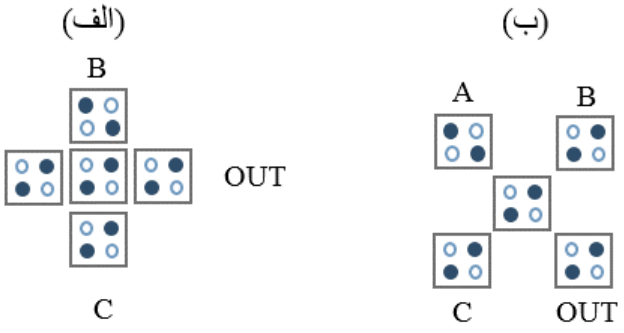


شکل (۵): ساختارهای موجود برای گیت معکوس کننده

گیت اکثریت بر طبق فرمول شماره ۱ و همانگونه که در شکل۶ (ساختار الف و ب) مشاهده می‌شود دارای سه ورودی و یک خروجی است. خروجی در صورتی یک می‌شود که دو ورودی و یا هر سه ورودی یک باشد.

$$F(A,B,C) = AB + BC + AC \qquad (1)$$

گیت‌های AND و OR منطقی نیز با استفاده از گیت اکثریت قابل تولید هستند. برای ساختن گیت AND در صورتیکه یکی از ورودی‌های گیت اکثریت پلاریته ۱- (صفر منطقی) بگیرد خروجی تابع AND دو ورودی می‌شود. برای گیت OR نیز در صورتیکه یکی از ورودی‌های گیت اکثریت پلاریته ۱+ (یک منطقی) بگیرد خروجی تابع OR خواهد بود.



شکل (۶): ساختارهای موجود برای گیت اکثریت

۳- عیب ها و خطاهای احتمالی در QCA

مدارهای QCA نیز مانند سایر مدارهای الکترونیکی ممکن است تحت تاثیر خطا قرار بگیرد. به طور کلی در QCA مدارها ممکن است دچار دو نوع خطا حین ساخت و رسوب شوند. خطای حین ساخت که به آن خطای سنتز هم گفته می‌شود ممکن است در طول ساخت سلول‌های QCA رخ دهد. خطای رسوب نیز ممکن است در حین قرار دادن سلول درون بستر رخ دهد. بدلیل ابعاد کوچک سلول‌های QCA خطای رسوب محتمل‌تر است. به طور کلی چهار نوع خطا در حوزه QCA ممکن است رخ دهد [۱۹-۱۷]:

حذف سلول: این خطا زمانی رخ می‌دهد که یک سلول ناخواسته حذف شود (شکل ۷ - الف).

جابجایی سلول: این خطا زمانی رخ می‌دهد که یک سلول از جهت اصلی خود جابجا می‌شود (شکل ۷ - ب).

ناترازی سلول: این خطا زمانی رخ می‌دهد که سلول با سلول‌های مجاور خود تراز نیست (شکل ۷ - پ).

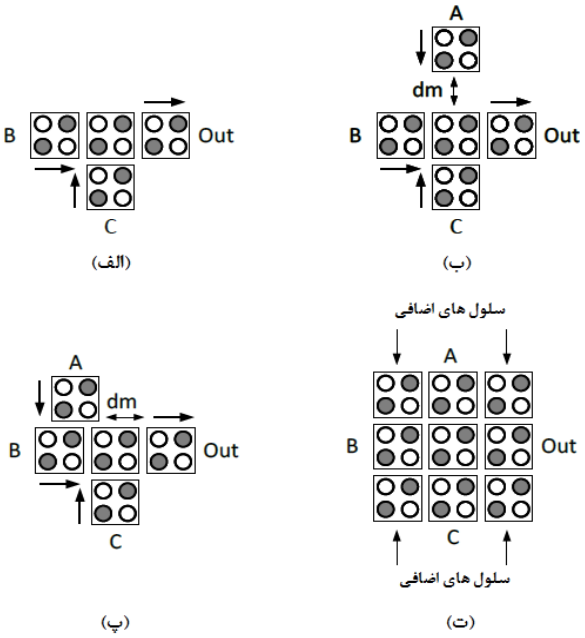
رسوب سلول اضافی: این خطا زمانی رخ می‌دهد که یک سلول به مدار اصلی اضافه شود (شکل ۷ - ت).

۴- معرفی گیت اکثریت طراحی شده

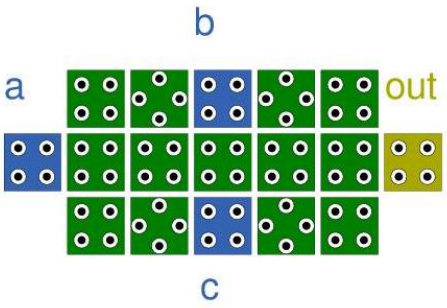
گیت اکثریت یکی از گیت‌های اصلی در طراحی مدارهای QCA به شمار می‌رود. در صورتی که یک گیت اکثریت بهینه که تحمل‌پذیر در برابر خطا باشد طراحی کنیم، می توانیم ادعا کنیم که مدار نهایی نیز تحمل پذیری نسبی در برابر خطا خواهد داشت. در این بخش ابتدا یک گیت اکثریت سه ورودی تحمل پذیر در برابر خطا معرفی و سپس کارکرد آن با استفاده از نرم‌افزار QCA Designer بررسی و تایید شده است. انرژی مصرفی گیت معرفی شده نیز با استفاده از شبیه‌ساز QCA Designer-E تحلیل شده است. سپس گیت معرفی شده در برابر انواع خطاها بررسی و صحت سنجی گردیده است. در ادامه گیت معرفی شده با سایر گیت‌های اکثریت تحمل‌پذیر در برابر خطا از نظر تعداد سلول، درصد تحمل پذیری در برابر خطا (حذف تک سلول، حذف دو سلول و سلول اضافی)، مساحت و انرژی مصرفی مقایسه شده است. شکل ۸ گیت اکثریت سه ورودی طراحی شده را نمایش می‌دهد. این گیت دارای ۱۷ سلول است و از ۱۳ سلول ساده و ۴ سلول چرخان تشکیل شده است. شکل ۹ نیز نتیجه شبیه‌سازی مدار را در شبیه‌ساز QCA Designer نمایش می دهد. گیت معرفی شده دارای مساحت ۰,۰۲ μm^2 و انرژی مصرفی 4.89 × e-003MeV می‌باشد. در صورتیکه یکی از ورودی‌های گیت معرفی شده پلاریزه‌های ۱- و ۱+ را بگیرند به ترتیب گیت‌های AND و OR ساخته می‌شود. شکل ۱۰- الف و ۱۰- ب به ترتیب ساختار این مدارها و همچنین شکل‌های ۱۱ و ۱۲ به ترتیب نتایج شبیه‌سازی این مدارها را در شبیه‌ساز QCA Designer نشان می‌دهد.

[Downloaded from jiaeee.com on 2026-11-16]

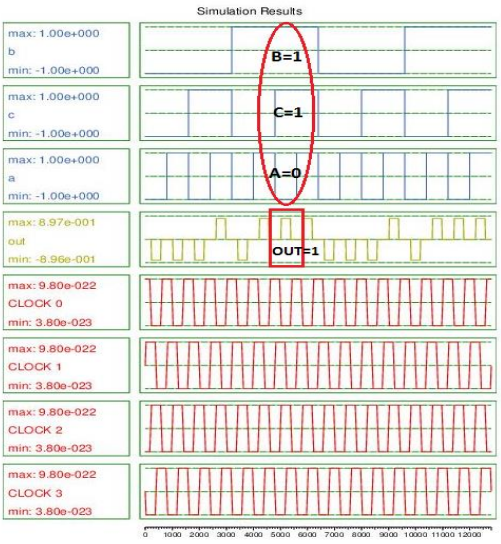
[DOI: 10.61186/jiaeee.22.1.39]



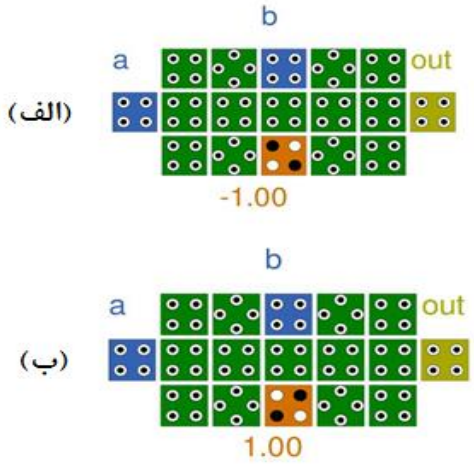
شکل (۷): انواع خطاهای احتمالی در QCA : الف) خطای حذف سلول ب) خطای جابجایی سلول پ) خطای ناهمترازی سلول ت) خطای رسوب سلول اضافی



شکل (۸): ساختار گیت اکثریت سه ورودی پیشنهادی



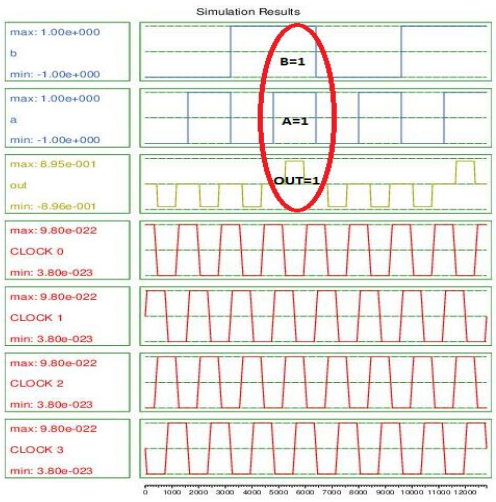
شکل (۹): نتیجه شبیه سازی گیت اکثریت سه ورودی پیشنهادی



شکل (۱۰): گیت های AND و OR پیشنهادی (به ترتیب شکل الف و ب)

۴-۱- تحلیل تحمل پذیری گیت اکثریت معرفی شده در برابر انواع خطاها

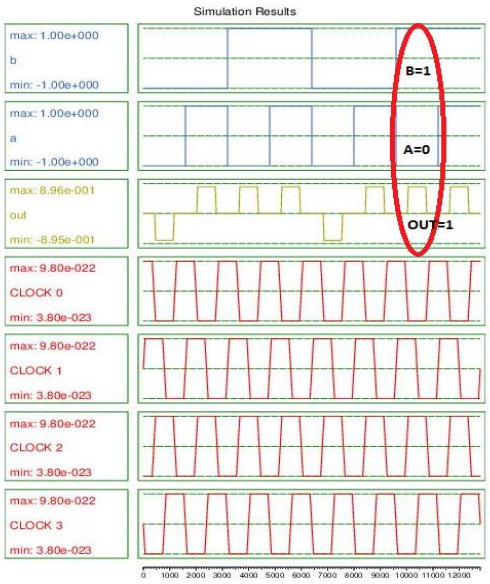
در این بخش گیت اکثریت معرفی شده در برابر خطای حذف تک سلول، حذف دو سلول، جابجایی، ناترازی و رسوب سلول اضافی بررسی شده است. یکی از مهمترین خطاها، خطای حذف سلول است. به همین منظور خطای حذف تک سلول بر روی گیت اکثریت معرفی شده بررسی شده و نتایج آن در جدول شماره ۱ آمده است. نتایج نشان می‌دهد که گیت معرفی شده در ۱۲ حالت از ۱۳ حالت موجود درست عمل می‌کند و فقط به ازای حذف یک سلول عملکرد درستی ندارد. بنابراین با استفاده از فرمول (۱۰۰×تعداد کل حالت ها/ تعداد حالت-های درست) نتیجه می‌شود این گیت ۹۲ درصد در برابر خطای حذف تک سلول تحمل پذیر است. همچنین عملکرد حذف دو سلول در گیت اکثریت پیشنهادی بررسی شده است و نتایج آن در جدول شماره ۲ آمده است. و همانگونه که مشخص است گیت اکثریت پیشنهادی ۸۴ درصد در برابر حذف دو سلول تحمل‌پذیر است.



شکل (۱۱): نتیجه شبیه سازی گیت AND پیشنهادی

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

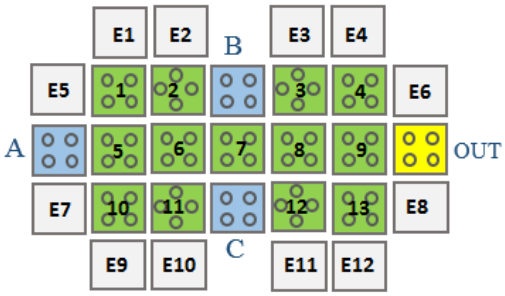


شکل (۱۲): نتیجه شبیه سازی گیت OR پیشنهادی

جدول (۲): عملکرد گیت اکثریت پیشنهادی به ازای خطای حذف دو سلول

مشاهدات	نتایج
مجموع حالات ممکن	۷۸ مورد
تعداد حالات کارکرد صحیح	۶۵ حالت
تعداد حالات کارکرد نادرست	۱۳ حالت
نرخ درستی = ۸۴ درصد	

در ادامه تحمل پذیری گیت معرفی شده در برابر خطای رسوب سلول اضافی بررسی شده است. برای این منظور طبق شکل ۱۳ تمامی حالت‌هایی که سلول ساده یا چرخان ممکن است در اطراف گیت اضافه شود، بررسی شده است. نتایج این بررسی در جدول ۳ آمده است و نشان داده شده است که گیت معرفی شده ۱۰۰ درصد در برابر این خطا مقاوم است.



شکل (۱۳): سلول‌های اضافی اطراف گیت اکثریت سه ورودی پیشنهادی

در ادامه گیت معرفی شده در برابر خطای جابجایی و ناهمترازی بررسی شده است. برای این منظور سلول‌هایی که قابلیت جابجایی دارند در چهار جهت شمال، جنوب، شرق و غرب تا حدی که خروجی درست باشد جابجا شده است. نتایج مربوطه در جدول ۴ قابل ملاحظه است. نتایج نشان می‌دهد گیت طراحی شده عملکرد قابل قبولی نیز در برابر این خطا دارد.

جدول ۳۴): عملکرد گیت اکثریت سه ورودی به ازای خطای حذف تک سلول

خروجی	شماره سلول حذف شده	خروجی	شماره سلول حذف شده
درست	۸	درست	۱
درست	۹	درست	۲
درست	۱۰	درست	۳
درست	۱۱	درست	۴
درست	۱۲	درست	۵
درست	۱۳	درست	۶
		نادرست	۷
نرخ درستی = ۹۲ درصد			

جدول (۴): بررسی عملکرد گیت اکثریت پیشنهادی در برابر خطای رسوب سلول اضافی

خروجی	نوع سلول اضافه شده	شماره سلول اضافه شده
درست	سلول ۴۵ درجه	**E1**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E2**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E3**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E4**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E5**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E6**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E7**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E8**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E9**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E10**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E11**
درست	سلول ۹۰ درجه	
درست	سلول ۴۵ درجه	**E12**
درست	سلول ۹۰ درجه	
۱۰۰ درصد	سلول ۴۵ درجه	**نرخ درستی**
۱۰۰ درصد	سلول ۹۰ درجه	

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

۴-۲- مقایسه گیت اکثریت معرفی شده با بقیه کارها

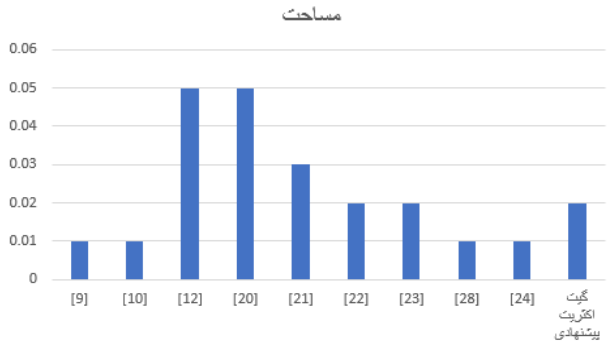
با توجه به اهمیت گیت اکثریت سه ورودی، محققان و پژوهشگران حوزه نانوتکنولوژی تاکنون تحقیقات و پژوهش‌های زیادی را در این زمینه انجام داده‌اند. در این بخش ما گیت اکثریت معرفی شده را با تعدادی از بهترین و جدیدترین گیت‌های اکثریتی که تاکنون معرفی شده‌اند، مقایسه کرده‌ایم. در جدول ۵ مشخصات کلیدی گیت معرفی-شده و سایر کارهای انتخاب شده آمده است. گیت معرفی شده از نظر پارامترهای نوع و تعداد سلول، مساحت ، انرژی مصرفی، تاخیر کلاک و تحلیل خطا مورد بررسی قرار گرفته است. کارهای [۹, ۱۰, ۲۴] تعداد سلول کمتری نسبت به گیت پیشنهاد شده دارند اما تحمل‌پذیری کمتری در برابر انواع خطا دارند. کارهای [۱۲] , [۲۳-۲۰] که تحمل-پذیری نسبتا بالایی در برابر خطا دارند تعداد سلول‌های بیشتری و مساحت بیشتری دارند. بنابراین گیت اکثریت پیشنهادی در حالیکه تعداد سلول‌های کمتری از[۲۰, ۲۱, ۲۳] دارد اما تحمل‌پذیری بالاتری در برابر انواع خطا نسبت به این کارها دارد. در ادامه برای اینکه مقایسه بهتری با سایر کارها انجام شود تعدادی نمودار رسم شده است. در شکل ۱۴ گیت اکثریت پیشنهادی از نظر مساحت اشغال شده بر حسب میکرومتر مربع با سایر کارها مقایسه شده است. شکل ۱۵ نیز گیت مربوطه را از نظر تعداد سلول با بقیه کارها مقایسه کرده است. در نمودار شکل ۱۶ نیز فاکتورهای انرژی مصرفی کل و انرژی مصرفی میانگین برای گیت اکثریت پیشنهادی در برابر سایر کارها مورد مقایسه قرار گرفته است و مشاهده می شود که گیت معرفی شده انرژی مصرفی کمی در برابر سایر کارها دارد. در ادامه برای اینکه بتوانیم تحمل پذیری در برابر خطا را برای گیت مربوطه با سایر کارها مقایسه کنیم، مقادیر خطاهای حذف تک سلول، خطای حذف دو سلول و خطای رسوب سلول اضافی را با یکدیگر جمع نموده و سپس مقادیر به دست آمده را در نمودار شکل ۱۷ مورد مقایسه قرار داده ایم. بنابراین همانطور که قابل ملاحظه است گیت اکثریت پیشنهادی تحمل پذیری خوبی نسبت به انواع خطاها در مقایسه با سایر کارها دارا می باشد.

جدول (۵): بررسی عملکرد گیت اکثریت پیشنهادی در برابر خطای جابجایی و ناهمترازی سلول

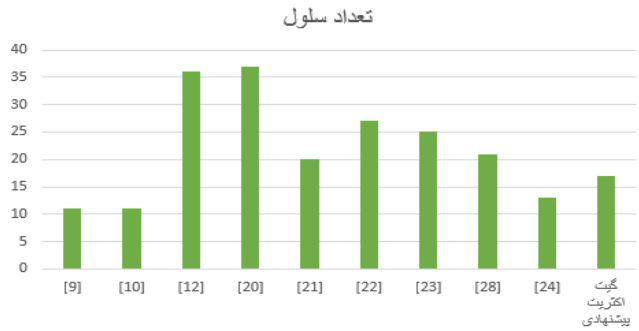
سلول	شمال (nm)	جنوب (nm)	غرب (nm)	شرق (nm)
A	≤۷	≤۷	≤۲۵	-
B	≤۲	-	-	-
C	-	≤۲	-	-
OUT	≤۳	≤۳	-	≤۳
۱	∞	-	∞	-
۲	∞	-	-	-
۳	∞	-	-	-
۴	∞	-	-	∞
۱۰	-	∞	∞	-
۱۱	-	∞	-	-
۱۲	-	∞	-	-
۱۳	-	∞	-	∞

۵- نتیجه‌گیری

در این مقاله ابتدا مقدمه‌ای بر اصول QCA ارائه شد و سپس برخی از چالش‌های حیاتی QCA مورد بحث و بررسی قرار گرفت. سپس مطالعه‌ای برای مقابله با چالش‌های ذکر شده انجام گرفت. در ادامه گیت اکثریت سه ورودی جدیدی معرفی شد و تمامی چالش‌های مربوطه بر روی آن تست شد. تمامی کارهای قبلی به دنبال دستیابی به بالاترین تحمل خطا با کمترین تعداد سلول و کمترین فضای مصرفی بوده‌اند. نتایج طراحی، اجرا و شبیه‌سازی تایید کرد که رویکرد پیشنهادی ما توانسته است ضمن کاهش تعداد سلول و فضای مصرفی کم، تحمل خطای بالایی داشته باشد. با توجه به اینکه تمامی مدارها قابلیت پیاده‌سازی با استفاده از گیت اکثریت سه ورودی را دارند بنابراین در آینده نیز می‌توان از ساختار پیشنهادی برای طراحی و پیاده‌سازی انواع مدارها استفاده کرد که این مدارها نیز از قابلیت تحمل پذیری در برابر انواع خطاها برخوردار خواهند بود.



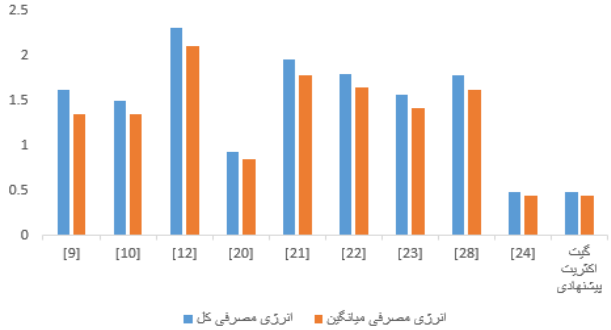
شکل (۱۴): نمودار مقایسه مساحت گیت اکثریت پیشنهادی (برحسب μm^2) با بقیه کارها



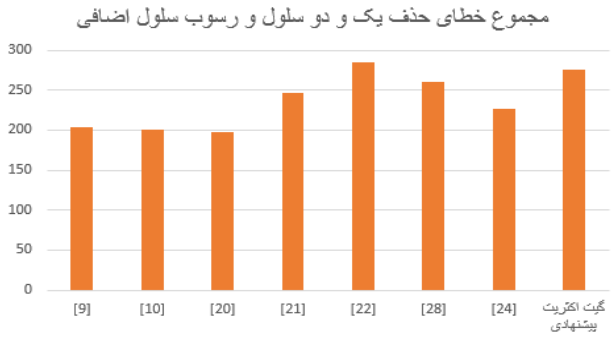
شکل (۱۵): نمودار مقایسه تعداد سلول گیت اکثریت پیشنهادی با بقیه کارها

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]



شکل (۱۶): نمودار مقایسه انرژی مصرفی گیت اکثریت پیشنهادی با بقیه کارها



شکل (۱۷): نمودار مقایسه تحمل پذیری خطای گیت اکثریت پیشنهادی با بقیه کارها

جدول (۵): مقایسه گیت اکثریت پیشنهادی با کارهای گذشته

گیت اکثریت	نوع سلول	تعداد سلول	مساحت (μm^2)	تاخیر (تعداد کلاک)	تحلیل انرژی		تحمل پذیری در برابر خطا (٪)			
					انرژی مصرفی کل	انرژی مصرفی میانگین	خطای حذف تک سلول	خطای حذف دو سلول	خطای سلول اضافی	خطای جابجایی و ناهمترازی سلول
[۹]	ساده	۱۱	۰,۰۱	۰,۲۵	1.62×e-002	1.35×e-003	۸۶	۴۳	۷۵	∞-۳
[۱۰]	ساده	۱۱	۰,۰۱	۰,۲۵	1.49×e-002	1.35×e-003	۷۱	۲۹	۱۰۰	∞-۳
[۱۲]	ساده	۳۶	۰,۰۵	۰,۲۵	2.31×e-002	2.1×e-003	۹۳,۸	۶۶	گزارش نشده	گزارش نشده
[۲۰]	ساده	۳۷	۰,۰۵	۰,۲۵	9.32×e-003	8.48×e-004	۸۲	۶۶	۵۰	۱۴-۳
[۲۱]	ساده	۲۰	۰,۰۳	۰,۵	1.96×e-002	1.78×e-003	۸۷	۶۰	۱۰۰	∞-۵
[۲۲]	ساده	۲۷	۰,۰۲	۰,۲۵	1.8×e-002	1.64×e-003	۱۰۰	۸۵	۱۰۰	∞-۴
[۲۳]	ساده	۲۵	۰,۰۲	۰,۲۵	1.57×e-002	1.42×e-003	۸۰	۳۶	گزارش نشده	گزارش نشده
[۲۸]	چرخان	۲۱	۰,۰۱	۰,۲۵	1.78×e-002	1.62×e-003	۱۰۰	۶۰	۱۰۰	∞-۴
[۲۴]	چرخان	۱۳	۰,۰۱	۰,۲۵	4.87×e-003	4.43×e-004	۸۸	۳۹,۵	۱۰۰	∞-۰,۱
گیت اکثریت پیشنهادی	چرخان	۱۷	۰,۰۲	۰,۲۵	4.89×e-003	4.45×e-004	۹۲	۸۴	۱۰۰	∞-۳

منابع

[1] C. S. Lent, P. D. Tougaw, W. Porod, & G. H. Bernstein, (1993). Quantum cellular automata. Nanotechnology, 4(1), 49.

[2] P. D. Tougaw, & C. S. Lent, (1994). "Logical devices implemented using quantum cellular automata". Journal of Applied physics, 75(3), 1818-1825.

[3] R. Sherizadeh, NJ. Navimipour, (2018) "Designing a 2-to-4 decoder on nanoscale based on quantumdot cellular automata for energy dissipation improving". Opt Int J Light Electron Opt 158:477–489

[4] S. Seyedi, NJ. Navimipour, (2018) "An optimized three-level design of decoder based on nanoscale quantum-dot cellular automata". Int J Theor Phys 57(7):2022–2033

[5] S. Seyedi, NJ. Navimipour, (2018) "Design and evaluation of a new structure for fault-tolerance fulladder based on quantum-dot cellular automata". Nano Commun Netw 16:1–9

[6] MR. Gadim, NJ. Navimipour, (2018) "A new three-level fault tolerance arithmetic and logic unit based on quantum dot cellular automata". Microsyst Technol 24:1–11

[7] S. Seyedi, NJ. Navimipour, (2017) "An optimized design of full adder based on nanoscale quantum-dot cellular automata". Opt Int J Light Electron Opt 158:243–256

[8] S. S. Ahmadpour, M. Mosleh, & S. Rasouli Heikalabad, (2020). "The design and implementation of a robust single-layer QCA ALU using a novel fault-tolerant three-input majority gate". Journal of Supercomputing, 76(12).

[9] S. Riki, & F. Serajeh Hassani, (2023). "Designing a one-bit coplanar QCA ALU using a novel robust area-efficient three-input majority gate design". The Journal of Supercomputing, 1-22.

[10] S. Riki, & F. S. Hassani, (2022). "Research Paper A Robust Single Layer QCA Decoder Using a Novel Fault

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]

Tolerant Three Input Majority Gate". Journal of Optoelectronical Nanostructures, 7(3), 23-45.

[11] F. Danehdaran, M. B. Khosroshahy, K. Navi, & N. Bagherzadeh, (2018). "Design and power analysis of new coplanar one-bit full-adder cell in quantum-dot cellular automata". Journal of Low Power Electronics, 14(1), 38-48.

[12] X. Wang, G. Xie, F. Deng, Y. Quan, & H. Lü, (2018). "Design and comparison of new fault-tolerant majority gate based on quantum-dot cellular automata". Journal of Semiconductors, 39(8), 085001.

[13] M.N. Asfestani, S.R. Heikalabad "A unique structure for the multiplexer in quantum-dot cellular automata to create a revolution in design of nanostructures". Physica B: Condensed Matter 512, 91{99 (2017)

[14] S. S. Ahmadpour, & M. Mosleh, (2019). "New designs of fault-tolerant adders in quantum-dot cellular automata". Nano Communication Networks, 19, 10-25.

[15] J. Timler, & C. S. Lent, (2002). "Power gain and dissipation in quantum-dot cellular automata". journal of applied physics, 91(2), 823-831.

[16] N. Safoev, J.-C. Jeon,: "Low area complexity demultiplexer based on multilayer quantum-dot cellular automata". International Journal of Control and Automation 9(12), 165{178 (2016).

[17] J. Huang, M. Momenzadeh, F. Lombardi, "On the tolerance to manufacturing defects in molecular qca tiles for processing-by-wire". Journal of Electronic Testing 23(2), 163{174 (2007)

[18] A. Roohi, R.F. DeMara, N. Khoshavi, "Design and evaluation of an ultra area-eficient fault-tolerant qca full adder". Microelectronics Journal 46(6), 531{542 (2015)

[19] M. Momenzadeh, J. Huang, M.B. Tahoori, F. Lombardi, "Characterization, test, and logic synthesis of and-or-inverter (aoi) gate design for qca implementation. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems 24(12)", 1881{1893 (2005)

[20] S.A.H. Foroutan, R. Sabbaghi-Nadooshan, M. Mohammadi, and M.B. Tavakoli, "Investigating multiple defects on a new fault-tolerant three-input QCA majority gate". The Journal of Supercomputing, (2021) pp.1-21.

[21] D. Kumar, and D. Mitra, "Design of a practical fault-tolerant adder in QCA". Microelectronics Journal, 53 (2016) pp.90-104.

[22] S. S. Ahmadpour, & M. Mosleh, "A novel fault-tolerant multiplexer in quantum-dot cellular automata technology. The Journal of Supercomputing", 74(9) (2018) 4696-4716.

[23] M. Sun, H. Lv, Y. Zhang, and G. Xie, "The fundamental primitives with fault-tolerance in quantum-dot cellular automata". Journal of Electronic Testing, 34(2) (2018) pp.109-122.

[24] T. Moghimizadeh, & M. Mosleh, (2019). "A novel design of fault-tolerant RAM cell in quantum-dot cellular automata with physical verification". The Journal of Supercomputing, 75(9), 5688-5716.

[25] A. Khan, & R. Arya, (2022). "Towards the Design and Analysis of Multiplexer/Demultiplexer using Quantum dot Cellular Automata for Nano Systems". Journal of New Materials for Electrochemical Systems, 25(1).

[26] S. Seyedi, N. J. Navimipour, & A. Otsuki, (2021). "Design and analysis of fault-tolerant 1: 2 demultiplexer using quantum-dot cellular automata nano-technology". Electronics, 10(21), 2565.

[27] J. Ni, & Z. Chu, (2021, October). "An Efficient Demultiplexer Design in Quantum-dot Cellular Automata". In 2021 IEEE 14th International Conference on ASIC (ASICON) (pp. 1-4). IEEE.

[28] S. S. Ahmadpour, N. J. Navimipour, S. Kassa, N. K. Misra, & S. Yalcin, (2023). "An ultra-efficient design of fault-tolerant 3-input majority gate (FTMG) with an error probability model based on quantum-dots". Computers and Electrical Engineering, 110, 108865.

[29] M. Gholami, P. Valipour, H. Alamdar, "One-bit Full Adder with Low Delay and Low Cell Count in the Emerging Technology of Quantum-Dot Cellular Automata". Journal of Iranian Association of Electrical and Electronics Engineers 2024; 21 (1) :11-16

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.39]