Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 1, 2025
DOI: 10.61186/jiaeee.22.1.64

Effect of Source/Drain Implantation on Channel Resistance in DI SOD MOSFET

Afshin Dadkhah[1], Arash Daghighi[2] , Vahid Hatami[3] , Erfan Mohammadi[4]

[1] M. Sc. Student, Faculty of Engineering, Shahrekord University, Shahrekord, Iran.
afshin.dadkhah17@gmail.com
[2] Associate Professor, Faculty of Engineering, Shahrekord University, Shahrekord, Iran.
daghighi-a@sku.ac.ir
[3] M. Sc. Student, Faculty of Engineering, Shahrekord University, Shahrekord, Iran.
vahid.etc5@gmail.com
[4] M. Sc. Student, Department of Electrical Engineering and Computer Science, Isfahan University of Technology, Isfahan, Iran.
ermo7117@gmail.com

Abstract:

In this paper, a comprehensive investigation and simulation of the source/drain (S/D) resistance (Rsd) in 22 nm channel length double-insulated (DI) silicon-on-diamond (SOI) metal-oxide-semiconductor field-effect transistors (MOSFETs) is presented. For the first time, the effect of the S/D ion implantation region with different dimensions (namely, reference, minimum, and maximum) on Rsd is thoroughly investigated and simulated. Simulation results demonstrate that Rsd is significantly affected by the dimensions and type of the S/D ion implantation region. Optimizing the dimensions and type of the S/D region can reduce Rsd by up to 5 times. This study reveals that employing a properly designed S/D region can considerably reduce Rsd in 22 nm channel length DI-SOI MOSFETs. This can lead to improved performance and efficiency of these transistors in various electronic applications.

Keywords: **Double-insulated silicon-on-diamond MOSFETs, Source/drain resistance, Silicon-on-insulator MOSFET, MOSFET.**

Article Type: Research

Received: 24. 02. 2016

Revised: 25. 06.2024

Accepted: 27. 08. 2024

Corresponding author: A. Daghighi

Corresponding author's address: Iran – Shahrekord – Shahrekord University – Faculty of Engineering

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

The motivation behind this research stems from the ongoing trend of transistor miniaturization in integrated circuits, which presents significant challenges. Silicon-on-insulator (SOI) devices have been introduced as alternatives to bulk transistors, but they face issues such as weak source and drain contacts and the floating body effect. Additionally, SOI transistors suffer from self-heating effects due to the low thermal conductivity of the silicon dioxide insulator, leading to reduced current, transconductance, and transistor speed.

To address the self-heating problem, using high thermal conductivity buried insulators like diamond has been proposed. However, diamond's high dielectric constant results in larger junction capacitances. Short channel effects also impact SOI transistors. To mitigate these issues, double-insulating silicon-on-diamond (DI-SOD) transistors have been developed, utilizing both silicon dioxide and diamond as insulators. This structure leverages the advantages of both materials, offering solutions to the aforementioned problems.

This study specifically investigates the source and drain ion implantation regions in DI-SOD transistors with a 22 nm channel. Understanding the impact of these regions on the source and drain resistance and overall device performance is crucial. Previous research has focused primarily on electrical effects and thermal dissipation in these transistors, but there is a gap in understanding how ion implantation affects resistance and current flow.

By optimizing the ion implantation dimensions and types, this research aims to significantly reduce source and drain resistance, potentially improving the performance and efficiency of DI-SOD transistors in various electronic applications. This optimization can lead to high-performance, energy-efficient transistors, crucial for advancing technology in the electronics industry.

2. Contributions

This research offers significant advancements in the field of semiconductor devices, focusing on the optimization of double-insulating silicon-on-diamond (DI-SOD) transistors with a 22 nm channel.

Firstly, it provides a comprehensive analysis and simulation of the source and drain resistance (Rsd) in DI-SOD transistors, highlighting the impact of ion implantation regions with varying dimensions. This novel investigation fills a gap in existing research, offering new insights into device performance.

Secondly, the study finds that optimizing ion implantation dimensions and types can reduce source and drain resistance by up to five times. This reduction significantly enhances the performance of DI-SOD transistors, making them more efficient for various electronic applications.

The research demonstrates that appropriately sized ion implantation regions lower source and drain resistance, improving current flow and overall device performance. This directly addresses the self-heating and short channel effects in conventional SOI transistors, providing a practical solution to these issues.

Additionally, the study offers valuable insights into the thermal conductivity and dielectric properties of DI-SOD transistors, guiding future research. By proposing a model that leverages the advantages of both silicon dioxide and diamond insulators, the research paves the way for further advancements in transistor technology.

Overall, the research aims to optimize ion implantation regions in DI-SOD transistors to enhance their performance and efficiency, presenting a clear and concise objective that underscores the practical benefits of the proposed approach.

3. Procedures

This study investigates the impact of source and drain ion implantation regions on double-insulating silicon-on-diamond (DI-SOD) transistors with a 22 nm channel through comprehensive simulation and analysis.

Subjects:

DI-SOD transistors with a silicon dioxide insulator beneath the channel and a diamond insulator beneath the silicon dioxide layer.

Simulation Setup:

Three primary configurations of the ion implantation regions were modeled:

Zero State: Ion implantation region of 43 nm (reference).

Minimum State: 20 nm smaller than the reference.

Maximum State: 20 nm larger than the reference.

Conditions:

Simulations were conducted under varying drain-source voltage (VDS) and gate-source voltage (VGS) conditions.

Constant temperature of 300 K was maintained.

Duration:

Simulations ran for enough iterations to ensure accurate and stable results.

Measurements:

Drain Current (IDS): Current flow through the transistor.

Source and Drain Resistance (Rsd): Resistance changes due to ion implantation.

Threshold Voltage (Vth): Voltage at which the transistor enters saturation.

Transconductance (gm): Conductivity under different VGS values.

Comparisons:

Impact of different ion implantation dimensions on IDS, Rsd, Vth, and gm.

Performance differences among the zero, minimum, and maximum states.

Effects of modifying the ion implantation region by 0 to 40 nm from the reference.

This study identifies optimal ion implantation dimensions to minimize source and drain resistance while enhancing DI-SOD transistor performance and efficiency.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]

4. Findings

This study presents significant findings on the impact of ion implantation regions on double-insulating silicon-on-diamond (DI-SOD) transistors with a 22 nm channel.

Major Findings:

Source and Drain Resistance (Rsd):

Rsd is significantly affected by the dimensions of the ion implantation regions.

Optimizing the ion implantation region can reduce Rsd by up to five times, substantially improving transistor efficiency.

Drain Current (IDS):

In the zero state (reference), IDS increases with increasing VDS and VGS.

In the minimum state, IDS increases significantly due to reduced Rsd, enhancing current flow.

In the maximum state, IDS decreases substantially, indicating that excessive ion implantation increases Rsd and hinders current flow.

Threshold Voltage (Vth) and Saturation Region:

Vth remains relatively constant across different ion implantation regions, but the saturation region shifts with varying dimensions.

The saturation region moves to lower VDS values as the ion implantation region decreases, beneficial for low-voltage operations.

Transconductance (gm):

Transconductance increases with higher VGS in the zero state, indicating improved conductivity.

In the minimum state, increased IDS leads to higher gm, showing better performance.

In the maximum state, higher Rsd reduces gm, negatively affecting speed and power efficiency.

Significance:

These findings underscore the crucial role of ion implantation region dimensions in optimizing DI-SOD transistor performance. Adjusting these regions significantly reduces Rsd, leading to improved IDS and gm. This optimization enhances the efficiency, speed, and power consumption of DI-SOD transistors, making them more suitable for advanced electronic applications. The study's insights into thermal management and dielectric properties further support developing high-performance, energy-efficient semiconductor devices. This research offers practical solutions to challenges like self-heating and short channel effects, contributing valuable knowledge for future advancements in transistor technology.

5. Conclusion

In conclusion, this study has demonstrated significant advancements in the optimization of double-insulating silicon-on-diamond (DI-SOD) transistors with a 22 nm channel. The major outcome of the study lies in the successful reduction of source and drain resistance (Rsd) through the optimization of ion implantation regions. By varying the dimensions and types of ion implantation, the research achieved up to a five-fold decrease in Rsd, thereby enhancing the overall performance of DI-SOD transistors.

Furthermore, the study highlighted the efficacy of DI-SOD transistors in mitigating self-heating and short channel effects compared to conventional SOI transistors. This improvement is crucial for applications requiring high efficiency and reliability in electronic devices.

The findings underscore the importance of optimizing ion implantation in semiconductor devices, particularly in enhancing thermal conductivity and dielectric properties. The proposed model combining silicon dioxide and diamond insulators offers a promising approach for future transistor technologies.

Overall, this research contributes significantly to the field by providing a systematic analysis of DI-SOD transistor performance and presenting practical solutions to improve their efficiency and reliability in electronic applications.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره اول، بهار ۱۴۰۴، صفحات ۶۴-۷۰

DOI: 10.61186/jiaeee.22.1.64

بررسی اثر کاشت سورس – درین بر مقاومت کانال در ترانزیستور سیلیکون روی عایق دو لایه

افشین دادخواه[۱] ، آرش دقیقی[۲]، وحید حاتمی[۳]، عرفان محمدی[۴]

۱- دانشجوی کارشناسی ارشد، دانشکده فنی و مهندسی - دانشگاه شهرکرد - شهرکرد- ایران

afshin.dadkhah17@gmail@gmail.com

۲- دانشکده فنی و مهندسی - دانشگاه شهرکرد- شهرکرد- ایران

daghighi-a@sku.ac.ir

۳- دانشجوی کارشناسی ارشد- دانشکده فنی و مهندسی - دانشگاه شهرکرد- شهرکرد- ایران

vahid.etc5@gmail.com

۴- دانشجوی کارشناسی ارشد دانشکده برق و کامپیوتر- دانشگاه صنعتی اصفهان- ایران

ermo7117@gmail.com

چکیده: در این مقاله، به بررسی و شبیه‌سازی جامع مقاومت سورس و درین (R_{sd}) در ترانزیستورهای سیلیکون روی الماس با عایق دولایه (DI-SOI) با کانال ۲۲ نانومتر پرداخته می‌شود. برای اولین بار، اثر ناحیه کاشت یونی با ابعاد مختلف (حالت صفر و حالت کمینه) بر مقاومت سورس و درین به طور کامل بررسی و شبیه‌سازی شده است. نتایج شبیه‌سازی نشان می‌دهد که مقاومت سورس و درین به طور قابل توجهی تحت تأثیر ابعاد و نوع ناحیه کاشت یونی قرار می‌گیرد. بهینه‌سازی ابعاد و نوع ناحیه یونی می‌تواند این مقاومت را تا ۵ برابر کاهش دهد. این مطالعه نشان می‌دهد که استفاده از ناحیه یونی با ابعاد و نوع مناسب می‌تواند به طور قابل توجهی مقاومت سورس و درین را در ترانزیستورهای سیلیکون روی الماس با عایق دولایه با کانال ۲۲ نانومتر کاهش دهد. این امر می‌تواند به بهبود عملکرد و کارایی این ترانزیستورها در کاربردهای مختلف الکترونیکی منجر شود.

نوع مقاله: پژوهشی

کلمات کلیدی: ماسفت سیلیکون روی الماس با عایق دولایه – مقاومت سورس و درین – ماسفت سیلیکون روی عایق– ماسفت

دریافت: ۱۴۰۲/۱۲/۰۵

بازنگری: ۱۴۰۳/۰۶/۰۶

پذیرش: ۱۴۰۳/۰۴/۰۵

نام نویسنده‌ی مسئول: دکتر آرش دقیقی

نشانی نویسنده‌ی مسئول: ایران – شهرکرد – دانشگاه شهرکرد – دانشکده فنی و مهندسی

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]

۱- مقدمه

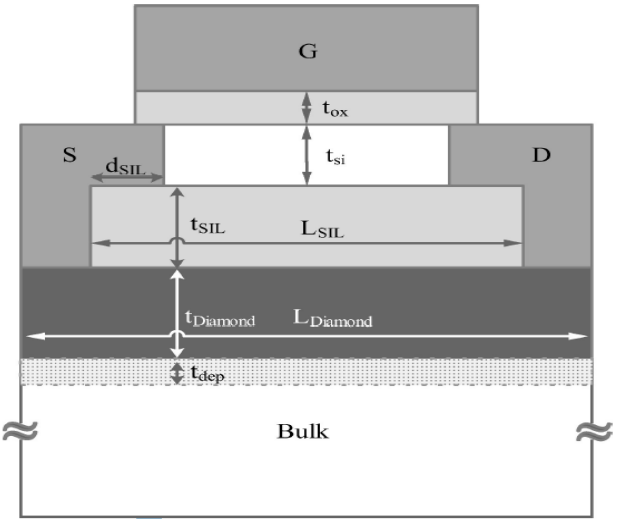
در دنیای امروز روند کوچک‌سازی ترانزیستورها در مدارهای مجتمع، چالش‌های جدیدی را به وجود آورده است[۱]. ادوات سیلیکون روی عایق (SOI) به عنوان جایگزینی برای ترانزیستورهای بالک معرفی شدند، اما مشکلاتی مانند ضعیف بودن اتصال سورس و درین و اثر بدنه شناور در آن‌ها وجود دارد[۲, ۳].

یکی دیگر از معضلات ترانزیستورهای SOI، اثر خود گرمایی است[۴]. ضریب هدایت گرمایی اکسید سیلیکون که به عنوان عایق زیر کانال استفاده می‌شود، پایین است و به همین دلیل، گرمای تولید شده به سختی از ترانزیستور خارج می‌شود[۵]. این امر می‌تواند به کاهش جریان، ترارسانایی و سرعت ترانزیستور منجر شود[۶, ۷].

برای حل مشکل خود گرمایی، استفاده از عایق مدفون با ضریب هدایت گرمایی بالا مانند الماس پیشنهاد شده است[۸, ۹]. الماس گرما را به طور موثرتری از ترانزیستور خارج می‌کند، اما ضریب دی الکتریک آن بیشتر از اکسید سیلیکون است و در نتیجه، خازن‌های پیوندی بزرگتری ایجاد می‌کند[۱۰] .

همچنین ترانزیستورهای SOD[۱] نیز با اثرات کانال کوتاه مواجه هستند. برای حل این مشکل، ترانزیستورهای سیلیکون روی الماس با عایق دولایه (Double-Insulating SOD) معرفی شده‌اند[۱۱, ۱۲]. در این ساختار، از دو لایه عایق مدفون استفاده می‌شود: اکسید سیلیکون زیر کانال و الماس زیر اکسید سیلیکون. این ادوات با استفاده از مزایای هر دو الماس و اکسید سیلیکون، راه حلی برای این مشکلات ارائه می‌دهند[۱۱, ۱۲].

در این نوع ترانزیستورها، از یک لایه اکسید سیلیکون نازک زیر کانال و از الماس به عنوان عایق زیرین استفاده می‌شود[۱۳]. این ساختار، خازن‌های پیوندی کوچک و اتلاف گرمایی پایینی را به ارمغان می‌آورد (شکل ۱)[۱۴, ۱۵].



شکل (۱): ساختار ماسفت سیلیکون روی الماس با عایق دولایه بدنه فوق نازک[۱۴]

یکی از قسمت‌های مهم این افزاره، ناحیه کاشت یونی در هر دو طرف سورس و درین می‌باشد که تأثیر آن بر روی مقامت سورس و درین و درنتیجه جریان افزاره، غیرقابل‌انکار است[۱۶]. مزایای افزاره سیلیکون بر روی الماس دو لایه عایق و اهمیت مبحث جریان بهینه درین در یک افزاره، تحقیق در مورد این موضوع را به امری مهم بدل می‌کند تا بتوان به یک ناحیه بهینه برای منطقه‌ی کاشت یونی در افزاره سیلیکون بر روی الماس دو لایه عایق با طول کانال ۲۲ نانو متر دست یافت. با تنظیم پروفایل کاشت، می‌توان بهینه‌سازی در مقاومت کانال و افزایش جریان درین را به دست آورد[۱۷, ۱۸].

تاکنون مطالعات متعددی بر روی ترانزیستورهای سیلیکون بر روی الماس با عایق دولایه انجام شده است، اما تمرکز اصلی این مطالعات بر روی اثرات الکتریکی و اتلاف گرمایی این ترانزیستورها بوده است[۱۱, ۱۴, ۱۹-۲۱]. در این تحقیق، به بررسی اثر کاشت یونی سورس/درین بر مقاومت کانال در این افزاره‌ها به کمک ابزار شبیه سازی خواهیم پرداخت[۱۷, ۲۲].

نتایج این تحقیق می‌تواند به درک بهتر سازوکارهای حاکم بر جریان ترانزیستورهای SOD با عایق دولایه و همچنین بهینه‌سازی طراحی این ترانزیستورها برای کاربردهای مختلف کمک کند. با توجه به اهمیت موضوع و کمبود تحقیقات در این زمینه، این تحقیق می‌تواند گامی مهم در جهت توسعه این ادوات باشد.

۲- ناحیه کاشت یونی در افزاره‌های نیمه‌رسانا

در افزاره‌های نیمه‌رسانا، ناحیه کاشت یونی سورس و درین (Source and Drain Ion Implantation Region) ناحیه‌ای از زیرلایه است که یون‌های حامل بار به آن تزریق می‌شوند تا حامل‌های آزاد بیشتری در آن ایجاد شود. این ناحیه‌ها در عملکرد افزاره نقش مهمی دارند و به عنوان نقاط ورود و خروج جریان در این ادوات عمل می‌کنند.

مراحل ایجاد ناحیه کاشت یونی شامل پوشش زیرلایه با اکسید، تزریق یون‌های حامل بار و برداشتن لایه اکسید است. در ابتدا، زیرلایه با لایه نازکی از اکسید پوشانده می‌شود تا زیرلایه محافظت شود. سپس یون‌های حامل بار به زیرلایه تزریق می‌شوند تا حامل‌های آزاد بیشتری در زیرلایه ایجاد شود. در نهایت لایه اکسید برداشته می‌شود تا ناحیه کاشت یونی آماده استفاده شود[۲۳].

نوع یون‌های تزریقی به زیرلایه به جنس لایه مذکور و نوع افزاره مورد نظر بستگی دارد. به عنوان مثال، در افزاره‌های سیلیکونی از یون‌های بور برای تزریق حامل‌های مثبت (حفره ها) و از یون‌های فسفر برای تزریق حامل‌های منفی (الکترون ها) استفاده می‌شود.

در این ناحیه، غلظت یون‌های تزریقی با مقدار حامل‌های آزاد ایجاد شده در ناحیه کاشت یونی رابطه مستقیم دارد. غلظت یون‌های تزریقی معمولاً بین 10^{15} تا 10^{18} اتم در سانتی‌متر مکعب است. عمق این ناحیه نیز به انرژی یون‌های تزریقی بستگی دارد و معمولاً بین ۱۰۰ تا ۱۰۰۰ نانومتر است [۲۴].

[Downloaded from jiaeee.com on 2026-11-16]

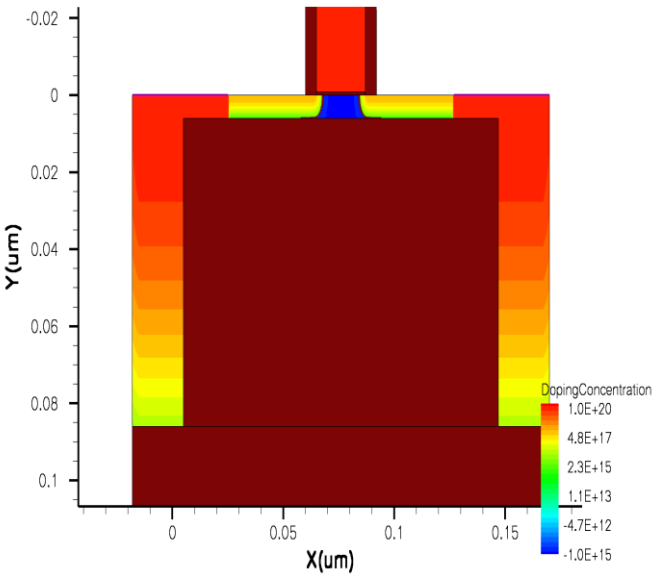
[DOI: 10.61186/jiaeee.22.1.49]

ناحیه کاشت یونی تأثیرات زیادی بر عملکرد افزاره دارد، از جمله تغییر مقاومت سورس و درین که به افزایش سرعت انتقال جریان کمک می‌کند. همچنین، این ناحیه بر مقدار جریان نشتی در افزاره تأثیر می‌گذارد.

۲-۱- بررسی ناحیه سورس و درین در افزارهای سیلیکون بر روی الماس دو لایه

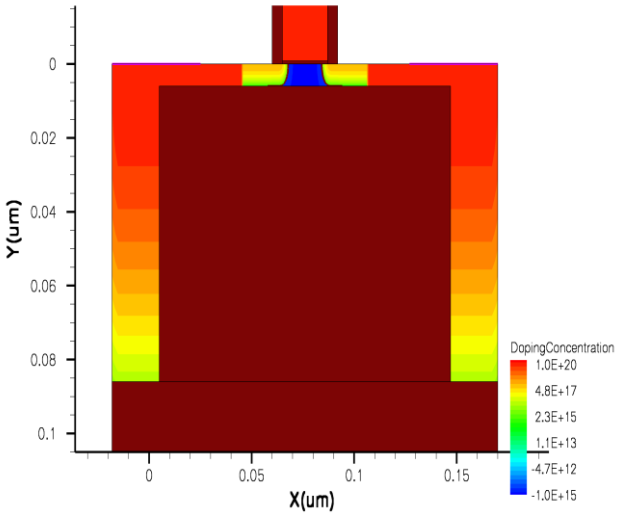
جهت بررسی مقاومت سورس و درین در افزارهای سیلیکون بر روی الماس دو لایه، ابتدا سه حالت اصلی که ناحیه کاشت یونی در افزارهای سیلیکون بر روی الماس دو لایه عایق می‌تواند اتخاذ کند، جهت سهولت تحلیل در مراحل آتی مورد بررسی و تحلیل قرار می‌گیرد.

در حالت صفر ، که ناحیه کاشت یونی برابر با ۴۳ نانومتر می‌باشد، را به عنوان ناحیه صفر نام‌گذاری می‌کنیم و همچنین ابعاد این ناحیه را به عنوان ابعاد مرجع افزاره خود در نظر می‌گیریم. (شکل ۲)

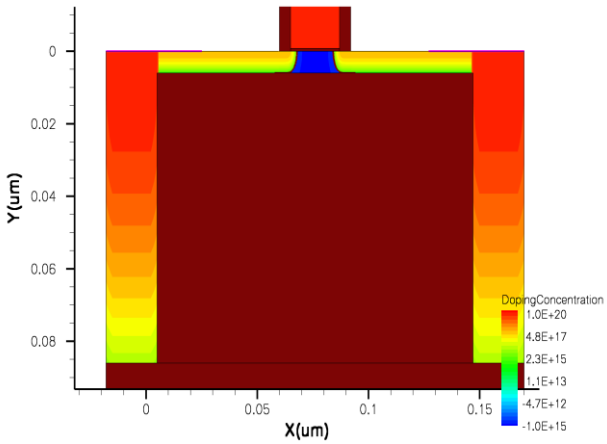


شکل (۲): افزاره‌ی سیلیکون بر روی الماس دو لایه عایق با ابعاد ناحیه یونی صفر

در حالت کمینه ، ناحیه کاشت یونی که بیست نانومتر کوچکتر از ناحیه صفر است را حالت کمینه و در حالت بیشینه، ناحیه کاشت یونی که بیست نانومتر بزرگتر از ناحیه صفر است را حالت بیشینه . (شکل ۳ و ۴)



شکل (۳): افزاره‌ی سیلیکون بر روی الماس دو لایه عایق در حالت کمینه



شکل (۴): افزاره‌ی سیلیکون بر روی الماس دو لایه عایق در حالت بیشینه

۳- نتایج مدل‌سازی و شبیه‌سازی افزاره‌ی سیلیکون روی الماس دو لایه عایق

به منظور بررسی پارامترهای مرتبط با ناحیه کاشت یونی سورس و درین، یک مدل‌سازی دقیق برای افزاره‌ی سیلیکون بر روی الماس دو لایه عایق با استفاده از پارامترهای مشخص مطابق جدول (۱) و با استفاده از ابزار شبیه‌سازی [۲۵] انجام شده است. در این مدل‌سازی، پارامترهایی همچون ولتاژ و جریان درین، مقاومت سورس و درین در ابعاد مختلف ناحیه کاشت یونی افزاره‌ی سیلیکون بر روی الماس دو لایه عایق محاسبه شده است.

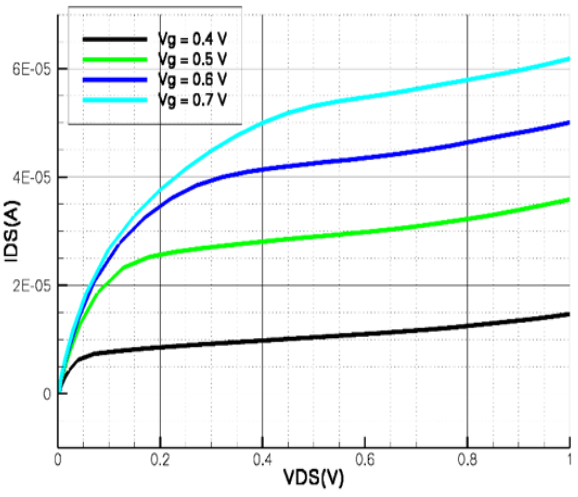
[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]

جدول (۱): جدول مشخصات فیزیکی ماسفت پیشنهادی

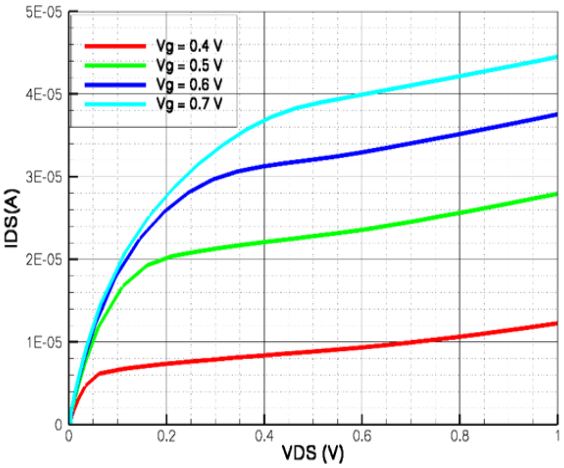
مقدار	پارامتر	نماد
۲۲nm	طول کانال	L
۵ nm	ضخامت فیلم سیلیکونی	t_{si}
۱/۲ nm	ضخامت عایق گیت	t_{ox}
۱۶۰ nm	ضخامت عایق مدفون سیلیکونی	t_{sil}
۱۳۵ nm	طول عایق مدفون سیلیکونی	L_{SIL}
۲۰۰ nm	ضخامت عایق مدفون الماس	$T_{Diamond}$
۱۹۲ nm	طول ساختار	T
۱۹۲ nm	طول عایق مدفون الماس	$L_{Diamond}$
10^{15} cm^{-3}	میزان دوپینگ کانال	N_A
10^{20} cm^{-3}	میزان دوپینگ سورس و درین	N_{S-D}
۳۰۰ K	درجه حرارت	T

شکل ۵ تغییرات ولتاژ درین-سورس (VDS) را در مقابل جریان درین (IDS) برای حالت صفر نشان می‌دهد. با افزایش VDS، IDS نیز افزایش می‌یابد. این افزایش در تمام مقادیر ولتاژ گیت (VGS) بین ۰,۴ تا ۰,۷ ولت مشاهده می‌شود. با رسیدن به ناحیه اشباع، افزایش IDS با افزایش VDS کاهش می‌یابد. ولتاژ آستانه (Vth) برای ورود به ناحیه اشباع بین ۰,۰۵ تا ۰,۴ ولت VDS متغیر است. لازم به ذکر است که منحنی‌های IDS-VDS برای مقادیر مختلف VGS شیب‌های متفاوتی دارند که نشان‌دهنده رسانایی (gm) ترانزیستور است. با افزایش VGS، gm نیز افزایش می‌یابد همچنین در مقادیر کم VDS، ناحیه تریود (خطی) مشاهده می‌شود که در آن IDS با VDS به صورت خطی افزایش می‌یابد. ولتاژ آستانه با افزایش VGS کاهش



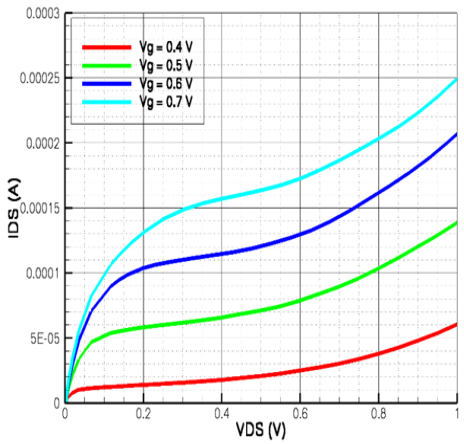
شکل (۵): تغییرات ولتاژ درین-سورس نسبت به جریان درین برای حالت صفر افزاره

شکل ۶ تغییرات VDS را در مقابل IDS برای حالت بیشینه نشان می‌دهد. با بزرگتر شدن ناحیه کاشت یونی، IDS به طور چشمگیری کاهش می‌یابد، اما ولتاژ آستانه و ولتاژ اشباع تقریباً ثابت می‌مانند. دلیل این امر افزایش مقاومت کانال و کاهش تحرک حامل‌های بار به دلیل ناخالصی‌های بیشتر است. این امر سرعت ترانزیستور را کاهش و توان مصرفی را افزایش می‌دهد.



شکل (۶): تغییرات ولتاژ درین-سورس نسبت به جریان درین برای حالت بیشینه افزاره

شکل ۷ تغییرات VDS را در مقابل IDS برای حالت کمینه نشان می‌دهد. در این حالت، IDS به شدت افزایش یافته و به ۰,۴ ولت VDS محدود شده است. همچنین، ناحیه اشباع به ولتاژهای پایین‌تر VDS (بین ۰,۰۵ تا ۰,۲ ولت) منتقل شده است . که دلیل آن را می‌توان کاهش مقاومت کانال و افزایش تحرک حامل‌های بار دانست.

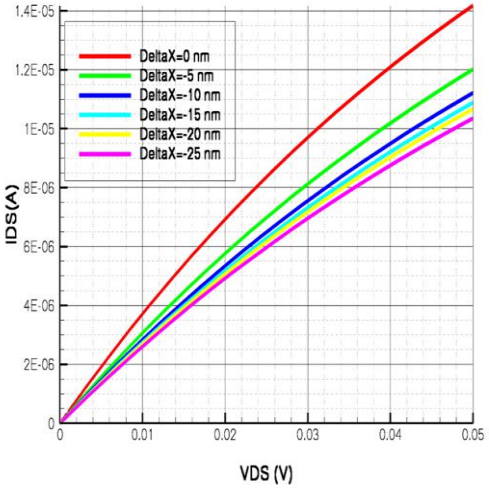


شکل (۷): تغییرات ولتاژ درین-سورس نسبت به جریان درین برای حالت کمینه افزاره

[Downloaded from jiaeee.com on 2026-11-16]

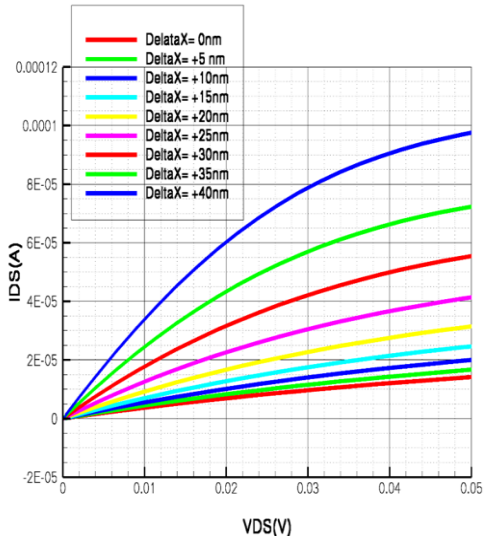
[DOI: 10.61186/jiaeee.22.1.49]

شکل ۸ تغییرات IDS را در مقابل VDS برای مقادیر مختلف ناحیه کاشت یونی (از ۰ تا ۲۵ نانومتر بیشتر از ناحیه صفر) نشان می‌دهد. با افزایش این ناحیه، شاهد کاهش چشمگیر IDS به دلیل افزایش مقاومت کانال و کاهش تحرک حامل‌های بار هستیم. در این حالت ولتاژ آستانه تقریباً ثابت می‌ماند، اما شیب منحنی‌ها (gm) و به تبع آن، سرعت ترانزیستور کاهش می‌یابد. این امر اتلاف توان را در ترانزیستور افزایش می‌دهد.



شکل (۸): نمودار تغییرات جریان درین سورس نسبت به ولتاژ درین-سورس در مقادیر که ناحیه کاشت یونی بین ۰ تا ۲۵ نانومتر از ناحیه صفر بزرگتر است

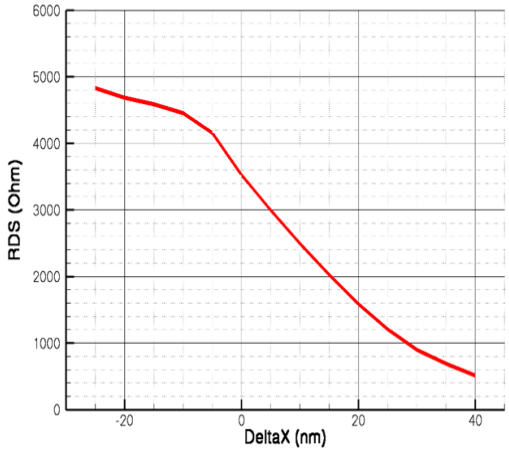
همچنین، شکل ۹ نتایج حاصل از شبیه‌سازی جریان درین سورس نسبت به ولتاژ درین-سورس را در مقادیر که ناحیه کاشت یونی بین ۰ تا ۴۰ نانومتر از ناحیه صفر کوچک‌تر است نشان می‌دهد.



شکل (۹): نمودار تغییرات جریان درین سورس نسبت به ولتاژ درین-سورس در مقادیر که ناحیه کاشت یونی بین ۰ تا ۴۰ نانومتر از ناحیه صفر کوچکتر است

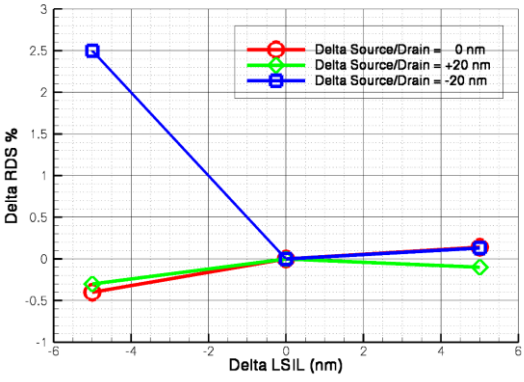
همان طور که از شکل ۹ مشاهده می‌شود با کاهش ناحیه کاشت یونی، مقدار جریان درین افزایش می‌یابد.

در شکل ۱۰، تغییرات مقاومت سورس و درین نسبت به تغییرات ناحیه کاشت یونی آمده است. مشاهده می‌شود که این مقاومت‌ها در نقطه‌ای که ناحیه کاشت یونی ۴۰ نانومتر از حالت صفر کوچکتر است، در کمترین حالت خود قرار دارند. با افزایش طول این ناحیه تا نقطه‌ای که طول آن ۱۰ نانومتر از ناحیه صفر بزرگتر شود، این افزایش به صورت چشمگیری افزایش می‌یابد. پس از این نقطه، این روند به شکل چشمگیری کاهش می‌یابد.



شکل (۱۰): نمودار تغییرات جریان درین سورس نسبت به ولتاژ درین-سورس در مقادیر که ناحیه کاشت یونی بین ۰ تا ۴۰ نانومتر از ناحیه صفر کوچکتر است

در تصویر ۱۱، یک مقایسه دیگر در این موضوع صورت پذیرفته است. در این نمودار، روند تغییرات مقاومت سورس و درین نسبت به تغییرات طول عایق اکسید دفن شده در سه حالت بیشینه، کمینه و صفر نشان داده شده است. مشاهده می‌شود که مقاومت سورس و درین در حالت‌های صفر و کمینه با افزایش طول عایق، افزایش می‌یابد، اما این روند برای حالت بیشینه ابتدا کاهشی و سپس افزایشی می‌باشد.



[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]

شکل (۱۱): نمودار تغییرات مقاومت سورس و درین نسبت به تغییرات طول عایق اکسید دفن شده در سه حالت بیشینه و کمینه و صفر

جدول (۲): جدول نتایج مقایسه

متغییر اول	متغییر دوم	نوع رابطه
طول ناحیه کاشت یونی سورس و درین	مقاومت سورس و درین	مستقیم
طول ناحیه کاشت یونی سورس و درین	جریان درین	غیر مستقیم
طول ناحیه کاشت یونی سورس و درین	رسانایی سورس و درین	غیر مستقیم

۴- نتیجه‌گیری

در این مقاله، اثر ناحیه کاشت یونی سورس و درین بر روی مقاومت سورس و درین و جریان درین در ترانزیستورهای سیلیکون روی الماس با عایق دولایه با طول کانال ۲۲ نانومتر مورد بررسی قرار گرفت.

نتایج شبیه‌سازی نشان می‌دهد که:

جریان درین با افزایش ناحیه کاشت یونی سورس و درین به شدت کاهش می‌یابد.

ناحیه اشباع با افزایش ناحیه کاشت یونی به سمت ولتاژهای درین-سورس پایین‌تر انتقال می‌یابد.

مقاومت سورس و درین در نقطه‌ای که ناحیه کاشت یونی ۴۰ نانومتر از حالت صفر کوچکتر است، در کمترین حالت خود قرار دارند.

با افزایش طول عایق اکسید دفن شده، مقاومت سورس و درین در حالت‌های صفر و کمینه افزایش می‌یابد، اما این روند برای حالت بیشینه ابتدا کاهشی و سپس افزایشی می‌باشد.

با توجه به داده‌های به دست آمده، می‌توان نتیجه گرفت که برای بهینه‌سازی جریان درین و مقاومت سورس و درین در ترانزیستورهای سیلیکون روی الماس با عایق دولایه، باید از یک ناحیه کاشت یونی با ابعاد مناسب استفاده کرد.

ابعاد بهینه این ناحیه به عوامل مختلفی مانند طول کانال، ضخامت عایق‌ها و ولتاژ کاری ترانزیستور بستگی دارد.

مطالعات بیشتر در این زمینه می‌تواند به طراحی ترانزیستورهای با کارایی بالا و مصرف انرژی کم منجر شود.

مراجع

[1] J. Ahopelto, et al., NanoElectronics roadmap for Europe: From nanodevices and innovative materials to system integration. Solid-State Electronics, 2019. 155: p. 7-19.

[2] R. Carter, et al. 22nm FDSOI technology for emerging mobile, Internet-of-Things, and RF applications. in 2016 IEEE International Electron Devices Meeting (IEDM). 2016. IEEE.

[3] R. GOSWAMI., and R. Saha, Contemporary Trends in Semiconductor Devices. 2022: Springer.

[4] J.-P. Mazellier, et al. First demonstration of heat dissipation improvement in CMOS technology using Silicon-On-Diamond (SOD) substrates. in 2009 IEEE International SOI Conference. 2009. IEEE.

[5] W. Zhu, G. Zheng, S. Cao, and H. He, Thermal conductivity of amorphous SiO2 thin film: A molecular dynamics study. Scientific reports, 2018. 8(1): p. 10537.

[6] S. Makovejev, et al., Comparison of self-heating and its effect on analogue performance in 28 nm bulk and FDSOI. Solid-State Electronics, 2016. 115: p. 219-224.

[7] A. Halder, et al., Heat sink implementation in back-end of line for self-heating reduction in 22 nm FDSOI MOSFETs. Solid-State Electronics, 2021. 184: p. 108088.

[8] M. Rabarot, et al., Silicon-On-Diamond layer integration by wafer bonding technology. Diamond and related materials, 2010. 19(7-9): p. 796-805.

[9] K. Raleva, D. Vasileska, and S.M. Goodnick, Is SOD technology the solution to heating problems in SOI devices? IEEE Electron Device Letters, 2008. 29(6): p. 621-624.

[10] A. Dadkhah, D.A., A Novel Capacitance Model to Compute Front- and Back-Gate Threshold Voltage of Double Insulating Silicon-on-Diamond MOSFET. Journal of Iranian Association of Electrical and Electronics Engineers, 2024. 21 (1) :39-45 URL: http://jiaeee.com/article-1-1454-en.html.

[11] A. Daghighi, "A novel structure to improve DIBL in fully-depleted silicon-on-diamond substrate". Diamond and related materials, 2013. 40: p. 51-55.

[12] A. Daghighi, Double insulating silicon on diamond device. 2015, Google Patents.

[13] M. HeidarZadeh, A. Daghighi, and Z. Sepehri, An Analytical Computation of Threshold Voltage for Ultra-Thin Double Insulating Silicon-on-Diamond MOSFET. Journal of Iranian Association of Electrical and Electronics Engineers, 2024. 21(1): p. 17-25.

[14] A. Daghighi, and A. Dadkhah, A capacitance model for threshold voltage computation of double-insulating fully-depleted silicon-on-diamond MOSFET. The European Physical Journal Plus, 2023. 138(12): p. 1-10.

[15] Z. Sepehri, and A. Daghighi, Analytical Threshold Voltage Computations for 22 nm Silicon-on-Diamond MOSFET Incorporating a Second Oxide Layer. Journal of Iranian Association of Electrical and Electronics Engineers, 2019. 16(2): p. 57-64.

[16] P.J. Tasker, and B. Hughes, Importance of source and drain resistance to the maximum f/sub T/of millimeter-wave MODFETs. IEEE Electron Device Letters, 1989. 10(7): p. 291-293.

[17] M.J. van Dal, et al., Ion implantation for low-resistive source/drain contacts in FinFET devices. MRS Online Proceedings Library (OPL), 2008. 1070: p. 1070-E02-01.

[18] F. Roccaforte, F. Giannazzo, and G. Greco. Ion implantation doping in silicon carbide and gallium nitride electronic devices. in Micro. 2022. MDPI.

[19] Z. HOSEINI, and A. DAGHIGHI, Investigation And Simulation Of The Effect Of Substrate Doping On The Switching Delay Of 22Nm Double-Insulating Utbb Soi Mosfet. 2021.

[20] A. Daghighi, J. Hoseini-Teshnizi, and G. Amini, A Novel Silicon on Diamond Structure to Improve Drain

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]

Induced Barrier Lowering. Majlesi Journal of Electrical Engineering, 2013. 7(1).
[21] A. Daghighi, and A. Dadkhah, A capacitance model for threshold voltage computation of double-insulating fully-depleted silicon-on-diamond MOSFET. The European Physical Journal Plus, 2023. 138(12): p. 1129.
[22] M. Ekström, and C.-M. Zetterling, Self-aligned contacts to ion implanted S/D regions in 4H-SiC. Materials Science in Semiconductor Processing, 2023. 168: p. 107849.
[23] K.F. Brennan, Theory of modern electronic semiconductor devices. 2002.
[24] R.S. Shenoy, and K.C. Saraswat, Optimization of extrinsic source/drain resistance in ultrathin body double-gate FETs. IEEE transactions on nanotechnology, 2003. 2(4): p. 265-270.
[25] DESSIS, I.I.S.E., Version 10.0, 2004.

زیرنویس‌ها

[1] Silicon-on-Diamond

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.49]