# حلقهٔ قفل تأخیر پهن باند با پمپ بار خودتنظیم و بدون مشکل عدم تطبیق

**مریم معاضدی[۱]  سید ادیب ابریشمی‌فر[۲]**

۱- دانشجوی کارشناسی ارشد - دانشگاه آزاد اسلامی واحد اردبیل- باشگاه پژوهشگران جوان- اردبیل- ایران
moazedi@elec.iust.ac.ir
۲- استادیار- دانشکده مهندسی برق- دانشگاه علم و صنعت ایران - تهران- ایران
abishamifar@iust.ac.ir

**چکیده: برای داشتن نرخ داده با پهنای‌باند وسیع بین قطعات الکترونیکی نیاز به استفاده از تکنولوژی پیشرفتهٔ مدیریت کلاک مانند حلقهٔ قفل تأخیر (DLL[۱]) می‌باشد. با استفاده از DLL می‌توان هم‌زمانی دقیقی بین سیگنال‌های کلاک داخلی و خارجی ایجاد کرد. در این مقاله، یک DLL مناسب برای سیستم‌های واسطهٔ سرعت بالا در حافظه‌ها و I/Oها با استفاد از ترکیب مدارهای دیجیتال و آنالوگ، طراحی و سپس با استفاده از نرم‌افزار ADS 2008 بر مبنای تکنولوژی TSMC CMOSRF۰/۱۸ µm و ولتاژ تغذیهٔ ۱/۸ ولت در سطح ترانزیستور شبیه‌سازی شده است. در طراحی آن روش قفل با دو دورهٔ تناوب برای افزایش بازهٔ فرکانس ورودی خط تأخیر به کار رفته است. علاوه برآن مدار جدیدی برای بلوک پمپ بار[۲] معرفی شده است که به کمک آن مشکل عدم تطبیق جریان‌ها حل شده و در نتیجه جیتر و خطای فاز استاتیکی در حد مطلوبی کاهش یافته است. در نهایت حلقهٔ قفل تأخیری با پهنای باند مفید ۵۴۰MHz و جیتر مؤثر ۴/۱psec در ۸۲۰MHz حاصل شده است، که در آن اتلاف توان نیز کاهش قابل توجهی پیدا کرده است، به طوری‌که توان مصرفی حلقه در فرکانس ۸۲۰MHz برابر ۴/۱۳ mW می‌باشد.**

**کلمات کلیدی: حلقهٔ قفل تأخیر، پمپ بار، مدار تشخیص‌دهندهٔ فاز، جیتر، پهنای باند.**

**تاریخ ارسال مقاله** : ۱۳۹۰/۰۴/۰۳
**تاریخ پذیرش مقاله** : ۱۳۹۰/۱۲/۱۵
**نام نویسندهٔ مسئول** : مریم معاضدی
**نشانی نویسندهٔ مسئول** : ایران – تهران – خیابان هنگام – دانشگاه علم و صنعت ایران – دانشکدهٔ برق



[ Downloaded from jiaeee.com on 2026-11-13 ]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.9- No.1- Spring & Summer 2012

## ۱- مقدمه

امروزه DLLها از ابزارهای هم‌زمان‌سازی و کاهش انحراف و جیتر در شبکه‌های کلاک محسوب می‌شوند و به طور گسترده در زمینه‌های مختلفی از جمله مدارهای BIST[۳]، سنتزکننده‌های فرکانسی، شبکه‌های توزیع کلاک، مبدل‌های زمان/دیجیتال، سیستم‌های واسطهٔ سرعت بالا در حافظه‌ها و I/Oها [۱] کاربرد دارد. هر یک از DLLهای آنالوگ و دیجیتال محدودیت‌هایی دارند که در صورت استفاده از DLL آنالوگ یا دیجیتال تنها نمی‌توان کلاک با کیفیت بالا داشت. یکی از این ایده‌های مطرح شده برای رسیدن به کارآیی مطلوب، استفادهٔ ترکیبی از مدارهای آنالوگ و دیجیتال در یک سیستم می‌باشد[۲-۴]. مدارهای ترکیبی ابتدایی از دو حلقهٔ دیجیتال و آنالوگ در یک سیستم تشکیل می‌شدند، که در آن ساختار دیجیتال برای تنظیم دانه درشت به کار می‌رود و سپس با استفاده از حلقهٔ آنالوگ قفل ریز یا دقیق به طور کامل انجام می‌شود. این روش امکان قفل دقیق در بازهٔ فرکانسی وسیع را فراهم می‌آورد. زمان قفل آن نسبت به مدارهای آنالوگ تنها کاهش می‌یابد. اما سطح و توان مصرفی به شدت افزایش می‌یابد و چون سیگنال از دو حلقه عبور می‌کند جیتر نیز بیش‌تر می‌شود [۱].

بعدها DLLهای ترکیبی تک حلقه معرفی شدند که در آن‌ها برای داشتن خروجی چندفازی، حلقهٔ پایه از نوع آنالوگ انتخاب و به کمک یک یا چند بلوک اضافی دیجیتالی نقاط ضعف حلقه برطرف می‌شود. دو نمونهٔ متداول بلوک اضافه، مدار تشخیص قفل[۴][۵] و مدار راه‌انداز کنترل‌شده با سیگنال شروع[۵] [۶] هستند. مدارهای تشخیص قفل نیاز به دورهٔ کارکرد ۵۰٪ دارند که این مسئله طراحی را با مشکل مواجه می‌کند. مدار راه‌انداز خط تأخیر را در حداقل مقدار خود تنظیم می‌کند تا از قفل هارمونیکی جلوگیری شود. این روش نسبت به روش‌های دیگر ساده‌تر بوده و سطح و توان مصرفی کم‌تری مصرف می‌کند. هم‌چنین نیاز نیست دورهٔ کارکرد کلاک ۵۰٪ باشد و محدودیتی از لحاظ فرکانس عملیاتی برای حلقه ایجاد نمی‌کند.

در مدار کنترلی DLLهای چندفازی معمولاً از PFD[۶] و CP به همراه خازن استفاده می‌شود. مشخصه‌های مطلوب برای PFD عبارتند از خطینگی، سرعت بالا و بازهٔ تشخیص وسیع. هم‌چنین PFD سه حالته با DFFهای دینامیک در مقایسه با انواع دیگر آن کارآیی بهتری دارد. مشکل این ساختار وجود ناحیهٔ کور[۷][۷] در منحنی انتقال آن است که علاوه بر کاهش بازهٔ تشخیص و محدود کردن فرکانس کاری آن باعث می‌شود جریان‌های خروجی CP ($I_{UP}$ و $I_{DN}$) متناسب با زمان آن به طور هم‌زمان در مدار خروجی CP جاری باشند. هرگونه اختلافی بین این دو جریان منجر به تولید جیتر در سیگنال خروجی و نوسان ولتاژ خروجی CP می‌شود. با توجه به عدم تطبیق ذاتی ترانزیستورهای PMOS و NMOS این کار به راحتی امکان پذیر نیست [۸]. از این رو کاهش ناحیهٔ مرده در PFD و افزایش میزان تطبیق $I_{UP}$ و $I_{DN}$ از مهم‌ترین چالش‌های موجود در طراحی مدار کنترلی خط تأخیر هستند. در این مقاله از مدارکنترل‌شده با سیگنال شروع و ادغام شده با بلوک PFD، به همراه تکنیک قفل با دو دورهٔ تناوب [۹] برای غلبه بر محدودیت فرکانسی DLLهای آنالوگ استفاده و در عین حال با معرفی مدار جدید برایCP مشکل عدم تطبیق برطرف شده است. در ادامه ابتدا بلوک دیاگرام کلی حلقه معرفی و سپس مدارهای داخلی آن توضیح داده می‌شود، در نهایت نتایج شبیه‌سازی بیان و با چند نمونه از ساختارهای قبلی مقایسه شده است.

## ۲- بلوک دیاگرام

بلوک دیاگرام ساختار مورد نظر برای DLL پیشنهادی در شکل (۱) نشان داده شده است. مدار شامل یک خط تأخیر چندفازی، پنج تسهیم‌کنندهٔ ۲ به ۱، PFD فعال شونده با سیگنال شروع (SCPFD)، CP با کلیدزنی در پایهٔ سورس، دو مدار مقسم به همراه دو انتخاب‌گر و فیلتر خروجی می‌باشد. برای افزایش پهنای باند DLL روش قفل با دورهٔ تناوب قابل انتخاب [۹] استفاده شده است. به این ترتیب که بازهٔ فرکانسی DLL توسط سیگنال HF به دو قسمت فرکانس بالا و فرکانس پایین تقسیم می‌شود. در صورتی که مقدار سیگنال HF صفر شود، حلقه در حالت فرکانس پایین قرار می‌گیرد و مانند DLL معمولی عمل می‌کند و اگر مقدار آن یک شود، در حالت فرکانس بالا قرار می‌گیرد و مدارهای مقسم سیگنال ورودی و خروجی خط تأخیر را قبل از اعمال به مدار فیدبک در حلقه تقسیم بر دو می‌کنند. به این ترتیب حلقه در نصف فرکانس ورودی قفل می‌شود، به عبارت دیگر دورهٔ تناوب خط تأخیر دو برابر می‌شود.

در حالت‌های HF=0 و HF=1 فازهای خروجی پنج سلول تأخیر به ترتیب با روابط (۱) و (۲) برابر خواهد بود:

$$\frac{1}{5}T_{REF},\frac{2}{5}T_{REF},\frac{3}{5}T_{REF},\frac{4}{5}T_{REF},\frac{5}{5}T_{REF} \qquad (۱)$$

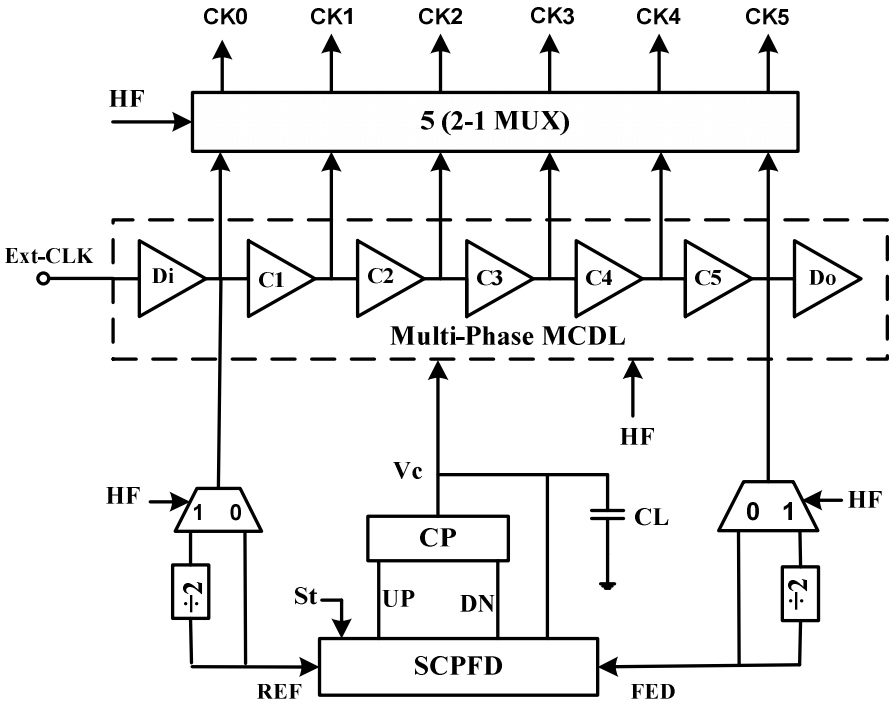
$$\frac{2}{5}T_{REF},\frac{4}{5}T_{REF},\frac{1}{5}T_{REF},\frac{3}{5}T_{REF},\frac{5}{5}T_{REF} \qquad (۲)$$

هر چند یکنواختی نسبت فاز بین سلول‌های تأخیر حفظ نشده است، اما هنوز ویژگی چندفازی برقرار می‌باشد. برای داشتن خروجی یکنواخت در هر دو حالت فرکانس بالا و پایین، از پنج تسهیم‌کنندهٔ ۲ به ۱ استفاده شده است. روابط (۳) و (۴) گسترهٔ فرکانسی مفید DLL را به ترتیب برای عملکرد فرکانس پایین و بالا نشان می‌دهند.

$$F_{ref\,(max)} - F_{ref\,(min)} = \frac{1}{T_{d,min}} - \frac{1}{T_{d,max}},\ HF = 0 \qquad (۳)$$



[ Downloaded from jiaeee.com on 2026-11-13 ]




**شکل(۱): بلوک دیاگرام DLL ارائه شده**

$$F_{ref\,(max)} - F_{ref\,(min)} = 2\left(\frac{1}{T_{d,min}} - \frac{1}{T_{d,max}}\right), \text{HF} = 1 \qquad (۴)$$

کـه در آن‌هـا Fref(max) فرکـانس ورودی حـداکثر و Fref(min) فرکانس ورودی حداقل می‌باشد. مشاهده می‌شود کـه بـا اعمـال مـدار تقسیم‌کننده، گسترهٔ فرکانسی ورودی دو برابر افزایش پیدا کرده است، اما در مقابل اندازهٔ خط تأخیر نیز دو برابر می‌شود که منجر به افـزایش توان مصرفی و تضعیف کارآیی جیتر خروجی می‌شود. از ایـن رو فقـط برای حدود فرکانس بالا تقسیم بر دو اعمال می‌شود.

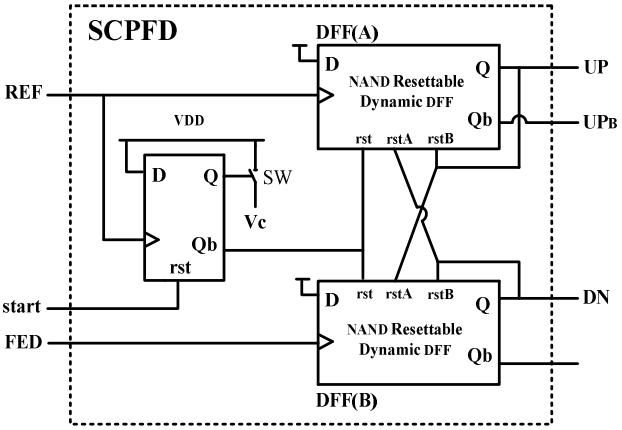
## ۳- بلوک SCPFD

همان‌طور که اشاره شد، به دلیل کارآیی بـالایی کـه دارد، PFD مورد استفاده، PFD سه حالته با دو DFF دینامیکی ساده شده اسـت که بازهٔ تشخیص آن $\pm 4\pi$ است، که در آن سـیگنال‌هـای *UP* و *DN* حتی در اختلاف فاز صفر به مدت کوتاهی فعال هستند. در شرایط قفل که سیگنال‌های ورودی مانند هم هستند، در اثـر آن عـلاوه بـر ایجـاد ناحیهٔ کور و کاهش بازهٔ فرکانسی, نیاز به تطبیق بـالا در CP شـدیدتر می‌شود. چون اگر جریان $I_{UP}$ و $I_{DN}$ ناشی از پالس‌های کوتاه در حالت قفل یکسان نباشد ولتاژ خروجی CP در حالت قفل نوسان می‌کنـد. در صورتی‌که PFD سه حالته به تنهایی در مدار استفاده شـود، بـه هنگـام راه‌اندازی مدار، امکان این‌که در هر یک از سه حالت باشد وجود دارد و در نتیجه احتمال قفل اشتباه در آن زیاد است. وظیفهٔ مدار کنترل شده با شروع در واقع تنظیم اولیهٔ PFD است. هدف دیگر مدار کنترل شده با سیگنال شروع تنظیم اولیهٔ خط تأخیر در حداقل مقدار خـود اسـت؛ این کار هم‌چنین باعث می‌شود تا وقتـی ورودی موجـود نباشـد حلقـه عمل نکند. زیرا ممکن است در اثر سیگنال‌های ناخواسته و نویز محیط به اشتباه تحریک شده و قفـل هـارمونیکی رخ دهـد. در صـورتی‌کـه از DFF قابل بازنشانی استفاده شود مدار کنترل شده با سیگنال شـروع و PFD قابل ادغام است. شکل(۲) مدار PFD کنترل شـده بـا سـیگنال شروع (SCPFD) پیشنهادی را نشان می‌دهد که تا حد زیادی مشـابه [۱۰] است. با این تفاوت که در ایـن مـدار، چـون از پایـهٔ D در DFF استفاده نشده است امکان استفاده از DFF بهبود یافته (شکل (۳)) در آن وجود دارد، در نتیجه مدار ساده‌تر شده و تعداد ترانزیستورها کاهش یافته و به این ترتیب در سطح و توان مصرفی صرفه جویی شده اسـت. عملکرد آن به طور خلاصه به این ترتیب است:

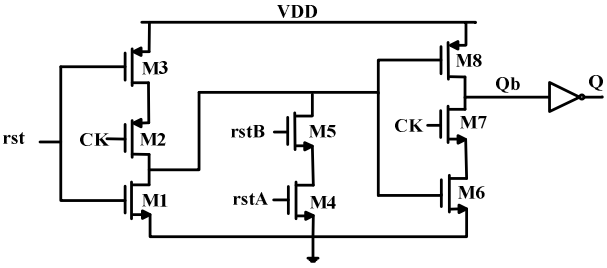
تا وقتی سیگنال شروع صفر است، کلید SW روشن است و خـازن فیلتر حلقه تا VDD شارژ مـی‌شـود. بـا یـک شـدن سـیگنال شـروع، DFFA از حالت بازنشانی خارج می‌شود، امـا تـا زمـانی کـه سـیگنال ورودی اعمال نشده است حلقه هنوز در وضعیت بازنشانی قرار دارد. بـا نخستین لبه بالارونده *REF*، خروجـی DFF یـک شـده کلیـد SW را

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.9- No.1- Spring & Summer 2012
[ Downloaded from jiaeee.com on 2026-11-13 ]

قطع و DFFA و DFFB را از وضعیت بازنشانی خارج می‌کند، پس از آن با رسیدن نخستین پالس *FED* سیگنال *DN* از PFD فعال شده و تأخیر را افزایش می‌دهد تا به قفل دست یابد.




**شکل(۲): مدار PFD کنترل شده با سیگنال شروع**




**شکل(۳): مدار داخلی NAND Resettable DFF**

## ۴- طراحی CP

به طور کلی مشخصه‌های CP و فیلتر حلقه، نقش تعیین‌کننده‌ای در مشخصه‌های جیتر و زمان ردگیری حلقه دارند و می‌توانند کارآیی حلقه را تحت تأثیر قرار دهند. بنابراین باید توجه زیادی به انتخاب نوع و طراحی آن معطوف کرد. در مدار ارائه شده در این مقاله با جلوگیری از روشن شدن هم‌زمان کلیدهای UP و DN، مشکل عدم تطبیق تا حد زیادی حل شده است. پس از قفل شدن حلقه با وجود این‌که سیگنال‌های *UP* و *DN* در هر دورهٔ تناوب فعال می‌شوند اما جریانی در خروجی CP جاری نمی‌شود. زیرا در آن سیگنال‌های *UP* و *DN* مستقیم به CP اعمال نمی‌شوند، بلکه با استفاده از گیت‌های مناسب در ورودی CP، روشن و خاموش شدن کلیدهای *UP* و *DN* به نحو مناسب کنترل می‌شود. شکل(۴) مدار CP ارائه شده را نشان می‌دهد. با استفاده از تکنیک استفاده شده، نیاز به تطبیق دقیق بین جریان‌های $I_{UP}$ و $I_{DN}$ نیست و می‌توان از آینه جریان‌های ساده در CP استفاده کرد، اما برای این‌که سرعت حلقه در کل بازهٔ عملکرد یکسان باشد و مشخصه‌های آن با تغییر ولتاژ کنترلی تغییر قابل توجهی نکند، از ترانزیستورهای MN3 و MP3 بهره گرفته شدا است تا از کاهش شدید جریان‌های $I_{UP}$ و $I_{DN}$ به ترتیب در $V_C$های نزدیک زمین و تغذیه جلوگیری کنند. به این ترتیب که در $V_C$های نزدیک به زمین، ولتاژ گیت- سورس MP3 افزایش می‌یابد و با تزریق جریان اضافی در MN4 کاهش جریان MN2 را در اثر مدولاسیون طول کانال جبران می‌کند. ترانیستور MP3 نیز در $V_C$های نزدیک VDD عملکرد مشابهی دارد. علاوه بر آن برای این‌که تطبیق بهتری بین جریان‌های خروجی برقرار باشد، از یک منبع جریان مشترک برای CP استفاده شده است. به این ترتیب از منبع اولیه تا هر دو جریان خروجی یک آینه جریان PMOS و یک آینه جریان NMOS وجود دارد. این در حالی است که CPهای معمول از منبع NMOS و آینه جریان PMOS برای $I_{UP}$ و از منبع PMOS و آینه جریان NMOS برای $I_{DN}$ استفاده می‌کنند و از آن‌جا که آینه جریان NMOS نسبت به نوع PMOS مشخصهٔ بهتری دارد معمولاً $I_{DN}$ از $I_{UP}$ بزرگ‌تر است. در شکل(۵) جریان‌های شاخه‌های خروجی مدار CP بر حسب تغییرات $V_C$ نشان داده شده است. همان‌طور که از شکل مشخص است، در بازهٔ ۰/۲ تا ۱/۶ ولت جریان‌های $I_{UP}$ و $I_{DN}$ با تقریب قابل قبولی یکسان می‌باشند، در نتیجه ولتاژ کنترلی خط تأخیر می‌تواند در این بازه تغییر کند. هرچند در مقادیر بزرگ‌تر از ۱/۶ ولت و کوچک‌تر از ۰/۲ ولت هنوز جریان‌های $I_{UP}$ و $I_{DN}$ صفر نیستند، اما سرعت حلقه کاهش قابل توجهی پیدا می‌کند و در نتیجه کارآیی حلقه تضعیف می‌شود. میزان تغییر $V_C$ در هر دورهٔ تناوب متناسب با بهرهٔ خط تأخیر است. در فرکانس‌های پایین، بهره افزایش می‌یابد در نتیجه میزان تغییر $V_C$ به ازای اختلاف فاز ثابت بیش‌تر می‌شود و موجب می‌شود DLL به خطای دیده شده در PFD سریع‌تر از اطلاعات فاز جدید در حلقه پاسخ داده و فیلتر نوسان کند که به عنوان جیتر در خروجی مشاهده می‌شود. از طرفی با کاهش جریان CP زمان قفل و به عبارتی سرعت حلقه کاهش می‌یابد. برای حل این مشکل چنان‌که در شکل (۴) هم دیده می‌شود یک منبع جریان متغیر و یک مدار مقسم ۲ در ورودی کلیدهای UP و DN استفاده شده است. مدار مقسم ۲ بعد از فعال شدن در هر لبهٔ پایین روندهٔ سیگنال *UP* یا *DN* تغییر وضعیت می‌دهد. در نتیجه حلقه از هر دو پالس *UP/DN* یکی را نادیده گرفته و اجازهٔ تغییر وضعیت به $V_C$را نمی‌دهد تا حلقه فرصت پاسخ‌گویی به تغییرات قبلی $V_C$ را پیدا کند. به این ترتیب با کاهش جریان CP و دورهٔ تناوبی که حلقه می‌بیند $W_{DLL}$ کوچک شده و از نوسان حلقه در فرکانس‌های کم جلوگیری شود و در عین حال، سرعت بالای حلقه در فرکانس‌های بالا حفظ شده است.

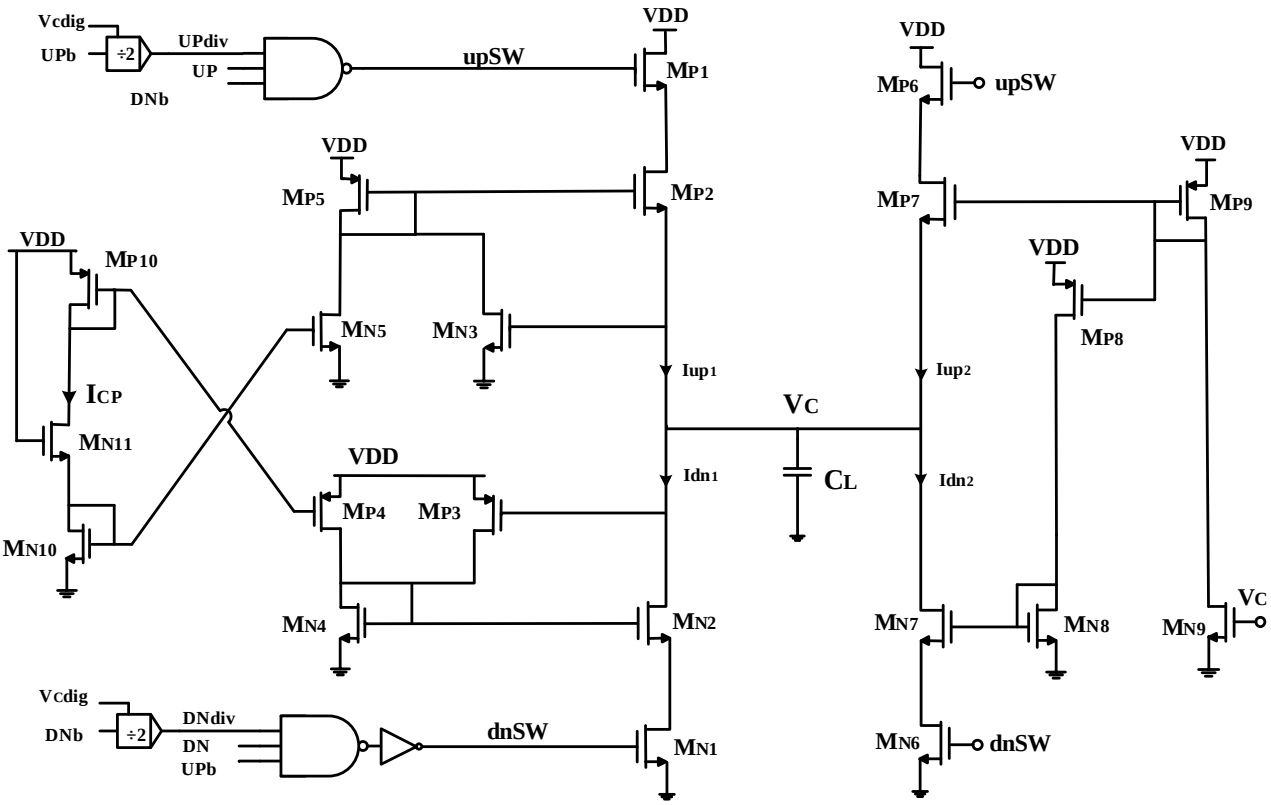



Journal of ssociation of Electrical and Electronics Engineers - Vol.9- No.1 Spring & Summer 2012

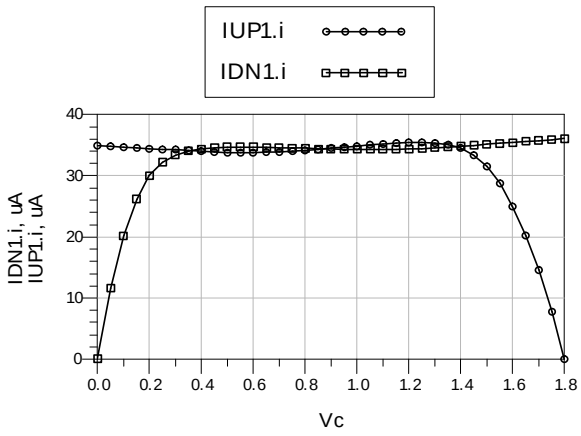
[ Downloaded from jiaeee.com on 2026-11-13 ]

## ۵- نتایج شبیه‌سازی

مدار پیشنهادی با نرم‌افزار ADS در سطح ترانزیستور شبیه‌سازی شده است. ابتدا فرایند قفل حلقه در شرایط معمولی ( با تکنولوژی TT[۸]، دمای ۲۵°C و ولتاژ ۱/۸V) شامل سیگنال‌های ورودی و خروجی، تغییرات ولتاژ کنترلی خروجی حلقه و معادل دیجیتال آن در طول بازهٔ زمانی شبیه‌سازی در شکل (۶) آورده شده است. سپس چند




**شکل(۴): مدار CP پیشنهادی**




**شکل(۵): جریان‌های خروجی مدار CP در حالت DC**

دورهٔ تناوب از سیگنال‌های خروجی‌های چندفازی پس از قفل در فرکانس‌های ابتدایی و انتهایی حلقه در شکل‌های (۷) و (۸) نشان داده شده‌اند. هم‌چنین شکل موج برخی گره‌ها در مدار CP برای ارزیابی بهتر عملکرد حلقه در شکل (۹) نشان داده شده است. حداکثر و حداقل فرکانسی که حلقه با شرایط معمولی می‌تواند در آن قفل شود به ترتیب ۱۱۰۰MHz و ۱۷۰MHz هستند. از آن‌جا که در فرکانس ۱۱۰۰MHz سیگنال *Vcdig* همواره در سطح منطقی یک و قرار دارد، سیگنال‌های *UPdiv* و *DNdiv* نیز در سطح یک قرار دارند مدارهای تقسیم‌کننده فعال نیستند. همان‌طور که در شکل هم مشخص است، پس از این‌که حلقه قفل شد، هیچ کدام از کلیدهای *UP* و *DN* فعال نمی‌شوند. شکل ۹(ب) عملکرد CP را ۱۷۰MHz نشان می‌دهد. همان‌طور که در شکل نیز مشخص است پس از این‌که *Vcdig* صفر شد، سیگنال *DNdiv* در هر لبهٔ پایین‌روندهٔ سیگنال *DN* تغییر وضعیت می‌دهد. تا زمانی که سیگنال *DNdiv* در وضعیت صفر قرار دارد، اجازهٔ فعال شدن به *dnSW* را نمی‌دهد. در نتیجه سیگنال *DN* به صورت یک در میان نادیده گرفته می‌شود. با کمی دقت در شکل



Journal of Iranian Association of Electrical and Electronics Engineers - Vol.9- No.1- Spring & Summer 2012

[ Downloaded from jiaeee.com on 2026-11-13 ]

مشاهده می‌شود که عرض سیگنال *DN* در دوره‌ای که *DNdiv* یک است نسبت به دورهٔ قبل باریک‌تر شده است. با توجه به این‌که $V_C$ در این بازهٔ زمانی تغییر نکرده است، می‌توان دریافت که در این مدت حلقه سیگنال ck5 را در اثر تغییر $V_C$ در دورهٔ قبلی کمی عقب‌تر برده است. این موضوع تأییدی بر این ادعا است که در فرکانس‌های پایین حلقه در یک دوره تناوب نمی‌تواند به تغییرات $V_C$ به طور کامل پاسخ دهد و برای این کار نیاز به زمان بیش‌تری دارد. در شکل (۱۰) تغییرات ولتاژ کنترل خط تأخیر برای مدار ارائه شده و حلقهٔ ساده به ترتیب برای فرکانس ۱۱۰۰MHz و ۱۷۰MHz نشان داده شده‌اند (در شکل ۱۰(الف) خط نازک‌تر مربوط به مدار ساده و خط ضخیم‌تر مربوط به حلقهٔ پیشنهادی است و در مورد شکل ۱۰(ب) برعکس می‌باشد.) همان‌طور که مشاهده می‌شود، حلقه ساده در فرکانس ۱۷۰MHz نوسان کرده و نمی‌تواند به قفل دست یابد، نیز در فرکانس ۱۱۰۰MHz در هر دوره پیک‌های کوچکی دیده می‌شود که موجب تولید فرکانس‌های جعلی در خروجی DLL می‌شود. علاوه بر آن در حلقهٔ ساده مقداری خطای فاز استاتیکی مشاهده می‌شود که ناشی از عدم تطبیق در CP است.

برای تحقیق صحت عملکرد حلقه در شرایط واقعی و نیز بررسی میزان حساسیت حلقه به تغییرات تکنولوژی- ولتاژ – دما[۹]، علاوه بر شرایط معمولی با تکنولوژی TT در دمای ۲۵°C و ولتاژ ۱/۸V، شبیه‌سازی حلقه در شرایط سریع (تکنولوژی FF[۱۰]، دمای ۴۰°C-، ولتاژ ۲V) و در شرایط کند (تکنولوژی SS[۱۱]، دمای ۸۵°C ، ولتاژ ۱/۶V) تکرار شد. خلاصه نتایج شبیه‌سازی‌ها در جدول (۱) نشان شده است. همان‌طور که از جدول نیز مشخص است حلقه در شرایط سریع و کند از بابت جیتر و توان مصرفی عملکرد قابل قبولی دارد. اما با در نظر گرفتن همهٔ شرایط PVT بازهٔ فرکانسی مفیدی که حلقه می‌تواند به قفل دست یابد ۲۸۰MHz تا ۸۲۰MHz می‌باشد. به عبارتی دیگر بازهٔ فرکانسی در فرکانس‌های پایین با شرایط سریع محدود می‌شود و شرایط کند در فرکانس‌های بالا محدودیت ایجاد می‌کند. شرایط TT بیش‌ترین پهنای باند را نسبت به دو مورد دیگر دارد.

در نرم‌افزار ADS به منظور شبیه‌سازی نویز عناصر مداری از شبیه‌سازی گذرای نویز که یکی از پارامترهای شبیه‌ساز زمانی است استفاده شده است. پهنای باند نویز ۱۵GHz در نظر گرفته شده است. علاوه بر آن برای شبیه‌سازی اثر تغییرات ولتاژ منبع تغذیه و هم‌چنین نویز زیرلایه سیگنالی به صورت نویز به منبع تغذیه اضافه شده است. لازم به ذکر است که اثر نویز زیرلایه در میزان جیتر ایجاد شده مشابه نویز منبع تغذیه می‌باشد. با اعمال سیگنال نویز N(t) با رابطهٔ زیر در فرکانس‌های مختلف، جیتر خروجی در چند فرکانس از بازهٔ فرکانسی مفید با شبیه‌سازی به دست آمد که نتایج حاصل از آن در شکل (۱۱) مشاهده می‌شود.

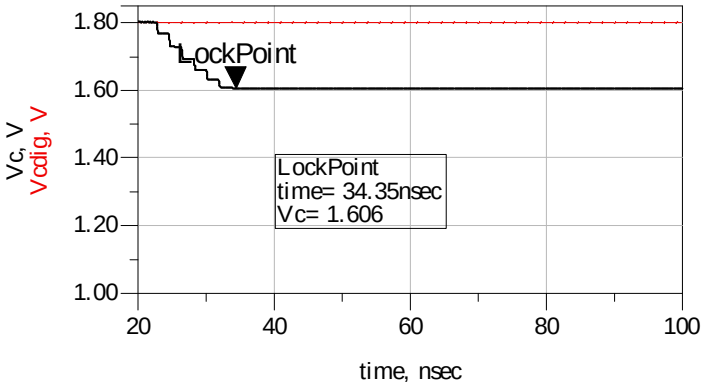
$$N(t) = 1.8 + 0.06\sin(2\pi ft) + 0.03\sin(2\pi(2\times f)t)$$
$$+0.02\sin(2\pi(3\times f)t) + 0.01\sin(2\pi(4\times f)t) \quad (۵)$$

عوامل اصلی افزایش توان مصرفی در DLL خط تأخیر و مدار CP هستند. با توجه به این‌که مدار CP در حالت قفل روشن نمی‌شود و سلول تأخیر ارائه شده توان DC مصرف نمی‌کند، انتظار می‌رود که توان مصرفی مدار پایین باشد. شکل (۱۲) توان مصرفی حلقه در شرایط معمولی در چند فرکانس از بازهٔ فرکانسی مفید حلقه را نشان می‌دهد. برای ارزیابی بهتر هر یک از اجزاء حلقه، توان مصرفی در هر فرکانس به طور مجزا برای بلوک خط تأخیر و مدارهای فیدبک با شبیه‌سازی استخراج شد. لازم به ذکر است که به دلیل مدارهای دیجیتالی متنوعی که در حلقهٔ فیدبک استفاده شده است، تفکیک حلقه فیدبک به بلوک‌های مجزا به آسانی امکان‌پذیر نیست و با توجه به مصرف کم مدارهای دیجیتالی و به طورکلی حلقه فیدبک، لزومی به این کار مشاهده نمی‌شود. به منظور شبیه‌سازی توان مصرفی هر مدار با استفاده از توابعی که در نرم‌افزار ADS وجود دارد، میانگین حاصل‌ضرب لحظه‌ای ولتاژ منبع تغذیه هر بلوک و جریان عبوری از آن در طول بازهٔ زمانی شبیه‌سازی جداگانه اندازه‌گیری و در نهایت توان مصرفی کلیه منابع تغذیه با هم جمع شده‌اند. همان‌طور که از شکل (۱۲) نیز مشخص است و چنان‌که انتظار می‌رفت عمدهٔ توان مصرفی حلقه ناشی از خط تأخیر آن می‌باشد. با توجه به تدابیر در نظر گرفته شده در روند طراحی مشاهده می‌شود که توان مصرفی در کل پایین است به طوری‌که در پهنای باند مفید حلقه، بیش‌ترین مقدار توان مصرفی حلقه در فرکانس ۸۲۰MHz و برابر ۴/۱۳mW می‌باشد.

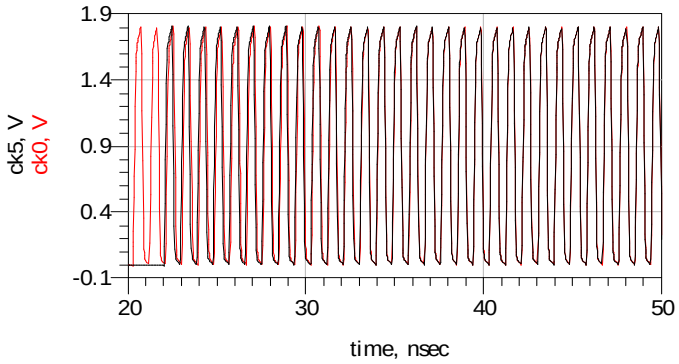
شکل(۱۳) نحوه تغییرات ولتاژ کنترلی و سیگنال‌های ورودی و خروجی در روند قفل حلقه در فرکانس‌های مرزی ۸۲۰MHz از شرایط کند و ۲۸۰MHz از شرایط سریع را نشان می‌دهد. واضح است شرایط معمولی و سریع در فرکانس ۸۲۰MHz پاسخ مناسب دارند. هم‌چنین حلقه به طور قطع با شرایط معمولی و کند در فرکانس ۲۸۰MHz به قفل دست می‌یابد.

زمان قفل که بیان‌گر سرعت عملکرد حلقه می‌باشد و طبق تعریف عبارت است از فاصلهٔ زمانی بین اعمال سیگنال و نقطهٔ قفل مدار. با توجه به شکل‌های ۱۳(الف) و ۱۳(ج) شاید به نظر برسد که با کاهش فرکانس مشخصه زمان قفل تضعیف می‌شود. زیرا زمان قفل در ۸۲۰MHz برابر ۵۷/۶۳nsec و در فرکانس ۲۸۰NHz برابر ۱۶۵/۳nsec است. در حالی‌که در اغلب موارد این مشخصه بر حسب تعداد دورهٔ تناوب سیگنال ورودی گزارش می‌شود. با تقسیم زمان قفل به دورهٔ تناوب در هر فرکانس، زمان قفل در ۲۸۰MHz برابر ۴۷ دورهٔ تناوب و در ۸۲۰MHz برابر ۴۸ دورهٔ تناوب است که تفاوت چندانی باهم ندارند.

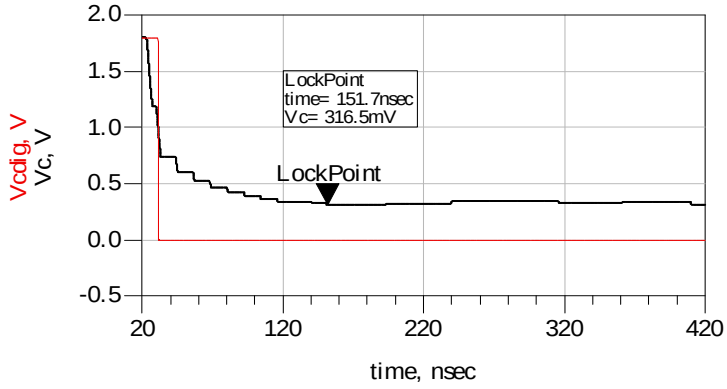

[ Downloaded from jiaeee.com on 2026-11-13 ]



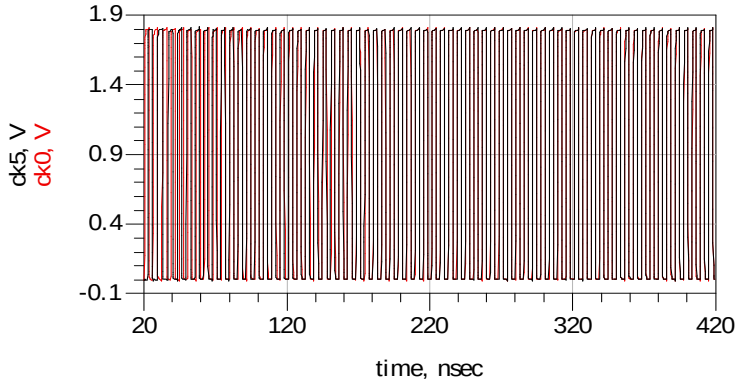

(الف)




(ب)




(ج)




(د)

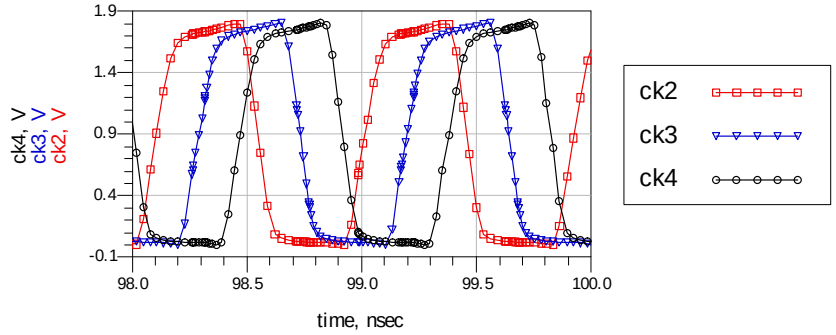
**شکل(۶): (الف) شکل‌موج‌های ورودی و خروجی و (ب)تغییر ولتاژ کنترلی در فرکانس ۱۱۰۰MHz (ج) شکل‌موج‌های ورودی و خروجی و (د)تغییر ولتاژ کنترلی در فرکانس ۱۷۰MHz**



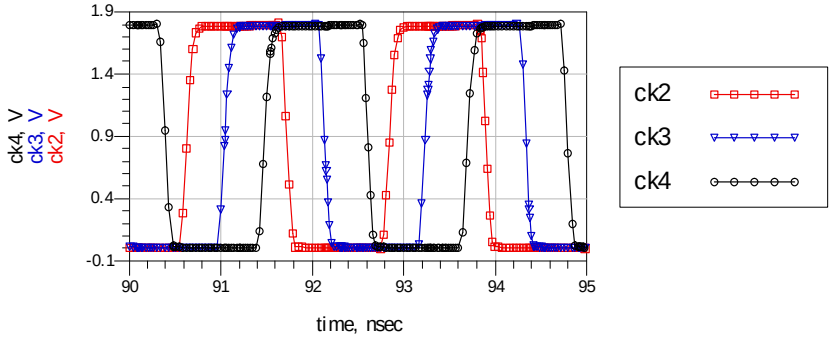
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.9- No.1- Spring & Summer 2012

[ Downloaded from jiaeee.com on 2026-11-13 ]

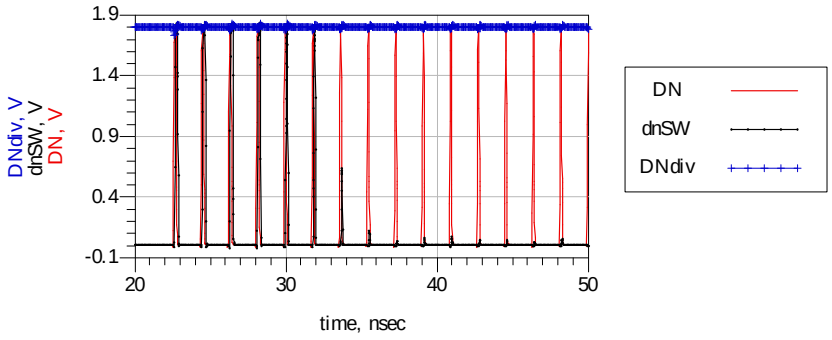
در جدول(۲) مشخصه‌های مختلف DLL ترکیبی ارائه شده با چهار ساختار مختلف دیگر، مقایسه شده است. نتایج گزارش شده در مراجع [۲] و [۵] مانند این مقاله حاصل از شبیه‌سازی هستند، اما منابع [۱۱] و [۱۲] نتایج حاصل از اندازه‌گیری از نمونهٔ ساخته شده را گزارش کرده‌اند. لازم به ذکر است که کلیه مراجع انتخاب شده برای مقایسه ساختار ترکیبی دارند. مراجع [۲] و [۱۱] DLL با حلقهٔ دوگانه هستند و در مراجع [۵] و [۱۲] مانند ساختار ارائه شده، حلقهٔ کلی ساختار آنالوگ دارد و با استفاده از بلوک‌های دیجیتال کارآیی و مشخصه‌های حلقه بهبود یافته‌اند. واضح است که نتایج حاصل از اندازه‌گیری از نمونهٔ ساخته شده معتبرتر از نتایج شبیه‌سازی می‌باشند. با توجه به مقادیر جدول مشخص است که بازهٔ فرکانسی در ساختار ارائه شده به طور قابل ملاحظه‌ای افزایش پیدا کرده است، در عین حال توان مصرفی کم و مشخصهٔ جیتر در حد قابل قبولی حفظ شده است.




**شکل(۷): شکل‌موج‌های خروجی چند فازی در فرکانس ۱۱۰۰MHz**



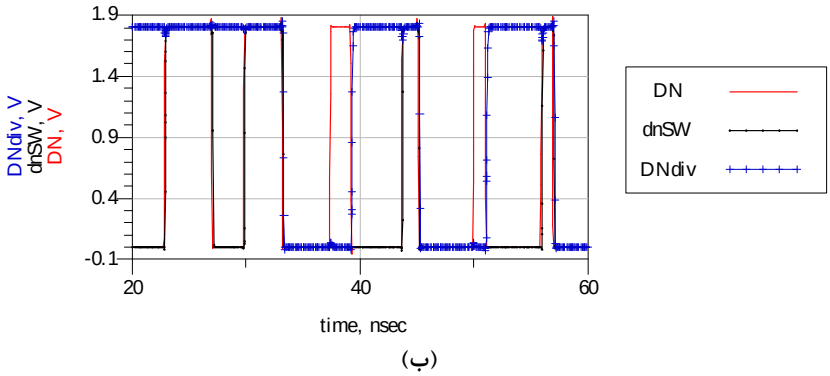

**شکل(۸): شکل‌موج‌های خروجی چند فازی در فرکانس ۱۷۰MHz**




**(الف)**

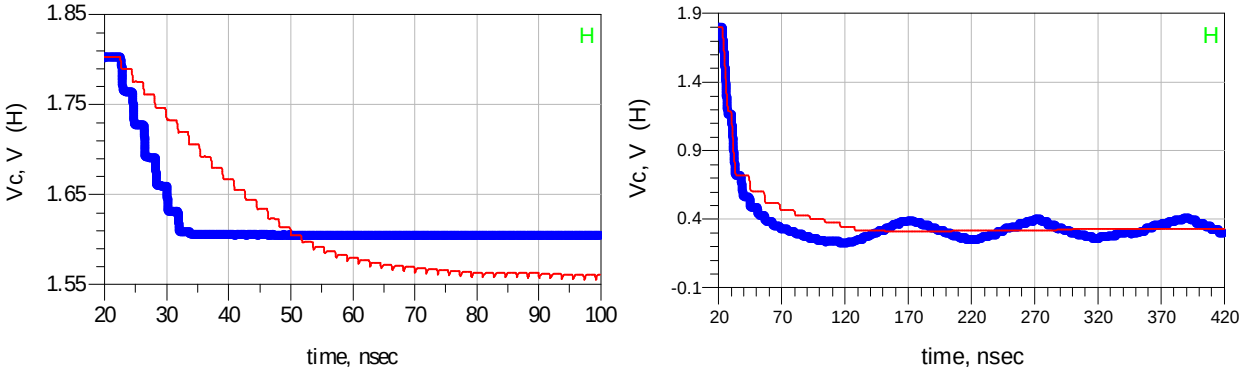



[ Downloaded from jiaeee.com on 2026-11-13 ]




(ب)

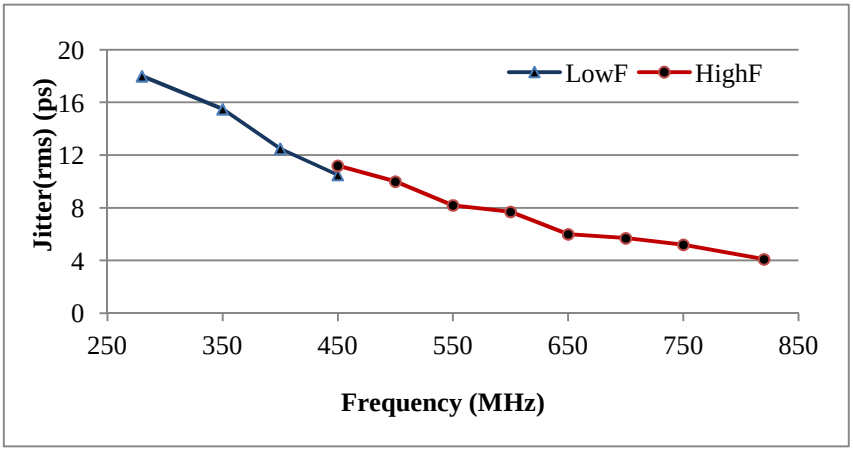
شکل (۹): تغییرات سیگنال‌های DN، DNdiv و dnSW در فرکانس (الف) ۱۱۰۰MHz و (ب) ۱۷۰MHz




شکل(۱۰): مقایسه روند قفل حلقه با CP ساده و نمونه پیشنهادی در فرکانس (الف) ۱۱۰۰MHz و (ب) ۱۷۰MHz

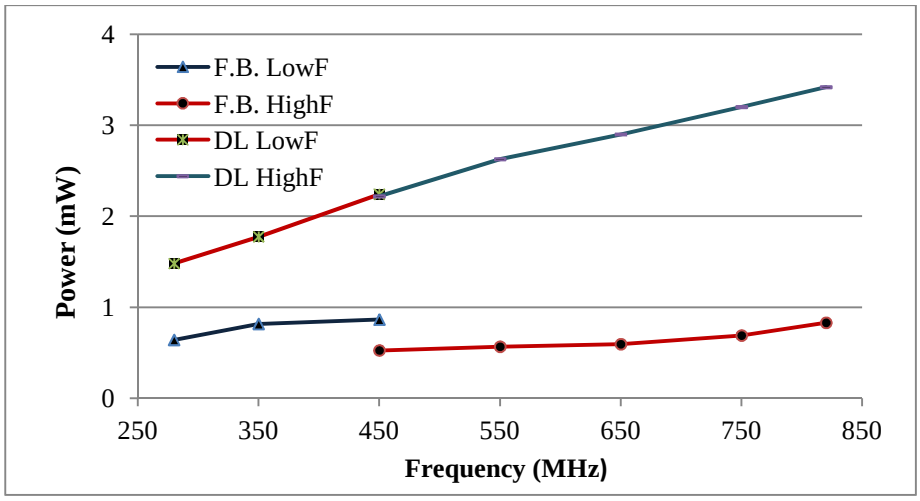
جدول (۱): خلاصهٔ نتایج شبیه‌سازی حلقه در شرایط مختلف PVT

| Corners | VDD(V) | T(°C) | Jitter@ 500MHz (ps) | Fmin(MHz) | Fmax(MHz) | Power@ 500MHz (mW) |
|---|---|---|---|---|---|---|
| Typical (TT) | 1.8 | 85 | 10 | 170 | 1100 | 2.98 |
| Slow (SS) | 1.6 | 25 | 17.7 | 110 | 820 | 2.93 |
| Fast (FF) | 2 | -40 | 6.8 | 280 | 1220 | 3.04 |

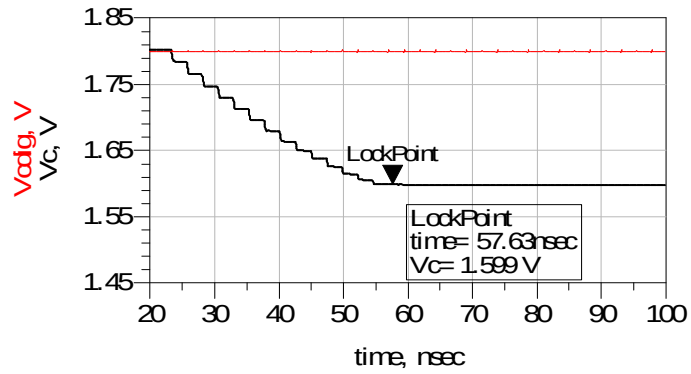



شکل (۱۱): نمودار جیتر مؤثر بر حسب فرکانس

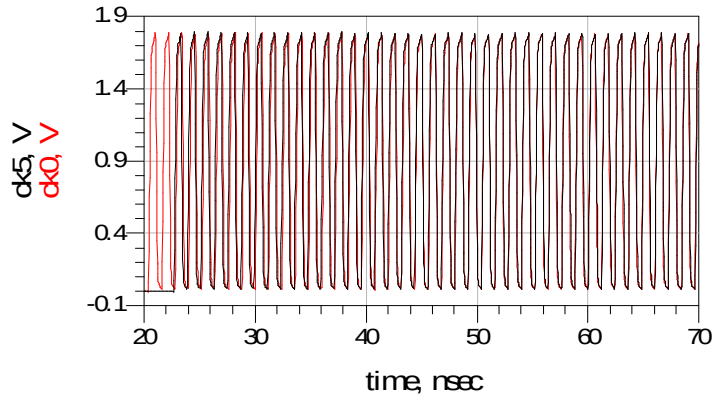
[ Downloaded from jiaeee.com on 2026-11-13 ]



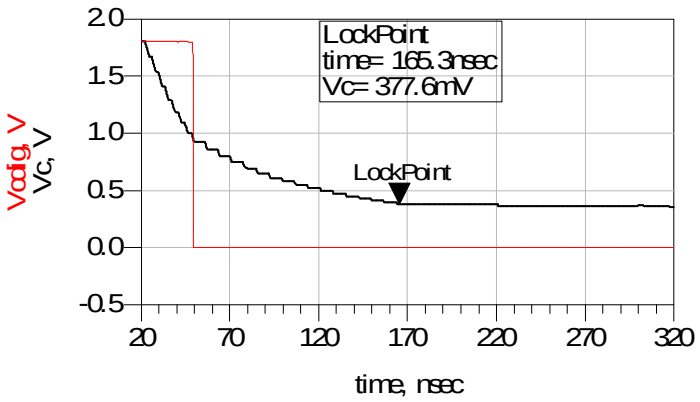

شکل (۱۲): نمودار توان مصرفی مجزا شده برای خط تأخیر و حلقهٔ فیدبک در فرکانس‌های مختلف




(الف)



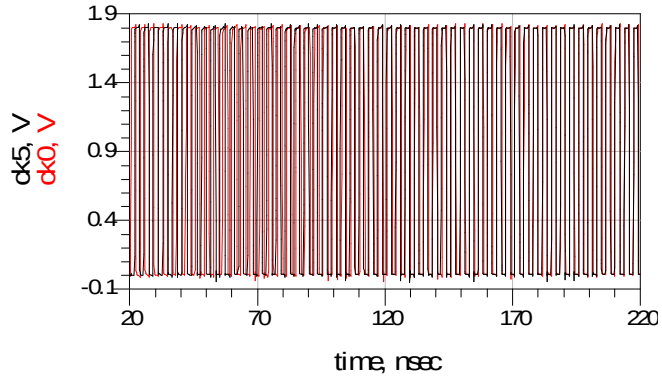

(ب)






[ Downloaded from jiaeee.com on 2026-11-13 ]

(ج)




(د)

**شکل(۱۳): (الف) شکل‌موج‌های ورودی و خروجی و (ب)تغییر ولتاژ کنترلی در فرکانس ۸۲۰MHz از تکنولوژی کند (ج) شکل‌موج‌های ورودی و خروجی و (د)تغییر ولتاژ کنترلی در فرکانس ۲۸۰MHz از تکنولوژی سریع**

**جدول (۲): مقایسهٔ ساختار پیشنهادی با DLLهای نمونه**

| نوع ساختار | تکنولوژی | ولتاژ تغذیه | بازهٔ فرکانسی | جیتر (rms) | توان مصرفی |
|---|---|---|---|---|---|
| پیشنهادی | ۰/۱۸$\mu$m | ۱/۸V | ۸۲۰MHz -۲۸۰MHz | ۴/۱ psec در ۸۲۰MHz | ۴/۱۳ mW در۸۲۰MHz |
| *[۲] | ۰/۱۸$\mu$m | ۱/۸V | ۴۰۰MHz-۲۰۰MHz | ۲۰ psec در ۴۰۰ MHz | ۴/۵ mW در ۴۰۰MHz |
| *[۵] | ۰/۱۸$\mu$m | ۱/۸V | ۴۲۰MHz-۱۲۰MHz | ۱/۲ psec در ۴۲۰ MHz | ۲۱ mW در ۴۲۰MHz |
| **[۱۱] | ۰/۱۳$\mu$m | ۱/۲V | ۱۲۰MHz-۳۰MHz | ۵/۹ psec در ۱۲۰ MHz | ۱/۸ mW در ۱۲۰MHz |
| **[۱۲] | ۰/۱۸$\mu$m | ۱/۸ V | ۴۰۰MHz-۲۰۰MHz | ۳/۲۲psec در ۳۰۰MHz | ۳۱/۵mW در ۳۰۰MHz |

* نتایج حاصل از شبیه‌سازی هستند.

** نتایج حاصل از اندازه‌گیری از نمونهٔ ساخته شده هستند.

## ۶- نتیجه‌گیری

در این مقاله یک DLL ترکیبی با پهنای باند ۵۴۰MHz، جیتر مؤثر حداقل ۴/۱ psec و توان مصرفی حداکثر ۴/۱۳ mW در فرکانس حداکثر ۸۲۰MHz در سطح ترانزیستور طراحی و با استفاده از نرم‌افزار ADS 2008 بر مبنای تکنولوژی TSMC CMOSRF۰/۱۸ µm و ولتاژ تغذیهٔ ۱/۸ ولت شبیه‌سازی شده است. برای بلوک تشخیص‌دهندهٔ فاز و فرکانس و مدار کنترل‌شده با سیگنال شروع، با اندکی تغییر در مدار ارائه شده در [۱۰] تعداد ترانزیستورهای استفاده شده کاهش یافت و در نهایت برای بلوک CP مدار جدیدی پیشنهاد شد که از روشن شدن هم‌زمان جریان‌های خروجی حتی در زمان قفل جلوگیری می‌کند در نتیجه علاوه بر جلوگیری از ایجاد فرکانس‌های جعلی در خروجی، کاهش قابل توجهی در خطای فاز استاتیکی و جیتر ناشی از عدم تطبیق جریان‌های خروجی مشاهده شد. هم‌چنین با اعمال مدار مقسم در مسیر کلیدهای UP و DN و اضافه کردن جریان متغیر با $V_C$ سرعت قفل حلقه به ویژه در فرکانس‌های پایین افزایش پیدا کرده است.

## مراجع


[1] Gao, Deyuan Gao, David Brasse, Christine Hu-Guo, and Yann Hu Wu, “Precise Multiphase Clock Generation Using Low-Jitter Delay-Locked Loop Techniques for Positron Emission Tomography Imaging”, IEEE Transactions on Nuclear Science, Vol. 57, N0. 3, pp: 1063 - 1070, June 2010.

[2] M. Gharib and A. Abrishamifar, “A Novel Low-Power and High-Performance Dual-Loop DLL with Linear Delay Element”, IEEE Int. Midwest Symposium on Circuits and Systems (MWSCAS), pp. 763–766, Aug. 2008.

[3] Chung-Ting Lu, Hsieh-Hung Hsieh and Liang-Hung Lu, “A 0.6 V Low-Power Wide-Range Delay-Locked Loop in 0.18 um CMOS”, IEEE Microwave and Wireless Copmponents Letters, Vol. 19, No. 10, pp 662-664, Oct. 2009.

[4] Cheng Jia and Linda Milor, “A DLL Design for Testing I/O Setup and Hold Times”, IEEE Transactions in VLSI Systems, Vol. 17, No. 11, pp. 1579 – 1592, Nov. 2009.

[5] A. Ghaffari and A. Abrishamifar, “A Novel Wide-Range Delay Cell for DLLs,” 4th IEEE International Conference on Electrical & Computer Engineering (ICECE), Dhaka, Bangladesh, Dec. 2006.

[6] C. H. Kim et al., “A 64-Mbit 640-Mbyte/s bidirectional data strobed double-data-rate SDRAM with a 40-mW





Journal of Iranian Association of Electrical and Electronics Engineers - Vol.9- No.1- Spring & Summer 2012

[ Downloaded from jiaeee.com on 2026-11-13 ]

DLL for a 256-Mbyte memory system," IEEE J. Solid-State Circuits, vol. 33, no. 11, pp.1703–1710, Nov. 1998.

[7] A. Khattoi, "A Non-Sequential Phase Detector for Low Jitter Clock Recovery Applications", Master of Science dissertation in Department of Electrical and Computer Engineering, August 2010.

[8] K.C. Kuo and Y. H. Hsu, "A Low Power Multi-band Selector DLL with Wide-Locking Range", IEEE International Conference on Integrated Circuit Design and Technology and Tutorial, pp 25-28, 14 Jul. 2008.

[9] Chi-Nan Chuang, "A 0.5–5-GHz Wide-Range Multiphase DLL With a Calibrated Charge Pump", IEEE Transactions on circuit and systems, Vol. 54, No. 11, pp. 939-943, Nov. 2007.

[10] R.C.H. Chang, H.M. Chen and P. Huang, "Multiphase-Output Delay-Locked Loop with a Novel Start-Controlled Phase/Frequency Detector", IEEE Transactions on Circuits and Systems - I: Regular Papers, Vol. 55, No. 9, pp. 2483-2490, Oct. 2008.

[11] L. Chen, H. Huang, Y. Hong, Z. Chiang, "100-phase, dual-loop delay-locked loop for impulse radio ultra-wideband coherent receiver synchronization", Circuits, Devices & Systems, IET Vol.5, No. 6, pp. 484 - 493, Nov. 2011.

[12] Chien-Hung Kuo Hung-Jing Lai Meng-Feng Lin, "A multi-band fast-locking delay-locked loop with jitter-bounded feature", IEEE Transactions on Ultrasonics , Ferroelectrics, and Frequency Control, vol. 58, no. 1, Jan. 2011.

## زیرنویس‌ها

[1] Delay-Locked-Loop
[2] Charge-pump
[3] Built-In-Self-Test
[4] Lock Detect
[5] Start-Controlled-Circuit
[6] Phase-Frequency-Detector
[7] Blind-Zone
[8] Typical-Typical
[9] Process-Voltage-Temperature
[10] Fast-Fast
[11] Slow-Slow



[ Downloaded from jiaeee.com on 2026-11-13 ]