Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 1, 2025
DOI: 10.61186/jiaeee.22.1.43

A Novel Full Adder in Quantum-dot Cellular Automata Technology with Low Area

Fatemeh Jokar[1] , Mohammad Gholami[2]

[1] MSc. Faculty of Electrical Engineering, Mazandaran University of Science and Technology, Babolsar, Iran.
fatemeh.jokarr68@gmail.com
[2] Associate Professor, Department of Electrical Engineering, Faculty of Engineering and Technology, University of Mazandaran, Babolsar, Iran.
m.gholami@umz.ac.ir

Abstract:

In this paper, an attempt has been made to examine the different structures of the full adder in QCA technology and to introduce a new structure as the full adder in quantum-dot cellular automata (QCA) technology. Previous structures have problems from the point of view of the number of consumed cells and the occupied cross-sectional area. In this article, in addition to reducing the number of cells and delay, the consumed area has also been tried to have a reasonable and small amount. In addition, some structures could not be used in larger circuits due to the placement of inputs or outputs inside the circuit. Therefore, in this paper, the structure of the proposed full adder with only 28 cells, half-cycle clock delay and cross-sectional area of 0.01 μm^2 is presented. In the proposed design all inputs and outputs are available out of the design. Then, the mentioned structure is used in a more complex circuit to confirm the correct behavior and operation, and in fact, a ripple carry adder structure is designed. The proposed design has an efficient QCA implementation in terms of complexity, where the simulation is done using the QCAdesigner tool to estimate the performance of the structures.

Keywords: **Quantum-dot cellular automata, QCA, Full Adder, Ripple Carry Adder.**

Article Type: Research

Received: 2023. 12. 2023

Revised: 21. 01. 2024

Accepted: 05. 07. 2024

Corresponding author: Mohammad Gholami

Corresponding author's address: Department of Electrical Engineering, Faculty of Engineering and Technology, University of Mazandaran, Babolsar, Iran

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.33]

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

With the advancement of technology and the shrinking of dimensions in CMOS technology and the problems facing this technology in micrometer dimensions, many efforts and researches have been formed regarding alternative technologies. One of the new nanotechnologies that has attracted the attention of many researchers in the field of nanotechnology today is quantum dot cellular automata [1]. This technology is remarkable in terms of very high speed, and much lower area and power consumption compared to CMOS, and it creates a significant improvement in the design of various logic circuits [2]. One of the most used circuits in processors, which is also a main component of the arithmetic logic unit, is the full adder [3]. Considering the advantages of quantum-dot cellular automata technology, the authors of this paper will try to provide a new design for all the adder that has favorable conditions from the point of view of delay characteristics, the number of consumed cells and the occupied cross-sectional area.

2. Contributions

Advantage(s) of this work should be explained in detail Considering the advantages of quantum-dot cellular automata technology, the authors of this paper will try to provide a new design for all the adder that has favorable conditions from the point of view of delay characteristics, the number of consumed cells and the occupied cross-sectional area.

3. Procedures

In this paper, all the simulations are done by QCADesigner and QCAPro softwares. We have tried to check the simulations carefully and under different conditions and present the results in a classified manner.

4. Findings

In this article, an attempt has been made to examine the different structures of the full adder in QCA technology and to introduce a new structure as the full adder in QCA technology. Previous structures have had problems from the point of view of the number of consumed cells and the occupied cross-sectional area. In this article, in addition to reducing the number of cells and delay, it has been tried to have a reasonable and small amount of consumed area. In addition, some structures could not be used in larger circuits due to the placement of inputs or outputs inside the circuit. Therefore, in this paper, the structure of the proposed full adder with only 28 cells, half-cycle clock delay and cross-sectional area of $0.01\mu m^2$ is presented. Then the above structure was used to confirm the correct behavior and operation in a more complex circuit. The proposed design has an efficient QCA implementation in terms of complexity, where the simulation is done using the QCAdesigner tool to estimate the performance of the structures.

5. Conclusion

In this article, an attempt has been made to examine the different structures of the full adder in QCA technology and to introduce a new structure as the full adder in QCA technology. Previous structures have had problems from the point of view of the number of consumed cells and the occupied cross-sectional area. In this article, in addition to reducing the number of cells and delay, it has been tried to have a reasonable and small amount of consumed area. In addition, some structures could not be used in larger circuits due to the placement of inputs or outputs inside the circuit. Therefore, in this paper, the structure of the proposed full adder with only 28 cells, half-cycle clock delay and cross-sectional area of $0.01\mu m^2$ is presented. Then the above structure was used to confirm the correct behavior and operation in a more complex circuit. The proposed design has an efficient QCA implementation in terms of complexity, where the simulation is done using the QCAdesigner tool to estimate the performance of the structures.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.33]

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره اول، بهار ۱۴۰۴، صفحات ۴۳-۴۸

DOI: 10.61186/jiaeee.22.1.43

تمام جمع کننده جدید در تکنولوژی اتوماتای سلولی نقطه ای کوانتومی با مساحت حداقل

فاطمه جوکار[۱]، محمد غلامی[۲]

۱- دانش آموخته کارشناسی ارشد- دانشکده مهندسی برق- دانشگاه علوم و فنون مازندران - بابل- ایران

fatemeh.jokarr68@gmail.com

۲- دانشیار- گروه مهندسی برق- دانشکده مهندسی و فناوری- دانشگاه مازندران-بابلسر- ایران

m.gholami@umz.ac.ir

چکیده: در این مقاله، تلاش شده است که ساختارهای مختلف تمام جمع کننده در تکنولوژی QCA مورد بررسی قرار گرفته و ساختار جدید نیز به عنوان تمام جمع کننده در تکنولوژی اتوماتای سلولی نقطه ای کوانتومی معرفی گردد. ساختارهای پیشین از منظر تعداد سلول مصرفی و نیز سطح مقطع اشغالی مشکلاتی داشته‌اند که در این مقاله سعی شده است علاوه بر کاهش تعداد سلول و تاخیر، مساحت مصرفی را نیز مقدار منطقی و کمی داشته باشد. علاوه بر این برخی از ساختارها نیز با توجه به قرار گرفتن ورودیها یا خروجیها در داخل مدار، امکان استفاده در مدارهای بزرگتر را نداشتند. لذا در این مقاله ابتدا ساختار تمام جمع کننده پیشنهادی با تنها ۲۸ سلول، نیم سیکل کلاک تاخیر و سطح مقطع ۰/۰۱ میکرومتر مربع ارائه شده است. در ساختار پیشنهادی تمامی ورودیها و خروجی ها در دسترس قرار دارند. سپس ساختار فوق جهت تصدیق رفتار و عملکرد صحیح در یک مدار پیچیده‌تر مورد استفاده قرار گرفته شد و در حقیقت یک ساختار جمع کننده به صورت جمع کننده با بیت نقلی موج گونه طراحی شده است. طراحی پیشنهادی دارای پیاده‌سازی QCA کارآمد از لحاظ پیچیدگی است که در آن شبیه‌سازی با استفاده از ابزار QCAdesigner برای برآورد عملکرد ساختارها انجام شده است.

کلمات کلیدی: اتوماتای سلولی نقطه کوانتومی، QCA، تمام جمع کننده، جمع کننده با بیت نقلی موج گونه

نوع مقاله: پژوهشی

دریافت: ۱۴۰۲/۰۹/۲۹

بازنگری: ۱۴۰۲/۱۱/۰۱

پذیرش: ۱۴۰۳/۰۴/۱۵

نام نویسنده‌ی مسئول: دکتر محمد غلامی

نشانی نویسنده‌ی مسئول: ایران – مازندران – بابلسر – پردیس دانشگاه مازندران– دانشکده مهندسی و فناوری – گروه مهندسی برق

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.33]

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

۱- مقدمه

با پیشرفت فناوری و کوچکتر شدن ابعاد در تکنولوژی CMOS و مشکلات پیش روی این فناوری در ابعاد ریزمیکرومتر، تلاش و تحقیق‌های فراوانی پیرامون فناوری‌های جایگزین شکل گرفته است. یکی از نانوفناوری‌های جدید که امروزه توجه بسیاری از پژوهشگران عرصه ی نانوفناوری را به خود جلب نموده، اتوماتای سلولی نقطه‌ای کوانتومی می‌باشد [۱]. این فناوری به لحاظ سرعت بسیار بالا، و مساحت و توان مصرفی بسیار پایین‌تر در مقایسه با CMOS قابل ملاحظه بوده و بهبود چشمگیری در طراحی مدارات منطقی مختلف ایجاد می نماید [۲ و ۳].

از جمله تلاشهایی که در سالهای اخیر بر روی تمام جمع کننده ها صورت گرفته است می‌توان به موارد زیر اشاره نمود. در [۴] با توجه به اینکه در ساختار تمام جمع کننده، بلوک XOR یکی از واحدهای مهم مورد استفاده است، با استفاده از XOR با پیچیدگی کمتر به طراحی یک تمام جمع کننده پرداخته است. هرچند این محققین در این مقاله تلاش کرده اند که یک تمام جمع کننده با قابلیت پیاده‌سازی واقعی ارائه نمایند، ولی استفاده از تعداد سلول زیاد و در نتیجه سطح مقطع اشغالی بالا از ضعفهای ساختار مورد اشاره است. در [۵] یک ساختار تمام جمع کننده و تفریق کننده پیشنهاد شده است که به علت استفاده از نیم فاصله‌ها و نیز سلولهای چرخش داده شده کمی طراحی را دچار اشکال کرده است. علاوه بر این تعداد سلول زیاد نیز از دیگر ضعفهای آن است. در [۶] طرح جدیدی برای تمام جمع کننده و تفریق کننده هیبریدی ارائه شده است. ساختار به صورت با استفاده از کراس اور طراحی شده است که این موضوع باعث افزایش هزینه‌ها و پیچیدگی طرح خواهد شد. البته ساختار ارائه شده از لحاظ فنی نیز دارای ایرادات اساسی است. در [۷] با استفاده از گیت XNOR طراحی تمام جمع کننده صورت گرفته است. ساختار ارائه شده تک بیتی است و با توجه به نحوه قرارگیری محل ورودی ها مشکل در پیاده‌سازی با بیتهای بیشتر خواهد داشت. در [۸] نیز یک تمام جمع کننده جدید با استفاده از گیت اکثریت ۵ ورودی پایدار ارائه شده است. با توجه به تمرکز این مقاله به بحث پایداری، مدارهای پیشنهادی دارای مساحت اشغالی زیاد و تعداد سلول بیش از طرحهای قبلی هستند. علاوه بر این قرارگرفتن ورودی در داخل طرح پیشنهادی، پیچیدگی طراحی برای تعداد بیتهای بیشتر را ایجاد می‌کند. همچنین در برخی از مقالات تلاشهایی برای آنالیز و بهبود شرایط مصرف انرژی در تمام جمع کننده‌های طراحی شده در تکنولوژی QCA نیز ارائه شده است که از آن جمله می‌توان به مرجع [۹] اشاره نمود. طرحهای دیگری نیز در [۱۰ و ۱۱] ارائه شده است که هر کدام به علت داشتن تاخیر، سطح مقطع اشغالی زیاد و تعداد سلول مصرفی بالا، دچار اشکالاتی هستند. علاوه بر این طرحهایی نیز در [۱۲] و [۱۳] ارائه شده است که ساختار ارائه شده در [۱۲] مساحت زیادی داشته و قابلیت بکارگیری در مدارات پیچیده برای آن سخت است. طرح پیشنهادی [۱۳] نیز به علت رعایت مباحث پایداری، سطح مقطع اشغالی بیشتری را استفاده کرده است. طرح ارائه شده در [۱] نیز علیرغم داشتن ویژگیهای مناسب، با توجه به استفاده از سلولهای نیم فاصله و نیز چرخیده، شرایط پیاده‌سازی واقعی را سخت نموده است. موارد فوق موید این موضوع است که هنوز فعالیتهای زیادی در طراحی تمام جمع کننده در تکنولوژی QCA صورت می‌گیرد. نویسندگان این مقاله تلاش خواهند کرد که طرحی جدید که از منظر ویژگی‌های تاخیر، تعداد سلول مصرفی و سطح مقطع اشغالی شرایط مساعدی را داشته باشد.

ساختار این مقاله بدین صورت است. در بخش بعدی اصول پایه QCA ارائه خواهد شد. سپس ساختار پیشنهادی معرفی می‌شود. در بخش چهارم نتایج شبیه‌سازی ارائه خواهد شد. بخش پایانی نیز جمع‌بندی و نتیجه‌گیری خواهد بود.

۲- اصول مقدماتی QCA

فناوری QCA بر پایه سلول کوانتومی QCA شکل گرفته است که در شکل (۱) نشان داده شده است. سلولی متشکل از چهار حفره که به‌صورت مربعی در کنار یکدیگر قرارگرفته‌اند.

سلول QCA دارای دو الکترون اضافی است که به دلیل اثر تونل زنی الکترون‌ها قادرند بین نقاط کوانتومی جابجا شوند و می‌توانند آزادانه بین حفره‌ها حرکت کنند. محل قرارگیری این دو الکترون در حفره‌ها با توجه به قانون دافعه کلمب در گوشه‌های مخالف اریب خواهد بود که دو ساختار را ایجاد می‌کند [۱۴ و ۱۵]. این دو ساختار دو قطب ۱+ و ۱- را نمایش می‌دهند که در شکل (۱-ب) نشان داده‌شده و در محاسبات، مقدارهای منطقی ۱ و ۰ را به ترتیب به آن‌ها نسبت می‌دهیم. در این نانوتکنولوژی پیاده‌سازی کلیه گیت‌های منطقی و انتقال و پردازش اطلاعات با سلول QCA انجام می‌شود.



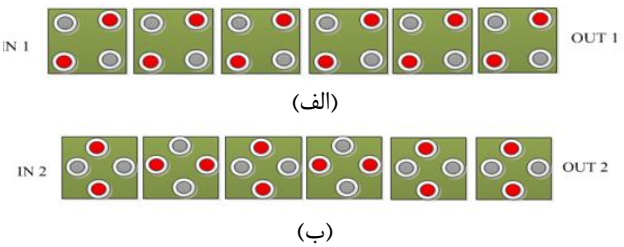
(ب) (الف)

شکل (۱): سلول QCA ب) مقدار صفر و یک منطقی

از کنار هم قرار دادن تعدادی از سلول‌های QCA می‌توان به ساختار یک سیم دست یافت. در سیم که برای انتشار اطلاعات از آن استفاده می‌شود، پلاریزه هر سلول بر سلول مجاور خود به دلیل قانون کلمب اثر می‌گذارد و پلاریزه سلول مجاور را می‌تواند تغییر دهد. در شکل (۲) دو سیم متداول در تکنولوژی QCA ارائه شده است.

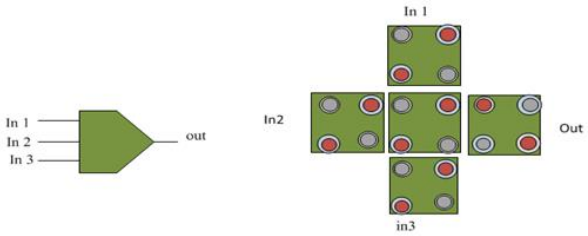
[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.33]



شکل (۲): نحوه اجرای متداول سیمها در تکنولوژی QCA

گیت اکثریت مهم‌ترین گیت در QCA است که از ۵ سلول تشکیل یافته است. سه عدد از این ۵ سلول ورودیها، یک سلول خروجی و یک سلول میانی نیز عمل تصمیم‌گیری منطق را به عهده دارد. این ساختار در شکل (۳) نشان داده‌شده است. با محدود کردن یکی از ورودی‌های این گیت می‌توان گیت‌های منطقی AND و OR را نیز ساخت [۱۶]. به همین دلیل گاهی به این گیت منطقی برنامه پذیر هم گفته می‌شود. همچنین مزیت مهم دیگر این تکنولوژی استفاده از چهار کلاک با اختلاف فاز ۹۰ درجه می‌باشد، که امکان انجام محاسبات پایپ لاین را در این تکنولوژی فراهم می آورد [۱۷].

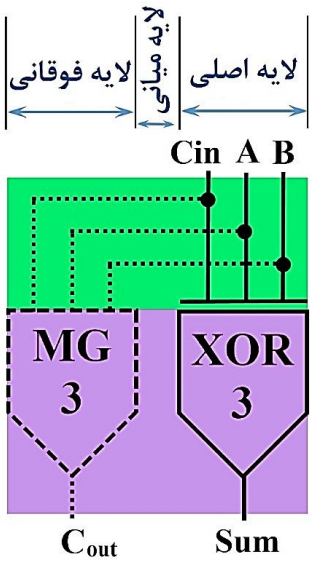


شکل (۳): گیت اکثریت در تکنولوژی QCA

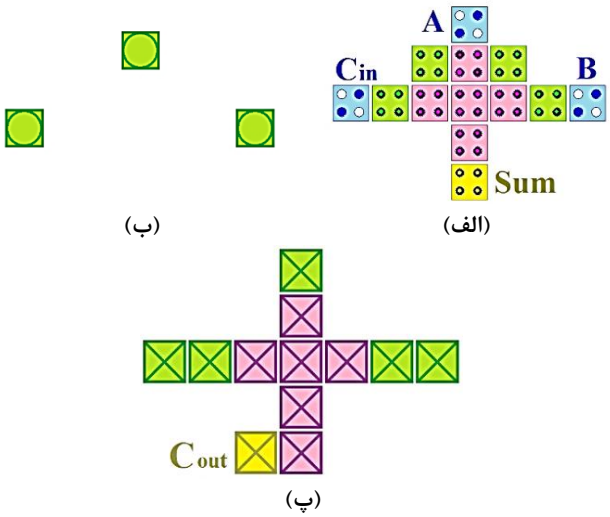
۳- ساختار تمام جمع کننده پیشنهادی

شکل (۴) ساختار منطقی تمام جمع کننده پیشنهادی را نشان می دهد. با توجه به این شکل نیز ساختار تمام جمع کننده پیشنهادی در تکنولوژی QCA در شکل (۴) نشان داده شده است. این تمام جمع کننده از سه لایه تشکیل شده است که گیت XOR3 در لایه اصلی (زیرین) و گیت MG3 در لایه فوقانی قرار گرفته‌اند و لایه میانی شامل سه سلول برای اتصال دو گیت به یکدیگر و ارتباط بین دو لایه زیرین و فوقانی می‌باشد. در شکل (۵) نمایش سلولی تمام جمع کننده پیشنهادی در لایه‌های مجزا نمایش داده شده است. ایده‌های فوق از این موضوع نشات گرفته است که، می‌توان با کوتاه‌تر کردن مسیر ورودی مرکزی دو گیت MG3 و XOR3 به تمام جمع کننده‌ای دست یافت که علاوه بر بهینه‌تر بودن ازنظر تعداد سلول و مساحت موردنیاز، پاسخ خروجی مطمئن‌تر و پایدارتری از خود نشان دهد. این موضوع در ساختار پیشنهادی با ایجاد یک شیفت مکانی در تمام جمع کننده و نزدیک نمودن ورودی مرکزی (یعنی ورودی A) به سلول مرکزی (Device cell) هر دو گیت، رخ داده است.

همان‌گونه که در شکل (۵) قابل مشاهده است، تمام جمع کننده پیشنهادی دارای ۲۸ سلول QCA از دو کلاک فاز می‌باشد؛ بنابراین تأخیر این مدار به مقدار نیم سیکل کلاک خواهد بود. مساحت اشغالی مؤثر این طرح نیز ۰/۰۱ میکرومترمربع می‌باشد. استفاده از این تمام جمع کننده کارآمد می‌تواند برای بهبود و بهینه‌سازی و طراحی مدارهای بزرگ‌تر مورد استفاده قرار گیرد؛ بنابراین از این تمام جمع کننده در طراحی یک مدار جمع‌کننده بزرگتر نیز استفاده کرد که در ادامه نمونه ای از آن ارائه خواهد شد. این ساختار در سه لایه طراحی شده است و دلیل این امر طراحی با مساحت حداقلی بوده است. سلولهای هر لایه نیز به طور مجزا نشان داده شده است که حکایت از طراحی در راستای کاهش مساحت دارد. در نهایت در طرح کلی نیز سه لایه همزمان طراحی شده و مساحت نیز به صورت حداقلی درنظر گرفته شده است.



شکل (۴): ساختار بلوک دیاگرامی تمام جمع کننده پیشنهادی



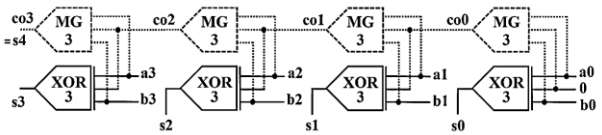
شکل (۵): لایه های مختلف ساختار پیشنهادی (الف) لایه اول، (ب) لایه میانی، (پ) لایه سوم

[Downloaded from jiaeee.com on 2026-11-16]

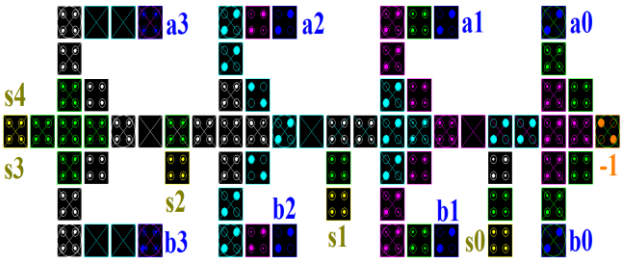
[DOI: 10.61186/jiaeee.22.1.33]

یکی از پرکاربردترین مدارهای جمع‌کننده چند بیتی مدار جمع‌کننده با بیت نقلی موج گونه[1] یا به‌اختصار RCA می‌باشند؛ بنابراین از تمام جمع کننده پیشنهادی برای طراحی و پیاده‌سازی یک مدار RCA با ۴-بیت در تکنولوژی QCA با طراحی بهینه استفاده شده است. در شکل (۶) بلوک دیاگرام جمع‌کننده RCA با ۴-بیت طراحی‌شده با استفاده از تمام جمع کننده پیشنهادی، ارائه شده است.

در شکل (۷) نیز چینش سلولی QCA مدار جمع‌کننده ۴-بیتی RCA پیشنهادی در سه لایه با نمایش هم‌زمان لایه‌ها قابل‌مشاهده می‌باشد. این طراحی سه لایه با دید ایجاد مساحت حداقلی صورت پذیرفته است.



شکل (۶): بلوک دیاگرام جمع‌کننده RCA ۴-بیتی پیشنهادی

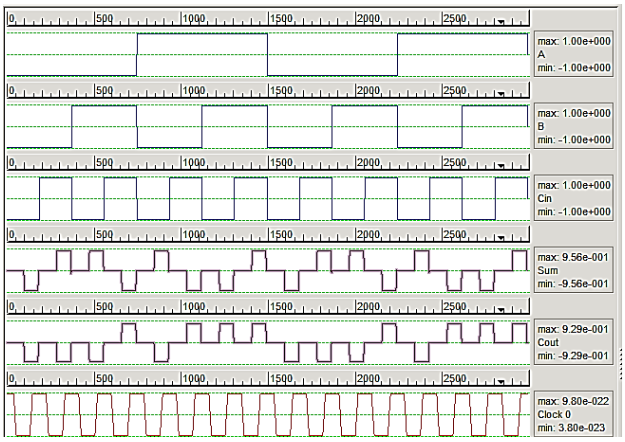


شکل (۷): نمایش چیدمان سلولی QCA جمع‌کننده RCA ۴-بیتی پیشنهادی

۴- شبیه‌سازی و نتایج

در این بخش نتایج حاصل از شبیه‌سازی ساختارهای پیشنهادی در تکنولوژی QCA توسط نرم افزار QCADesigner جهت تصدیق رفتار ساختارها ارائه شده است. در شکل (۸) نتایج حاصل از شبیه‌سازی تمام جمع کننده تک بیتی پیشنهادی نشان داده شده است. برای انجام شبیه‌سازی از موتور پردازشی Bistable approximation استفاده شده است. در ضمن، کلیه تنظیمات نرم‌افزار در حالت پیش‌فرض باقی مانده‌اند. همان‌طور که از شکل (۳) می‌توان مشاهده نمود، شکل موج‌های خروجی پاسخ قابل قبولی داشته و اعوجاج در آن مشاهده نمی‌شود که این نشانگر مناسب بودن قدرت سیگنال‌های خروجی بوده و تضمین کیفیت عملکرد این مدار برای استفاده‌های وسیع‌تر را به همراه دارد؛ بنابراین صحت عملکرد تمام جمع کننده طراحی‌شده را می‌توان مشاهده نمود. تأخیر پاسخ این طراحی به‌اندازه نیم کلاک سیکل QCA یا به عبارتی تنها ۲ فاز کلاک می‌باشد.

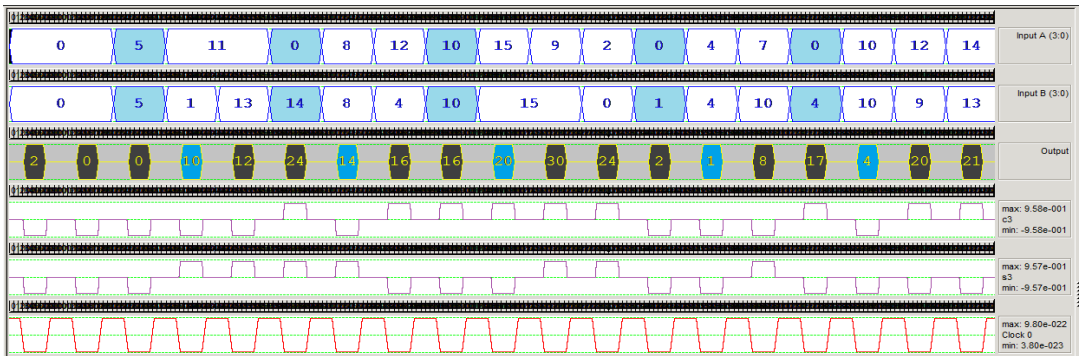
در شکل (۹) پاسخ خروجی مدار RCA با ۴-بیت پیشنهادی ارائه شده است. در این شبیه‌سازی نیز، از موتور پردازشی Bistable approximation استفاده شده و به‌جز تعداد نمونه‌برداری‌ها دیگر پارامترهای پردازشی در مقدار پیش‌فرض خود باقی‌مانده‌اند (جهت رویت پاسخ صحیح). تعداد نمونه‌برداری‌های تنظیم‌شده برای موتور پردازشی تعداد ۲۲۰،۰۰۰ نمونه می‌باشد. قابل‌ذکر است که در مدارهای بزرگ‌تر و پیچیده‌تر برای ایجاد امکان همگرا شدن سلول‌ها به پاسخ صحیح خود، لازم است که تعداد نمونه‌برداری‌ها افزایش داده شود تا دقت عملکرد موتور پردازشی افزایش یابد؛ بنابراین با استفاده از رزولوشن‌های پایین پردازشی در شبیه‌سازی مدارهای بزرگ با تعداد ورودی و خروجی‌های زیاد بروز خطا در عملکرد پردازشگر اجتناب‌ناپذیر است. با افزایش تعداد نمونه‌برداری‌ها، عملکرد بهتری را می‌توان از مدار طراحی‌شده مشاهده نمود. تأخیر پاسخ خروجی مدار RCA طراحی‌شده به میزان ۵ کلاک فاز QCA یا به عبارتی ۱/۲۵ سیکل کلاک می‌باشد. همانطور که از این شکل نیز بر می‌آید مدار تمام جمع کننده به خوبی قادر است عملیات جمع دو داده چهار بیتی را انجام داده و خروجی های معتبر را تولید نماید.



شکل (۸): نتایج شبیه‌سازی تمام جمع کننده پیشنهادی

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.33]



شکل (۹): نتایج شبیه‌سازی RCA ۴-بیتی پیشنهادی

جدول ۱ مقایسه‌ای از مشخصات تمام جمع کننده پیشنهادی و سایر فعالیتهای صورت گرفته در این حوزه را نشان می‌دهد. همانگونه که از این جدول نیز قابل رویت است طرح پیشنهادی ساختاری است که از لحاظ مشخصات کلی رفتار بهتری نسبت به طرحهای ارائه شده قبلی را دارد.

[۲۲]	۹۰	۰/۰۶	۰/۷۵
[۲۳]	۶۱	۰/۰۴	۰/۵
[۲۴]	۳۷	۰/۰۴	۰/۷۵
[۱۳]	۸۰	۰/۰۶	۰/۷۵
پیشنهادی	۲۸	۰/۰۱	۰/۵

۵- نتیجه‌گیری

در این مقاله، تلاش شده است که ساختارهای مختلف تمام جمع کننده در تکنولوژی QCA مورد بررسی قرار گرفته و ساختار جدید نیز به عنوان تمام جمع کننده در تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی معرفی گردد. ساختارهای پیشین از منظر تعداد سلول مصرفی و نیز سطح مقطع اشغالی مشکلاتی داشته‌اند که در این مقاله تلاش شده است علاوه بر کاهش تعداد سلول و تاخیر، مساحت مصرفی را نیز مقدار منطقی و کمی داشته باشد. علاوه بر این برخی از ساختارها نیز با توجه به قرار گرفتن ورودیها یا خروجیها در داخل مدار، امکان استفاده در مدارهای بزرگتر را نداشتند. لذا در این مقاله ابتدا ساختار تمام جمع کننده پیشنهادی با تنها ۲۸ سلول، نیم سیکل کلاک تاخیر و سطح مقطع ۰/۰۱ میکرومتر مربع ارائه شده است. سپس ساختار فوق جهت تصدیق رفتار و عملکرد صحیح در یک مدار پیچیده تر مورد استفاده قرار گرفته شد و در حقیقت یک ساختار جمع کننده به صورت جمع کننده با بیت نقلی موج گونه طراحی شده است. طراحی پیشنهادی دارای پیاده سازی QCA کارآمد از لحاظ پیچیدگی است که در آن شبیه‌سازی با استفاده از ابزار QCAdesigner برای برآورد عملکرد ساختار ها انجام شده است.

جدول (۱): مقایسه ساختار پیشنهادی و طرحهای گذشته

ساختار	تعداد سلول (تعداد)	مساحت (μm^2)	تاخیر (سیکل کلاک)
[۱۸]	۹۸	۰/۱	۱
[۱۹]	۳۷	۰/۰۴	۰/۷۵
[۲۰]	۴۰	۰/۰۳	۰/۵
[۱]	۳۵	۰/۰۳	۰/۵
[۲۱]	۷۸	۰/۰۶	۰/۷۵
[۵]	۷۵	۰/۰۶	۰/۷۵

مراجع

[1] Gholami M, Valipour P, Alamdar H. One-bit Full Adder with Low Delay and Low Cell Count in the Emerging Technology of Quantum-Dot Cellular Automata. Journal of Iranian Association of Electrical and Electronics Engineers 2024; 21 (1) :11-16

[2] M. Repe, S. Koli, Novel energy efficient RND inverter using quantum dot cellular automata in nanotechnology. Scientific Reports. 2024 Jan 2;14(1):190.

[3] M. Alharbi, G. Edwards, R. Stocker, An Ultra-Energy-Efficient Reversible Quantum-Dot Cellular Automata 8: 1 Multiplexer Circuit. Quantum Reports. 2024 Jan 16;6(1):41-57.

[4] AH. Majeed, MS. Zainal, E. Alkaldy, Nor DM. Full adder circuit design with novel lower complexity XOR gate in QCA technology. Transactions on Electrical and Electronic Materials. 2020 Apr;21:198-207.

[5] M. Raj, L. Gopalakrishnan, SB. Ko, Design and analysis of novel QCA full adder-subtractor. International Journal of Electronics Letters. 2021 Jul 3;9(3):287-300.

[6] M. Patidar, N. Gupta, Efficient design and implementation of a robust coplanar crossover and multilayer hybrid full adder–subtractor using QCA technology. The Journal of Supercomputing. 2021 Aug 1:1-23.

[7] F. Salimzadeh, SR. Heikalabad, A full adder structure with a unique XNOR gate based on Coulomb interaction in QCA nanotechnology. Optical and Quantum Electronics. 2021 Aug;53(8):479.

[8] SS. Ahmadpour, M. Mosleh, S. Rasouli Heikalabad, Robust QCA full-adders using an efficient fault-tolerant five-input majority gate. International Journal of Circuit Theory and Applications. 2019 Jul;47(7):1037-56.

[9] S. Erniyazov, JC. Jeon, Carry save adder and carry look ahead adder using inverter chain based coplanar QCA full adder for low energy dissipation. Microelectronic Engineering. 2019 Apr 15;211:37-43.

[10] SR. Heikalabad, R. Ahmadi, F. Salimzadeh, Introducing a Full-Adder Structure for Finite Field in QCA. ECS Journal of Solid State Science and Technology. 2021 Jun 17;10(6):063006.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.33]

[11] SM. Bhat, S. Ahmed, Design of ultra-efficient reversible gate based 1-bit full adder in QCA with power dissipation analysis. International Journal of Theoretical Physics. 2019 Dec;58(12):4042-63.
[12] S. Zoka, M. Gholami, A novel efficient full adder–subtractor in QCA nanotechnology. International Nano Letters. 2019 Mar;9(1):51-4.
[13] M. Ebrahimy, M. Gholami, H. Adarang, R. Yosefi, Novel robust quantum-dot cellular automata (QCA) full adder in the one-dimensional clock. International Journal of Nano Dimension. 2022 Oct 1;13(4):353-61.
[14] M. Ebrahimy, M. Gholami, H. Adarang, R. Yousefi, A novel low-latency ALU in the one-dimensional clock scheme in QCA nanotechnology. The European Physical Journal Plus. 2024 Feb 1;139(2):115.
[15] I. Gassoumi, L. Touil, A. Mtibaa, An efficient QCA-based full adder design with power dissipation analysis. International Journal of Electronics Letters. 2023 Jan 2;11(1):55-67.
[16] V. Jain, DK. Sharma, HM. Gaur, AK. Singh, X. Wen, Comprehensive and Comparative Analysis of QCA-based Circuit Designs for Next-generation Computation. ACM Computing Surveys. 2023 Nov 25;56(5):1-36.
[17] F. Fouladinia, M. Gholami, Design of a Novel Decimal to Multicode Converter in QCA Technology. Journal of Electrical and Computer Engineering. 2023 Oct 7;2023.
[18] S.K. Lakshmi, G. Athisha, Design and analysis of adders using nanotechnology based quantum dot cellular automata. J. Comput. Sci. 7, 1072–1079 (2011)
[19] AH. Majeed, MS. Zainal, E. Alkaldy, DM. Nor, Full adder circuit design with novel lower complexity XOR gate in QCA technology. Transactions on Electrical and Electronic Materials. 2020 Apr;21:198-207.
[20] T.N. Sasamal, A.K. Singh, and U. Ghanekar, Efficient design of coplanar ripple carry adder in QCA. IET Circuits, Devices & Systems, 2018. **12**(5): p. 594-605.
[21] H. Mohammadi, K. Navi, and M. Hosseinzadeh, An efficient quantum-dot cellular automata full adder based on a new convertible 7-input majority-not gate. IETE Journal of Research, 2020: p. 1-9.
[22] Y.Z. Barughi, and S.R. Heikalabad, A Three-Layer Full Adder/Subtractor Structure in Quantum-Dot Cellular Automata, Int J Theor Phys, 56 (2017) 2848-2858.
[23] S. Erniyazov, JC. Jeon, Carry save adder and carry look ahead adder using inverter chain based coplanar QCA full adder for low energy dissipation. Microelectronic Engineering. 2019 Apr 15;211:37-43.
[24] JA. Bravo-Montes, A. Martín-Toledano, A. Sánchez-Macián, O. Ruano, F. Garcia-Herrero, Design and implementation of efficient QCA full-adders using fault-tolerant majority gates. The Journal of Supercomputing. 2022 Apr;78(6):8056-80.

زیرنویس‌ها

[1] Ripple Carry Adder

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.33]