Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 1, 2025
DOI: 10.61186/jiaeee.22.1.23

Instructions and Formatting Rules for Extended Summary

MohammadReza Barpour[1] , Khosro Rajabpour Moghadam[2] , Peyman Mohamadi Khalilabad[3]

[1] Ph.D. Student, Department of Electrical Engineering, Bojnourd Branch, Islamic Azad University, Bojnourd, Iran
mrbp200@gmail.com
[2]Assistant Professor, Department of Electrical Engineering, Bojnourd Branch, Islamic Azad University, Bojnourd, Iran
rajabpourm@bojnourdiau.ac.ir
[3]Assistant Professor, Department of Electrical Engineering, Bojnourd Branch, Islamic Azad University, Bojnourd, Iran
peiman_mohamadi@bojnourdiau.ac.ir

Abstract:

This paper presents a fully integrated fractional-N frequency synthesizer for ISM frequency band. In this paper a new linearization technique is presented for Charge Pump (CP) circuit that leads to enhance CP's linearity and overall frequency synthesizer. The presented frequency synthesizer is implemented in 180-nm CMOS technology by using cadence-virtuoso cad tool. Simulation result of the proposed technique shows that the matching characterization of the CP enhanced by role of 44% and the maximum mismatch in the range of 0.2-1.6 V of control voltage is equal to 0.4 µA. The presented CP improves 25 dBc/Hz close-in phase noise of the overall synthesizer that eventually improved the receiver sensitivity. Simulation results of the overall frequency synthesizer demonstrated that the loop is locked in 2 µS, the phase noise in 1 KHz, 10 KHz, 100 KHz, and 1 MHz offsets are equal to -63 dBc/Hz, -90 dBc/Hz, -95 dBc/Hz, and -107 dBc/Hz, respectively, and the higher fractional-N spurs is 53 dBc below than carrier signal. Power dissipation of the presented frequency from a 1.8 V power supply is 1 mW.

Keywords: **Frequency synthesizer, Phase locked loop, Phase and frequency detector, Dead zone, ISM-Band**

Article Type: Research

Received: 02. 08. 2023

Revised: 01. 06. 2024

Accepted: 08. 01. 2025

Corresponding author: KH.Rajabpourmoghaddam

Corresponding author's address: Holy Defense Square,University Street, Elec. Eng. Dep., Islamic Azad University, Bojnourd Branch, Bojnourd , Iran

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

Over the last decade, the integration of circuits using CMOS technology has emerged as a highly significant field, with advanced CMOS processes enabling the development of high-data-rate wireless systems [1]. The growing demand for high-data-rate wireless communication systems is rapidly progressing toward commercialization, necessitating the use of frequency synthesizers based on phase-locked loops (PLLs) for generating local signals [2, 3]. The spectral purity of the local signal is a critical factor in the overall performance of transceivers, and in such applications, frequency synthesizers are employed to produce these signals.

2. Contributions

However, spurious tones in local signals are unavoidable and significantly constrain transceiver performance. Reducing the power of these spurious tones typically increases the linearity requirements for circuit components such as charge pumps, phase-frequency detectors, and dividers. This, in turn, limits the choice of reference frequency and reduces the loop bandwidth. Notably, higher linearity requirements lead to increased power consumption and larger circuit sizes, while restricting the reference frequency reduces design flexibility. Additionally, reducing the loop bandwidth results in higher in-band noise, longer settling times, and larger loop filter sizes [4]. Furthermore, spurious tone reduction techniques have become less effective in sub-100-nanometer technologies, exacerbating the impact of spurious tones on power consumption and chip costs. This issue is further aggravated by Moore's Law scaling.

3. Procedures

To address the need for a frequency synthesizer in the ISM band, a frequency range of 2.4-2.5 GHz with quadrature outputs is required. This paper proposes the use of a 2.4-2.5 GHz quadrature voltage-controlled oscillator (QVCO) to achieve this goal. The oscillator's output is connected to a dual-mode programmable divider, whose output is then sent to a phase-frequency detector (PFD) for comparison with a 5 MHz reference frequency. The PFD outputs are fed into a charge pump circuit to regulate the loop gain, and the charge pump's output is connected to a second-order low-pass filter. This filter ensures a smooth and distortion-free control voltage for the oscillator. A linear-mathematical model is introduced to describe the behavior of the injected charges from the charge pump into the loop during the locked state, followed by the presentation of the proposed charge pump circuit and other related circuit designs.

4. Findings

This paper presents the design of a fully integrated fractional frequency synthesizer operating in the 2.4-2.5 GHz range, implemented in 180 nm CMOS technology. The synthesizer incorporates a linearization technique applied to the charge pump circuit, enhancing both the charge pump and synthesizer linearity. This improvement ensures consistent and stable dynamic performance of the synthesizer across a broad spectrum of control voltages.

5. Conclusion

Simulation results for the proposed technique demonstrate a 44% improvement in the linearity of charge pump current flows. Within the control voltage range of 0.2-1.6V, the maximum current mismatch is 0.4 µA. Additionally, the technique reduces in-band phase noise by 25 dBc/Hz, highlighting the effectiveness of the proposed design. Simulations of the entire synthesizer loop reveal a loop lock time of 2 µS. The phase noise of the synthesizer at frequency offsets of 1 KHz, 10 KHz, 100 KHz, and 1 MHz is measured at -63 dBc/Hz, -90 dBc/Hz, -95 dBc/Hz, and -107 dBc/Hz, respectively. The maximum fractional spur power is 60 dBc below the carrier tone. The proposed synthesizer, powered by a 1.8 V supply, consumes 1 mW of power.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره اول، بهار ۱۴۰۴، صفحات ۲۳-۳۰

DOI: 10.61186/jiaeee.22.1.23

سنتزکننده فرکانسی نوع کسری تمام مجتمع شده در تکنولوژی ۱۸۰ نانومتر CMOS برای باند فرکانسی ISM

محمدرضا برپور[۱]، خسرو رجب‌پور مقدم[۲]، پیمان محمدی خلیل آباد[۳]

۱- دانشجوی دکتری- دانشکده مهندسی برق- واحد بجنورد- دانشگاه آزاد اسلامی- بجنورد- ایران

mrbp200@gmail.com

۲ استادیار -دانشکده مهندسی برق- واحد بجنورد- دانشگاه آزاد اسلامی- بجنورد- ایران

rajabpourm@bojnourdiau.ac.ir

۳- استادیار- دانشکده مهندسی برق- واحد بجنورد- دانشگاه آزاد اسلامی- بجنورد- ایران

peiman_mohamadi@bojnourdiau.ac.ir

چکیده: در این مقاله یک سنتزکننده فرکانسی نوع کسری کاملاً مجتمع شده برای پوشش باند فرکانسی ISM طراحی و شبیه‌سازی شده است. در این مقاله یک تکنیک خطی‌ساز برای مدار شارژ پمپ ارائه شده است که منجر به بهبود خطینگی مدار شارژ پمپ و در نتیجه کل سنتزکننده شده است. سنتزکننده پیشنهادی در تکنولوژی ۱۸۰ نانومتر CMOS با استفاده از ابزار کیدنس شبیه‌سازی شده است. نتایج شبیه‌سازی شده از تکنیک ارائه شده در مدار شارژ پمپ نشان می‌دهد که خطینگی جریان‌های مدار شارژ پمپ حدود ۴۴٪ بهبود یافته است و در بازه‌ی ولتاژ کنترلی 0.2-1.6 V ، حداکثر ناانطباقی جریانها برابر با 0.4 µA می‌باشد. بهبود خطینگی جریان‌های مدار، باعث کاهش 25 dBc/Hz نویز فاز داخل باند حلقه قفل فاز شده و حساسیت گیرنده را نیز افزایش می‌دهد. نتایج شبیه‌سازی شده کل حلقه سنتزکننده نشان می‌دهد که زمان قفل حلقه برابر با 2 µS، نویز فاز سنتزکننده برای آفست‌های فرکانسی 1 KHz، 10 KHz، 100 KHz و 1 MHz به ترتیب برابر 63- dBc/Hz، 90- dBc/Hz، 95- dBc/Hz و 107- dBc/Hz است و بیشینه توان تن‌های کسری 53 dBc پایین‌تر از سیگنال حامل است. توان مصرفی سنتزکننده ارائه شده از یک منبع تغذیه 1.8 V برابر 1 mW است.

کلمات کلیدی: سنتزکننده فرکانسی، حلقه قفل فاز، آشکار ساز فاز و فرکانس، ناحیه مردگی، باند ISM

نوع مقاله: پژوهشی

دریافت: ۱۴۰۲/۵/۱۱

بازنگری: ۱۴۰۳/۳/۱۲

پذیرش: ۱۴۰۳/۱۰/۱۹

نام نویسنده‌ی مسئول: دکتر خسرو رجب‌پورمقدم

نشانی نویسنده‌ی مسئول: ایران – بجنورد – میدان دفاع مقدس-خیابان دانشگاه– دانشگاه آزاد اسلامی واحد بجنورد – دانشکده‌ی برق

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

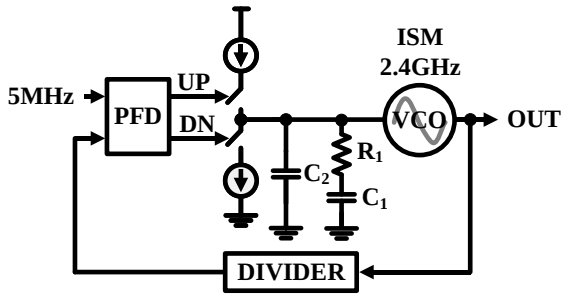
۱- مقدمه

در طول یک دهه‌ی گذشته مجتمع‌سازی مدارات با استفاده از تکنولوژی CMOS به یک زمینه بسیار شاخص تبدیل گردیده و پروسه‌های پیشرفته CMOS امکان پیاده‌سازی سیستم‌های بی‌سیم با نرخ داده بالا را فراهم آورده است[۱]. تقاضا برای سیستم‌های بی‌سیم مخابراتی با نرخ داده بالا به سرعت به سمت تجاری شدن می‌روند، که نیازمند استفاده از سنتزکننده‌های فرکانسی مبتنی بر حلقه‌های قفل فاز برای تولید سیگنال محلی می‌باشند[۳,۲]. معمولاً، خلوص طیف توان سیگنال محلی، یکی از شاخص‌های بسیار مهم در عملکرد کلی فرستنده-گیرنده‌ها به حساب می‌آید و سیگنال محلی در این کاربردها توسط سنتزکننده‌های فرکانسی پیاده‌سازی می‌شوند. متاسفانه، تن‌های هرز در سیگنالهای محلی ناگریز هستند و به شدت عملکرد فرستنده-گیرنده‌ها را محدود می‌کنند. معمولاً کم کردن توان این تن‌های هرز، منجر به افزایش خطینگی بلوک‌های مداری همچون شارژ پمپ، آشکارساز فاز-فرکانس و تقسیم کننده شده و سبب محدود کردن انتخاب فرکانس مرجع، و کم کردن پهنای باند حلقه می‌گردد. شایان ذکر است که افزایش خطینگی منجر به افزایش توان مصرفی و بزرگ شدن حجم مدار می‌شود، محدود کردن فرکانس مرجع انعطاف طراحی را می‌کاهد، و کاهش پهنای باند حلقه منجر به افزایش نویز داخل باند، زمان نشست، و اندازه فیلتر حلقه می‌شود[۴]. علاوه بر این، این تکنیک‌های کاهش توان تن‌های هرز در تکنولوژی‌های زیر ۱۰۰ نانومتر کم اثر شده که در نتیجه مسئله تن‌های هرز تاثیر نامطلوبی بر روی توان مصرفی و قیمت تراشه‌ها می‌گذارد و این مسئله با مقیاس قانون مور بدتر نیز می‌شود.

به هر حال، تعداد مراجع زیادی برای طراحی این نوع سیستم‌ها ارائه شده است [۵-۷] و [۱۹-۲۱]. یک سنتزکننده فرکانسی مالتی استاندارد در [۵] ارائه شده است. در این مرجع برای پوشش بازه فرکانسی مالتی استاندارد از یک نوسانساز کنترل شده با ولتاژ ربعی و یک SSB-mixer با بار سلفی برای برگشت هارمونیک‌ها استفاده شده است. واضح است که SSB-mixer به خوبی نمی‌تواند سیگنالهای ناخواسته را از بین ببرد و همچنین استفاده از چهار سلف در تراشه منجر به افزایش سطح تراشه نیز می‌شود. در مرجع [۶] یک سنتزکننده فرکانسی مالتی استاندارد دیگری ارائه شده است، که در آن با معماری پیشنهادی و طرح جدید ارائه شده برای تقسیم‌کننده دو حالته، توان مصرفی سنتزکننده کاهش داده شده است. ولی از جمله مشکلات سیستم ارائه شده این است که سطح تن‌های مرجع را بسیار بالا برده است و همچنین سنتزکننده این معماری، نویز-فاز نامناسبی دارد. در مرجع [۷] یک شارژ پمپ خطی جهت کاهش نویز کف باند حلقه‌های قفل فاز ارائه شده است. در این مرجع خطینگی شارژ پمپ از طریق سه حلقه فیدبک با کمک سه تقویت کننده عملیاتی پیاده‌سازی شده است که با وجود طراحی در تکنولوژی ۴۰ نانومتر توان مصرفی بسیار زیادی دارد (۰/۷۲ میلی وات گزارش شده است). در این مقاله بر روی خطی‌سازی مدار شارژ پمپ تمرکز شده است و یک تکنیک خطی‌ساز برای مدار شارژ پمپ ارائه شده است که در بخش‌های آتی به صورت مفصل به ارائه آن پرداخته شده است. بخش‌های تشکیل دهنده‌ی این مقاله به این روال می‌باشد؛ در بخش ۲ به ارائه معماری پیشنهادی برای سنتزکننده پرداخته شده است. در بخش ۳ به طراحی مدارات سیستم سنتزکننده پیشنهادی پرداخته شده است. در بخش ۴ به ارائه نتایج کلی سنتزکننده پرداخته شده است. در بخش ۵ به نتیجه کار ارائه شده پرداخته شده است.

۲- معماری سنتزکننده نوع کسری

در شکل ۱ معماری سنتزکننده پیشنهادی ارائه شده است. برای استفاده از سنتزکننده فرکانسی در باند ISM، بازه فرکانسی 2.5-2.4 GHz با خروجی‌های ربعی مورد نیاز است. برای تحقق بخشیدن این امر در این مقاله از یک نوسانساز ربعی کنترل شده با ولتاژ 2.5-2.4 GHz استفاده شده است. خروجی نوسانساز به یک تقسیم کننده برنامه‌پذیر دوحالته وصل شده است. خروجی تقسیم‌کننده برنامه‌پذیر به یک آشکارساز فاز-فرکانس جهت مقایسه با یک فرکانس مرجع 5 MHz ارسال شده است. خروجی‌های آشکارساز فاز-فرکانس به یک مدار شارژ پمپ جهت کنترل بهره حلقه اعمال شده‌اند و در نهایت خروجی شارژ پمپ یه یک فیلتر پایین‌گذر مرتبه دو وصل شده است که وظیفه آن تأمین یک ولتاژ کنترلی بدون اعوجاج و صاف برای نوسانساز می‌باشد. در ادامه ابتدا یک مدل خطی-ریاضی برای بیان رفتار شارژهای تزریق شده مدار شارژ پمپ به داخل حلقه در حالت قفل ارائه شده است و سپس به ارائه مدار پیشنهادی مدار شارژ-پمپ و دیگر مدارات پرداخته شده است.



شکل (۱). معماری متعارف پیاده سازی شده برای سنتزکننده

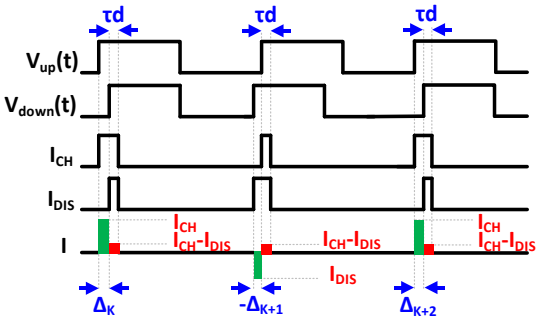
۲-۱- مدل خطی شارژهای تزریق شده به حلقه قفل فاز در حالت قفل

۱-۱- در شکل ۲ دیاگرام زمانی *PFD/CP* در حالت قفل برای یک سنتزکننده نشان داده شده است. همانطور که در شکل ۲ دیده می‌شود جریان خروجی شارژ-پمپ در هر سیکل از مرجع، از دو بخش تشکیل

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]

شده است. یک بخش از جریان خروجی بصورت قسمت‌های شارژی سبز رنگ نشان داده شده است که در واقع نتیجه‌ی رفتار تقسیم کننده می‌باشد که اصطلاحاً خطای *residue* یا (ΔKi) نامیده می‌شود و در هر سیکل از مرجع، اندازه‌ی آن متفاوت می‌باشد. بخش دیگر بصورت قسمت‌های شارژی قرمز رنگ نشان داده شده است که در تمامی سیکل‌ها به یک اندازه می‌باشد و بدلیل وجود تأخیر در راه-اندازی مجدد مسیر *PFD* و عدم انطباق بین منابع جریان شارژ پمپ به وجود آمده است (در شکل۲ فرض شده است که بدلیل ناانطباقی جریان‌ها برابر نبوده و جریان I_{CH} بیشتر از جریان I_{DIS} بوده است).



شکل(۲): دیاگرام زمانی PFD/CP در حالت حلقه قفل

با در نظر گرفتن عدم انطباق بین منابع جریان شارژ پمپ، به اندازه ε، می‌توان جریان‌های شارژ کننده و دشارژ کننده‌ی شارژ پمپ را به شکل زیر تعریف کرد [۱۸]:

$$I_{CH} = I_{CP}\left(1+\frac{\varepsilon}{2}\right) \quad (۱)$$

$$I_{DIS} = I_{CP}\left(1-\frac{\varepsilon}{2}\right) \quad (۲)$$

در روابط فوق I_{CH}، I_{DIS}، I_{CP} به ترتیب بیانگر جریان شارژ کننده، جریان دشارژ کننده، و جریان شارژ پمپ می‌باشند. شارژهای سبز رنگ خروجی شارژ پمپ که به دلیل خطای residue بوجود آمده‌اند را می‌توان به صورت زیر تعریف کرد [۱۸]:

$$\begin{cases} \text{if})\Delta_K > 0 \rightarrow I_{out,K} = \dfrac{\Delta_K}{T_{ref}} \times I_{CP}\left(1+\dfrac{\varepsilon}{2}\right) \\ \text{if})\Delta_K < 0 \rightarrow I_{out,K} = \dfrac{-\Delta_K}{T_{ref}} \times I_{CP}\left(1-\dfrac{\varepsilon}{2}\right) \end{cases} \quad (۳)$$

در رابطه فوق T_{ref} پریود زمانی سیگنال مرجع می‌باشد. رابطه فوق از دو بخش تشکیل شده است که بخش اول، شارژ مورد انتظار از خطای residue می‌باشد (ideal current) و بخش دوم، شارژ بوجود آمده بدلیل وجود نا انطباقی در شارژ پمپ می‌باشد(mismatch current). شارژهای قرمز رنگ خروجی شارژ پمپ، به خاطر وجود تأخیر در راه‌اندازی مجدد مسیر PFD و ناانطباقی بین منابع جریان شارژ پمپ بوجود آمده‌اند و می‌توان آنها را به صورت زیر تعریف کرد [۱۸]:

$$I_{out} = \varepsilon \times \frac{I_{CP}}{T_{ref}} \tau d \quad (۴)$$

در رابطه فوق τd مدت زمان تأخیر در مسیر راه‌اندازی مجدد PFD می‌باشد. با ادغام روابط (۳) و (۴) می‌توان یک رابطه واحد و یکپارچه به صورت زیر برای شارژهای موجود در خروجی شارژ پمپ بیان کرد [۱۸]:

$$I_{out,K} = \frac{I_{CP}}{T_{ref}}\Delta_K + \frac{\varepsilon}{2} \times \frac{I_{CP}}{T_{ref}} \times |\Delta_K| + \varepsilon \times \frac{I_{CP}}{T_{ref}} \tau d \quad (۵)$$

در رابطه (۵)، نویز جمله اول یعنی جریان ideal، مطابق با عملکرد دلتا- سیگما به فرکانس‌های بالا شیفت داده می‌شود. جمله دوم جریان mismatch بصورت یک تابع قدر مطلق مُدل شده است و چون رفتار این تابع غیر خطی می‌باشد منجر به کاهش دادن رفتار شکل‌دهی نویز گردیده و در نتیجه نویز داخل باند زیاد می‌شود که به اصطلاح به این نویز، نویز فولدینگ می‌گویند. جمله سوم، بصورت پریودیک و با یک مقدار ثابت وارد فیلتر حلقه می‌شود و منجر به تولید یک آفست فاز در حلقه سنتزکننده می‌شود. آفست فاز تولید شده از جمله سوم باعث می‌شود که زمان روشن ماندن جریان‌های شارژ پمپ زیاد شود. زیاد شدن مدت زمان روشن بودن شارژ-پمپ منجر به ایجاد اغتشاش بر روی ولتاژ کنترلی می‌شود که نتیجتاً منجر به تولید تن‌های هرز در خروجی سنتزکننده می‌شود. از این رو کاهش نا انطباقی بین پمپ‌های شارژ پمپ باعث بهبود نویزفاز کل حلقه می‌شود.

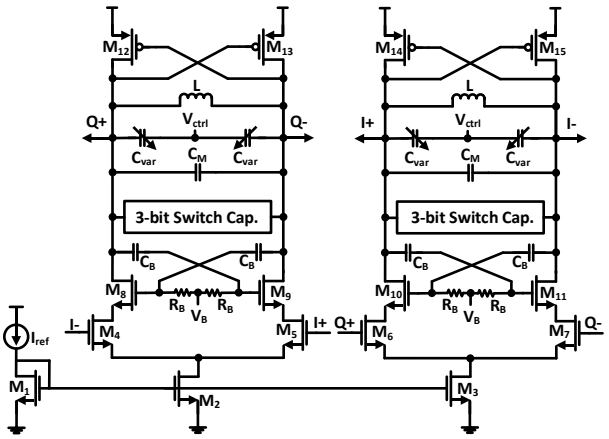
۳- مدارات سنتزکننده

در این بخش به ارائه جزئیات کامل در مورد طراحی و همچنین تحلیل مدارات شامل نوسانساز، تقسیم کننده برنامه‌پذیر، شارژ پمپ، و آشکار ساز فاز-فرکانس پرداخته شده است.

۳-۱- نوسانساز ربعی کنترل شده با ولتاژ

در این مقاله برای پوشش بازه فرکانسی 2.4-2.5 GHz از یک نوسان‌ساز ربعی کنترل شده با ولتاژ استفاده شده است. همانطور که در شکل ۳ دیده می‌شود هسته نوسان‌ساز مبتنی بر Class-C مکمل nMOS و pMOS با ساختار cross-coupled می‌باشد [۸]. با این ساختار براحتی می‌توان با یک بودجه توان پایین به یک بازه پوششی بالا و نویز-فاز پایین رسید. تانک LC در این نوسان‌سازها از یک سلف متفارن و دو خازن متغیر برای تنظیم دقیق تشکیل شده است و در نهایت برای کاستن گین نوسان‌سازها از یک آرایه سوئیچ-خازنی ۳-بیتی استفاده شده است. مقاومت داخلی سوئیچ‌های خازنی تأثیر نامطلوبی بر روی ضریب کیفیت تانک نوسان‌سازها می‌گذارد که برای کم کردن این اثر نامطلوب از تکنیک سوئیچ زنی ارائه شده در [۹] استفاده شده است. در نهایت برای جلوگیری از جابجایی فرکانس و

[Downloaded from jiaeee.com on 2026-11-16]
[DOI: 10.61186/jiaeee.22.1.19]



M_{4-7}	5×10µm/180nm	C_{var}	100-300 fF
M_{8-11}	7×10µm/180nm	C_B	250 fF
M_{12-15}	10×10µm/180nm	M_{2-3}	5×5µm/10µm
L	2.5nH	M_1	5µm/10µm
C_M	500fF	I_{ref}	200 µA

شکل(۳): مدار نوسانساز ربعی کنترل شده با ولتاژ

کاستن نویز-فاز توسط طبقات بعدی، خروجی نوسان‌سازها به بافر وصل شده است که این بافرها هیچگونه تأثیر منفی بر روی نویز-فاز و دامنه خروجی نوسان‌سازها ندارند.

۳-۲- تقسیم کننده دو حالته

شکل ۴ طرح سیستمی-مداری یک تقسیم کننده دو حالته برنامه‌پذیر را نشان می‌دهد که از یک آرایه از سلول‌های تقسیم کنندگی ۳/۲ تشکیل شده است. برای بازه فرکانسی 2.4-2.4 GHz و فرکانس مرجع 5 MHz، نیاز به یک بازه تقسیم‌کنندگی ۴۸۰-۵۰۰ داریم. در ادامه رابطه تعیین کننده‌ی بازه تقسیم‌کنندگی در این نوع از تقسیم‌کننده‌ها ارائه شده است؛

$$N = 2^n + 2^{n-1} \cdot p_n + 2^{n-2} \cdot p_{n-1} \ldots + 2^{n-n} \cdot p_{n-(n-1)}$$

در این رابطه (n) مقدار تقسیم‌کنندگی و (p_i) بیت کنترلی هر طبقه می‌باشد. همانطور که در رابطه (۱) قابل اثبات می‌باشد، بازه تقسیم‌کنندگی در یک تقسیم کننده n بیتی از 2^n تا $2^{n+1}-1$ می‌باشد که از این‌رو برای پوشش رنج تقسیم‌کنندگی ۴۸۰-۵۰۰ نیاز به ۸ طبقه سلول تقسیم‌کنندگی ۳/۲ داریم. سلول تقسیم‌کننده ۳/۲ یک تقسیم کننده تقسیم بر ۲ می‌باشد با یک قابلیتی که می‌تواند یک پریود از سیگنال ورودی را در زمانی که p_i فعال شود نگه دارد. جزئیات بیشتر در مورد این نوع تقسیم‌کننده‌های برنامه پذیر در مرجع [۱۰] ارائه شده است. برای کاهش دادن توان مصرفی کل سنتزکننده از ساختار True Single-Phase Clocked (TSPC) برای بلوک‌های تقسیم به ۳/۲ استفاده شده است [۱۱]. همانطور که در شکل ۳ دیده می‌شود، برای بهبود بخشیدن سرعت این تقسیم کننده‌ها گیت AND با DFF ادغام شده است.

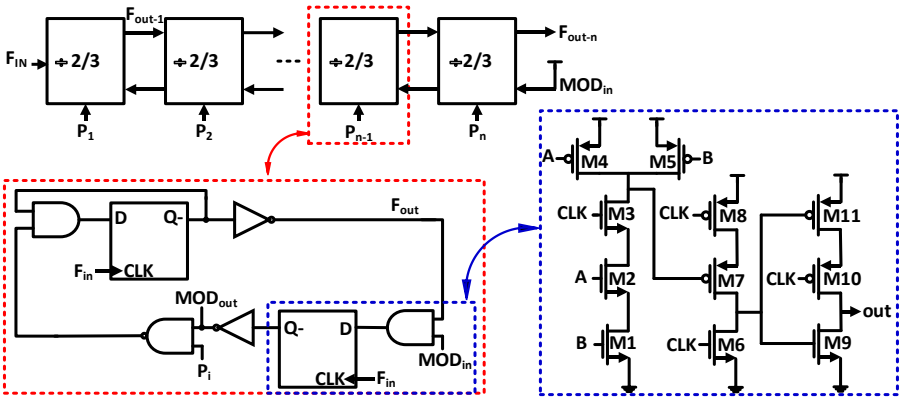
۳-۳- مدار آشکار ساز فاز-فرکانس

آشکار ساز فاز-فرکانس استفاده شده در این مقاله براساس ساختار TSPC پیاده‌سازی شده است. شکل مدار آشکارساز فاز-فرکانس

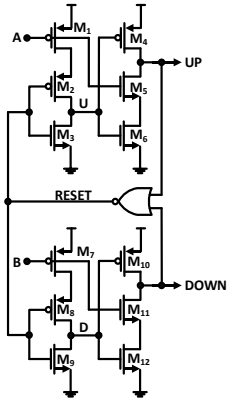
طراحی شده در این مقاله درشکل ۵ ارائه شده است [۱۲]. از جمله مزیت‌های این آشکار ساز فاز-فرکانس؛ ساختار ساده، سرعت بالا، و توان مصرفی پایین آن می‌باشد. نحوه کارکرد مدار به این صورت می‌باشد؛ زمانی که سیگنالهای RESET و A/B صفر باشند، گره U/D از طریق ماسفت‌های $M_{1,2}/M_{7,8}$ به Vdd متصل و شارژ می‌شود. در لبه‌ی بالا رونده‌ی سیگنال A/B گره خروجی UP/DOWN از طریق ماسفت‌های $M_{5,6}/M_{11,12}$ به زمین وصل می‌شود. زمانی که گره U/D به Vdd شارژ می‌شود، گره خروجی به هیچ وجه UP/DOWN تحت تاثیر سیگنال ورودی A/B قرار نمی‌گیرد. زیرا شارژهای روی گره U/D ماسفت M_5/M_{11} را خاموش می‌کند و از متصل شدن گره خروجی به Vdd ممانعت می‌کند، از این رو گره خروجی UP/DOWN از گره ورودی A/B قطع می‌شود. زمانیکه سیگنال RESET فعال می‌شود، گره U/D از Vdd قطع و از طریق M_3/M_9 به زمین وصل می‌شود و ماسفت M_4/M_{10} روشن می‌شوند که در نتیجه گره خروجی UP/DWON به Vdd وصل می‌شود. ماسفت M_2/M_8 برای جلوگیری کردن از اتصال کوتاه شدن مدار در زمانیکه سیگنال RESET اعمال می‌شود بکار رفته است. بدون حضور ماسفت M_2/M_8 اگر سیگنال A/B "صفر" باشد و سیگنال RESET "یک" باشد یک مسیر اتصال کوتاه از Vdd به زمین برقرار می‌گردد که منجر به افزایش توان مصرفی می‌شود. علاوه بر این، زمان راه اندازی مجدد نیز زیاد می‌شود چون‌که گره U/D از طریق M_1/M_7 به Vdd شارژ می‌شود در حالیکه M_3/M_9 گره U/D را به زمین دشارژ می‌کند. در واقع هر چه سرعت دشارژ شدن گره U/D بالا باشد، سرعت راه اندازی مجدد مدار آشکار ساز فاز-فرکانس بیشتر است.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]



شکل(۴) سیستم و مدار تقسیم کننده ۲ حالته



شکل(۵) مدار آشکارساز فاز فرکانس

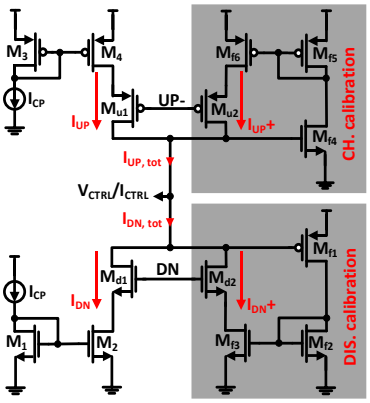
۳-۴- مدار شارژ-پمپ پیشنهاد شده

کاهش نا انطباقی بین منابع جریان شارژ پمپ یکی از چالش‌های بسیار مهم در سنتزکننده‌های مبتنی بر شارژ پمپ می‌باشد. هرگونه نا انطباقی بین منابع جریان شارژ پمپ منجر به تولید نویز داخل باند، تولید آفست در قفل حلقه، و تولید تن‌های هرز در خروجی سنتزکننده می‌گردد. شکل ۶ مدار شارژ پمپ پیشنهاد شده را نشان می‌دهد. ماسفت‌های $M_{1,\ 2,\ d1}$ شاخه جریان DN (جریان دشارژ کننده) و ماسفت‌های $M_{3,\ 4,\ u1}$ شاخه جریان UP (جریان شارژ کننده) را که هسته اصلی مدار شارژ پمپ می‌باشند تشکیل می‌دهند. به دلیل وجود پدیده طول کانال در تکنولوژی‌های نانومتری، مقاومت خروجی منابع جریان محدود بوده و این امر باعث تغییر پذیر بودن جریان خروجی آینه جریان‌ها در افت ولتاژهای مختلف می‌شود. در حالت ایده‌آل بازه قفل در حلقه‌های قفل فاز، بازه‌ی بین Ground تا Vdd می‌باشد ولی در حالت واقعی این بازه به بازه‌ی انطباق منابع جریان شارژ پمپ محدود می‌شود. معمولاً برای از بین بردن پدیده طول کانال، از ماسفت‌های کانال بلند استفاده می‌شود اما مشکلی که در این رویکرد وجود دارد این است که خازن‌های پارازیتی مدار شارژ پمپ زیاد می‌شوند و منجر به پایین آمدن سرعت زمانی مدار می‌شود.

همانطور که در شکل ۶ قابل مشاهده می‌باشد، به هسته اصلی شارژ پمپ، دو جبران‌ساز با پس زمینه خاکستری که از هسته اصلی شارژ پمپ تفکیک شده است برای بهتر کردن انطباق بین شاخه‌های UP و DN شارژ پمپ اضافه شده است. جزئیات عملکرد این جبران‌سازهای پیشنهادی به این شرح می‌باشند؛ مدار جبران‌سازها از یک جبران‌ساز برای شاخه UP با نام CH. compensator و یک جبران‌ساز برای شاخه DN با نام DIS. compensator تشکیل شده است. در مدار CH. compensator، ولتاژ کنترلی (Vctrl) به یک ماسفت نوع N (M_{f4}) اعمال شده است. زمانیکه ولتاژ کنترلی از ولتاژ آستانه M_{f4} بیشتر می‌شود، M_{f4} وارد ناحیه تریود می‌شود و جریان کمی را تولید می‌کند که با رشد ولتاژ کنترلی نموی آن افزایش می‌یابد و از طریق M_{f5} و M_{f6} به عنوان جریان I_{UP+} به جریان $I_{UP,\ tot}$ اضافه می‌شود که در نتیجه کاستی جریان I_{UP} با افزایش ولتاژ کنترلی را جبران می‌کند. مشابهاً در جبران‌ساز DIS. compensator، آینه جریان M_{f1} (I_{DIS+}) که توسط ولتاژ کنترلی هدایت می‌شود به جبران کردن کاستی جریان I_{DIS} در ولتاژهای پایین کمک می‌کند. نتیجتاً جریان شاخه‌های جبران‌ساز با جریان شاخه‌های اصلی خود شارژ پمپ در گره خروجی شارژ پمپ با همدیگر جمع می‌گردند و حاصل آنها تولید دو جریان منطبق بر هم $I_{UP,\ tot}$ و $I_{DN,\ tot}$ در یک بازه‌ی ولتاژی پهنی می‌شوند. در شکل ۷ (الف) و (ب) خاصیت منطبق بودن جریانهای شارژ پمپ را برای حالت قبل و بعد جبران‌سازی را به ترتیب نشان می‌دهد. همانطور که در شکل ۷ (الف) و (ب) قابل مشاهده می‌باشد، تکنیک ارائه شده به خوبی بازه انطباق بین دو شاخه جریانی را بهبود داده است که نشان از عملکرد مناسب جبران‌سازها می‌باشد. شارژ پمپ پیشنهادی در محدوده ولتاژی 0.2-1.6 V با یک منبع ولتاژ 1.8 V، دارای نانطباقی به اندازه 0.4 µA می‌باشد. نتایج شبیه‌سازی شده برای تکنیک ارائه شده نشان می‌دهد که این تکنیک، خطینگی جریانهای مدار شارژ پمپ را ۴۴٪ بهبود داده است و در بازه ولتاژ کنترلی 0.2-1.6 V ماکزیمم نا انطباقی جریانها برابر با 0.4 µA می‌باشد. همچنین شایان ذکر است که جریان مصرفی مدار شارژ-پمپ قبل از بهبود و بعد از بهبود به ترتیب 24.2 µA و 27.6 µA است.

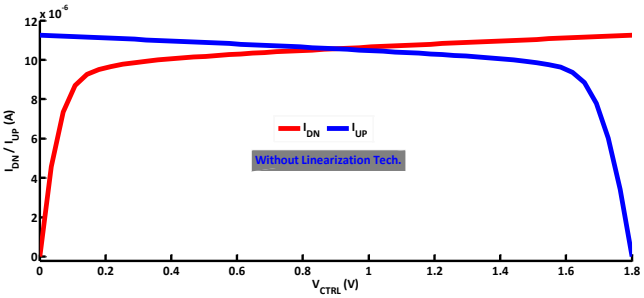
[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]

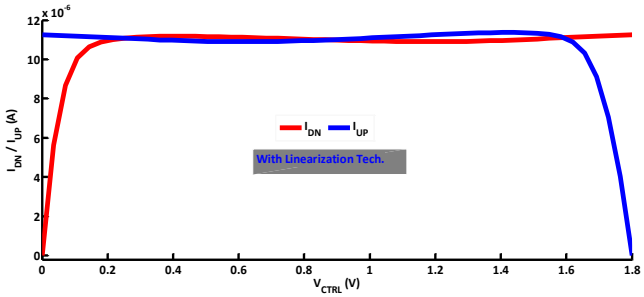


M_{1-2}	2×5µm/500nm
M_{3-4}	4×5µm/500nm
M_{f2-3}	2×5µm/500nm
M_{f5-6}	4×5µm/500nm
M_{f1}	0.5µm/10µm
M_{f4}	0.5µm/10µm
M_{u1-2}	10µm/180nm
M_{d1-2}	3µm/180nm
I_{CP}	11µA

شکل(۶): مدار شارژ پمپ پیشنهاد شده



(الف)



(ب)

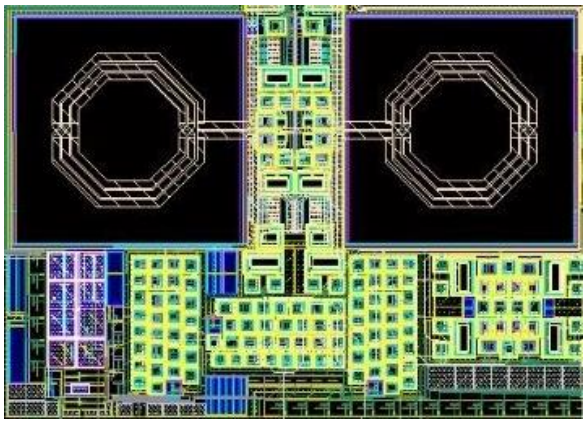
شکل (۷): خطینگی مدار شارژ؛ الف) بدون تکنیک و ب) با تکنیک

۴- نتایج نهایی سنتزکننده

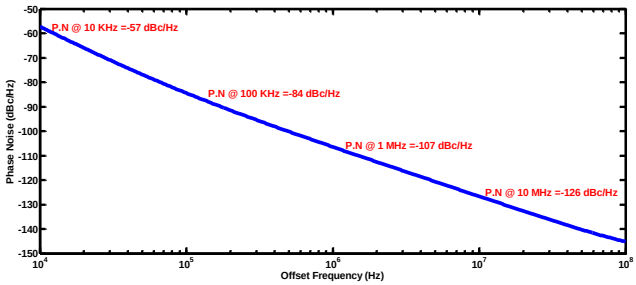
سنتزکننده فرکانسی پیشنهاد شده در تکنولوژی ۱۸۰ نانومتر CMOS طراحی شده است و تصویر پیاده‌سازی جانمایی آن در شکل ۸ ارائه شده است. ماکزیمم توان مصرفی آن از یک منبع تغذیه 1.8 V برابر با 1 mW می‌باشد. شکل ۹ نویز فاز نوسان‌ساز را نشان می‌دهد که در آفست‌های 10 KHz, 100 KHz, 1 MHz, 10 MHz نویز فازی به ترتیب برابر با -57 dBc/Hz, -84 dBc/Hz, -107 dBc/Hz, -126 dBc/Hz را دارد. شکل ۱۰ نویز فاز مجموع هر دو بلوک آشکارساز فاز-فرکانس و شارژ پمپ را نشان می‌دهد که کف نویز آن برابر با -137 dBc/Hz می‌باشد. در شکل ۱۱ رفتار حلقه قفل سنتزکننده در فرکانس 2405 MHz نشان داده شده است که حلقه در زمان 2 µS به حالت قفل رسیده است. در شکل ۱۲ نویز فاز کل سنتزکننده طراحی شده ارائه شده است که برای آفست‌های فرکانسی 1 KHz, 10 KHz, 100 KHz, 1 MHz نویز فاز به ترتیب برابر -63 dBc/Hz, -90 dBc/Hz, -95 dBc/Hz, -107 dBc/Hz می‌باشد که به نسبت حالت متعارف حدود 25 dBc/Hz نویزفاز داخل باند را کاهش داده است. همچنین در شکل ۱۳ طیف توان سیگنال خروجی سنتزکننده نشان داده شده است که در این شکل ماکزیمم توان تن‌های کسری 60 dBc/Hz پایین‌تر از سیگنال حامل می‌باشد. در جدول (۱ مقایسه‌ای از سنتزکننده طراحی شده با مراجع اخیر ارائه شده است.

۵- نتیجه‌گیری

در این مقاله یک سنتزکننده فرکانسی نوع کسری کاملاً مجتمع شده برای پوشش باند فرکانسی 2.4-2.5 GHz در تکنولوژی ۱۸۰ نانومتر CMOS طراحی شده است. در سنتزکننده طراحی شده یک تکنیک خطی‌ساز برای مدار شارژ پمپ ارائه شده است که خطینگی شارژ پمپ و سنتزکننده را بهبود بخشیده که در نتیجه باعث حفظ و ثابت نگه داشتن رفتار دینامیکی سنتزکننده در یک بازه‌ی پهنی از ولتاژ کنترلی شده است.



شکل(۸): طیف توان سیگنال خروجی سنتزکننده



شکل(۹):نویز فاز نوسانساز کنترل شده با ولتاژ

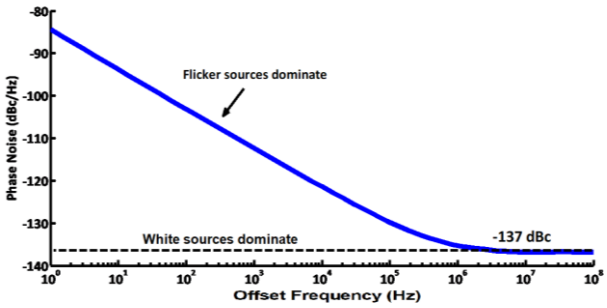
[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]

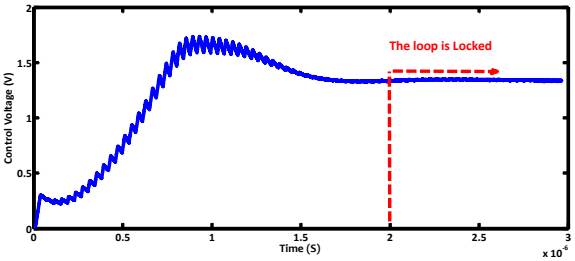
جدول (۱): مقایسه سنتزکننده طراحی شده با برخی مراجع

پارامتر	مرجع [۱۳]	مرجع [۱۴]	مرجع [15]	مرجع [۱۶]	مرجع [17]	طراحی ارائه شده
تکنولوژی	250-nm	130-nm	180-nm	180-nm	65-nm	180-nm
بازه فرکانسی (GHz)	8-12	2.158-5.133	8.67-10.12	0.06-1.92	24.4-26.8	2.4-2.5
نویز فاز در 1MHz	-106dBc/Hz	-116dBc/Hz*	-102dBc/Hz	NA	NA	-107dBc/Hz
توان تن هرز	-64 dBc/Hz	-44.28 dBc/Hz	-48 dBc/Hz	NA	NA	-60 dBc/Hz
توان مصرفی	976.8 mW	5.14 mW	44 mW	17.4mW	38mW	1 mW

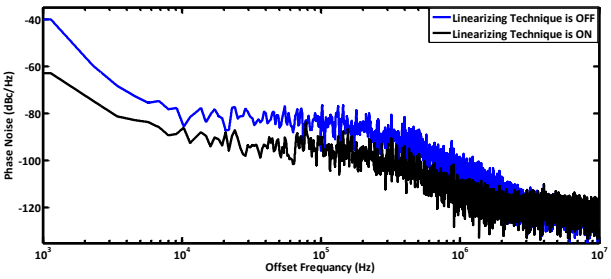
*system level simulation **circuit level simulation



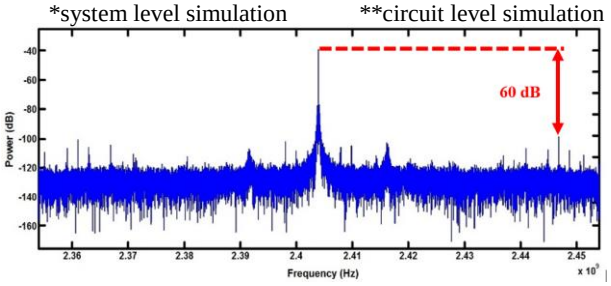
شکل(۱۰): نویز فاز بلوک آشکارساز فاز-فرکانس و شارژ پمپ طراحی شده



شکل(۱۱): حلقه رفتار حلقه قفل سنتز کننده طراحی شده



شکل(۱۲): نویز فاز کل سنتز کننده طراحی شده قبل و بعد از خطی‌سازی شارژ-پمپ



شکل(۱۳): طیف توان سیگنال خروجی سنتزکننده

نتایج شبیه‌سازی شده برای تکنیک ارائه شده نشان می‌دهد که این تکنیک خاصیت خطینگی جریان‌های مدار شارژ پمپ را ۴۴٪ بهبود داده است و در رنج بازه‌ی ولتاژ کنترلی 0.2-1.6V ماکزیمم نا انطباقی جریانها برابر با 0.4 µA می‌باشد و درنهایت 25 dBc/Hz نویز فاز داخل باند را کاهش داده است که نشان از قابلیت بالای طرح پیشنهاد شده است. نتایج شبیه‌سازی شده برای کل حلقه سنتزکننده نشان می‌دهد که زمان قفل حلقه برابر با 2 µS می‌باشد، نویز فاز سنتزکننده برای آفست‌های فرکانسی 1 KHz, 10 KHz, 100 KHz, 1 MHz به ترتیب برابر -63 dBc/Hz, -90 dBc/Hz, -95 dBc/Hz, -107 dBc/Hz می‌باشد، و ماکزیمم توان تن‌های کسری 60 dBc پایین‌تر از تن کریر می‌باشد. توان مصرفی سنتزکننده ارائه شده از یک منبع تغذیه 1.8 V برابر 1 mW می‌باشد.

مراجع

[1] T. H. Lee, H. Samavati, and H. R. Rategh, 5-GHz CMOS wirelessLANs, IEEE Trans. Microw. Theory Technol. 50 (1) (2002) 268–280. (doi: 10.1109/22.981280)

[2] A.D. Berny, A.M. Niknejad, and R.G. Meyer, A 1.8-GHz LC VCO with 1.3-GHz tuning range and digital amplitude calibration, IEEE J. Solid-State Circuits 40 (4) (2005) 909-917. (doi: 10.1109/JSSC.2004.842851)

[3] He, Ming, et al, 20.5 A 40nm dual-band 3-stream 802.11 a/b/g/n/ac MIMO WLAN SoC with 1.1 Gb/s over-the-air throughput, Proceedings of the IEEE International Solid-State Circuits Conference Digest

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]

of Technical Papers (ISSCC), 2014, pp. 350-351. (doi: 10.1109/ISSCC.2014.6757465)

[4] Liu, Xiaolong, et al, A 3.45–4.22 GHz PLL frequency synthesizer with constant loop bandwidth for WLAN applications, International Midwest Symposium Circuits and Systems (MWSCAS), 2014, pp. 1728-1731. (doi: 10.1109/MWSCAS.2014.6908523)

[5] Huang, Deping, et al, A frequency synthesizer with optimally coupled QVCO and harmonic-rejection SSBmixer for multi-standard wireless receiver, IEEE J. Solid-State Circuits 46 (6) (2011) 1307-1320. (doi: 10.1109/JSSC.2011.2124970)

[6] Huang, Fuqing, et al. "A 1.78–3.05 GHz fractional-N frequency synthesizer with power reduced multi-modulus divider", ANALOG INTEGR CIRC S, 72 (1) (2012) 97-109. (doi: https://doi.org/10.1007/s10470-012-9842-7)

[7] Chen, Yating, Yan Han, and Sihui Wang. "A high swing charge pump with current mismatch reduction for PLL applications", IEICE Electronics Express (2021): 18-20200434. (doi: 10.1587/elex.18.20200434)

[8] Mazzanti, Andrea, and Pietro Andreani, Class-C harmonic MOS VCOs, with a general result on phase noise, IEEE J. Solid-State Circuits 43 (12) (2008) 2716-2729. (doi: 10.1109/JSSC.2008.2004867)

[9] Osmany, S. A., et al, Integrated 22 GHz low-phase-noise VCO with digital tuning in SiGe BiCMOS technology, IEE Electron. Lett. 45 (1) (2009) 39-40. (doi: 10.1049/el:20092924)

[10] Vaucher, Cicero S., et al. A family of low-power truly modular programmable dividers in standard 0.35-/spl mu/m CMOS technology, IEEE J. Solid-State Circuits 35 (7) (2000) 1039-1045. (doi: 10.1109/4.848214)

[11] Yu, Xiao Peng, et al. Design and optimization of the extended true single-phase clock-based prescaler, IEEE Trans. Microw. Theory Technol. 54 (11) (2006) 3828-3835. (doi:10.1109/TMTT.2006.884629)

[12] Lee, Won-Hyo, Jun-Dong Cho, and Sung-Dae Lee. "A high speed and low power phase-frequency detector and charge-pump", Design Automation Conference, 1999. Proceedings of the ASP-DAC'99. Asia and South Pacific. IEEE, 1999. (doi: DOI:10.1109/ASPDAC.1999.760011)

[13] Herzel, Frank, et al. "An integrated 8-12 GHz fractional-N frequency synthesizer in SiGe BiCMOS for satellite communications", Analog Integrated Circuits and Signal Processing 65.1 (2010): 21-32. (doi: 10.1007/s10470-010-9454-z)

[14] Hati, Manas Kumar, and Tarun Kanti Bhattacharyya. "A fast automatic frequency and amplitude control LC-VCO circuit with noise filtering technique for a fractional-N PLL frequency synthesizer", Microelectronics Journal 52 (2016): 134-146. (doi: 10.1016/j.mejo.2016.03.014)

[15] Lin, Tsung-Hsien, and Yu-Jen Lai. "An agile VCO frequency calibration technique for a 10-GHz CMOS PLL", IEEE Journal of solid-state circuits 42.2 (2017): 340-349. (doi: 10.1109/JSSC.2006.889360)

[16] Zou, Wei, Daming Ren, and Xuecheng Zou. "A wideband low-jitter PLL with an optimized Ring-VCO", IEICE Electronics Express 17.3 (2020): 20190703-20190703. (doi:10.1587/elex.17.20190703)

[17] Chen, Liang, et al. "A PLL Synthesizer for 5G mmW Transceiver", 2020 IEEE MTT-S International Wireless Symposium (IWS). IEEE, 2020. (doi: 10.1109/IWS49314.2020.9360123)

[18] Azadbakht, Mostafa, Ali Sahafi, and Esmaeil Najafi Aghdam. "A dual band fractional-N frequency synthesizer with a self-calibrated charge pump for WLAN standards", Journal of Circuits, Systems and Computers 27.08 (2018): 1850131.

[19] Abedi M, Yavand Hasani J. A Dual-Loop PLL Based on Aperture-Phase Detection, with Short Locking Time, Low Power, and Low Spur . Journal of Iranian Association of Electrical and Electronics Engineers 2017; 14 (2) :87-96

[20] Gholami M, Rahimpour H, Ghasemi J, Esmaeili I. Design of Delay locked loop for Wireless Receivers to Use in High Frequency Applications. Journal of Iranian Association of Electrical and Electronics Engineers 2017; 13 (4) :15-22

[21] Rahimpour H, Gholami M, Miar-Naimi H, Ardeshir G. Design of a Novel DLL-Based Frequency Multiplier for High Speed Applications. Journal of Iranian Association of Electrical and Electronics Engineers 2015; 12 (2) :39-46

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.19]