Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 1, 2025
DOI: 10.61186/jiaeee.22.1.83

Simultaneous Analysis of the Stochastic Transistor Aging and Process Variation in Digital Systems by Developing Machine Learning-based Models for Standard Cells

Mohammad Bazli[1], Siavash Es'haghi [1,2] , Mahmoud Shahi[3] , Majid Naseh[4]

[1] PhD Student, Department of Engineering, Birjand Branch, Islamic Azad University, Birjand, Iran
bazlimohammad@yahoo.com
[2] Assistant Professor, Department of Engineering, Birjand Branch, Islamic Azad University, Birjand, Iran
Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran
esshaghi@gmail.com,
[3]Assistant Professor, Department of Engineering, Birjand Branch, Islamic Azad University, Birjand, Iran
m.shahi.g@gmail.com,
[4]Assistant Professor, Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran
naseh@iaubir.ac.ir

Abstract:

Transistor aging and process variation are critical challenges impacting the reliability of nanometer-scale circuit design. Over time, transistors age due to phenomena such as Bias Temperature Instability (BTI), which increases gate delays and can lead to timing violations and circuit malfunctions. This phenomenon exhibits stochastic behavior in advanced technologies and has been characterized using atomic models. Process variation refers to random deviations in transistor and circuit characteristics from expected values, often arising from non-ideal manufacturing processes and lithography effects. Simultaneous analysis of these factors significantly enhances design improvements. As digital system design progresses to higher abstraction levels, there is an increasing need for fast and accurate models to effectively assess circuit reliability. This paper introduces a Monte Carlo-based analysis method developed through machine learning models to jointly address the effects of stochastic aging and process variation in standard cells. Experimental results demonstrate an average analysis time improvement of 49% and 88.7% over two advanced methods from previous literature, while maintaining analysis accuracy. Importantly, extensive model training is conducted offline, ensuring no impact on execution time.

Keywords: Reliability, Stochastic Aging, Process Variation, Monte Carlo, NBTI, Aging

Article Type: Research

Received: 22. 05. 2023

Revised: 02. 07. 2024

Accepted: 08. 06. 2024

Corresponding author: Siavash Es'haghi

Corresponding author's address: Elec. and Comp. Eng. Dep., Science and Research Branch, shohada Hesarak blvd, Daneshgah Square, Sattari Highway, Tehran, IRAN

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

1. Motivation of the work

The growing complexity and size of modern digital systems pose significant challenges for traditional design methodologies. This has led to a shift towards higher abstraction levels in design, with high-level synthesis becoming increasingly important. However, efficient exploration of the extensive design space requires innovative approaches, particularly regarding reliability, which is critical in nanometer-scale circuits affected by transistor aging and process variation. This research is vital as it introduces a Monte Carlo-based analysis method that utilizes machine learning to model the joint effects of aging and process variation swiftly and accurately. By enhancing the efficiency of reliability modeling, this work contributes to optimizing designs, ensuring the long-term performance and resilience of modern digital systems.

2. Contributions

This research makes significant advancements in reliability analysis by addressing the essential need for a joint examination of aging and process variation, which has typically been analyzed separately in existing literature. Acknowledging the stochastic nature of aging in modern technology nodes, we introduce machine learning-based models for standard cells that streamline this analysis. Unlike traditional methods that rely on complex and time-consuming atomic models during Monte Carlo simulations, our approach utilizes offline-trained machine learning models, eliminating the need for atomic models during execution. This enhances efficiency and substantially improves analysis time without compromising accuracy. This contribution is crucial for exploring design space at higher abstraction levels, where execution time is critical. Our method not only enhances reliability assessment but also empowers designers to optimize circuits more effectively, ultimately leading to more resilient digital systems. Through this work, we establish a faster and more efficient standard for reliability analysis in future research.

3. Procedures

This study investigates the long-term reliability of nanometer VLSI systems through the use of machine-learning-based models for standard cells. We extracted key characteristics of standard cells, including propagation delay and output transition time, across various input slew rates and load capacitance values. Look-up tables (LUTs) were generated to store these characteristics. The effects of process variation and stochastic aging (modeled using the atomic model) on the delay distribution of gates were computed via a Monte Carlo and static timing analysis for extensive input conditions. These data were utilized to train a Random Forest (RF) model for predicting the delay distribution of each gate. Ultimately, the overall delay distribution of a circuit was derived using Monte Carlo simulations in conjunction with static timing analysis and the machine learning models. The accuracy and efficiency of the proposed method were assessed by comparing its performance against two existing methods on a set of ISCAS85 benchmark circuits.

4. Findings

The proposed method achieved a substantial reduction in analysis time compared to two state-of-the-art techniques, with average improvements of 49% and 88.7%, respectively. This reduction in time was made possible by dedicating considerable effort to offline model training, which does not impact the execution time of the analysis. Moreover, the study demonstrated that the accuracy of the proposed method is high and comparable to existing approaches, with an average prediction error of less than 2% for mean delay estimates. This research is significant as it offers a faster and more efficient method for evaluating the reliability of integrated circuits, which is essential for the design of reliable, high-performance electronic devices, particularly as circuit complexity continues to increase.

5. Conclusion

This study presents a novel method for analyzing the long-term reliability of nanometer circuits by considering both process variation and stochastic aging effects. The researchers achieved a significant improvement in analysis time (an average of 49% and 88.7% compared to two existing methods) by developing machine learning-based models for standard cells and utilizing a hybrid Monte Carlo analysis method. This method maintains high accuracy, with an average error of less than 2% in predicting the mean delay. By enabling faster and more efficient reliability evaluation, this research is particularly valuable for designing reliable and high-performance electronic devices in the face of increasing circuit complexity.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره اول، بهار ۱۴۰۴، صفحات ۸۳-۹۵

DOI: 10.61186/jiaeee.22.1.83

تحلیل هم‌زمان پیری تصادفی ترانزیستورها و نوسان فرایند در سیستم‌های دیجیتال با توسعه مدل یادگیری ماشین برای سلول‌های استاندارد

محمد بذلی[۱]، سیاوش اسحقی[۲]، محمود شاهی[۳]، مجید ناصح[۴]

۱- دانشجوی دکتری- دانشکده مهندسی- واحد بیرجند - دانشگاه آزاد اسلامی - بیرجند - ایران

bazlimohammad@yahoo.com

۲- استادیار- دانشکده مهندسی برق و کامپیوتر – واحد علوم و تحقیقات بیرجند - دانشگاه آزاد اسلامی - تهران - ایران

s_esshaghi@sbu.ac.ir

۳- استادیار- دانشکده مهندسی - واحد بیرجند - دانشگاه آزاد اسلامی - بیرجند - ایران

m.shahi.g@gmail.com

۴- استادیار- دانشکده مهندسی - واحد بیرجند - دانشگاه آزاد اسلامی - بیرجند - ایران

naseh@iaubir.ac.ir

چکیده: امروزه قابلیت اعتماد یکی از چالش‌های اساسی در طراحی مدارات نانومتری است. پیری ترانزیستورها و نوسان فرایند دو عامل مهم مؤثر بر قابلیت اعتماد هستند. باگذشت زمان ترانزیستورها پیر می‌شوند به این معنی که مشخصات ترانزیستورها و به طور ویژه ولتاژ آستانه آنها تغییر می‌کند که سبب افزایش تأخیر می‌گردد. این افزایش تأخیر در نهایت باعث تخطی از محدودیت‌های زمانی و نادرست بودن عملکرد مدار می‌گردد. پدیده‌های گوناگونی سبب پیری ترانزیستورها می‌شوند که ناپایداری حرارتی بایاس (BTI[۱]) یکی از مهم‌ترین آنها است. این پدیده در تکنولوژی‌های ساخت پیشرفته امروزی ماهیتی تصادفی از خود نشان می‌دهد و برای توصیف آن مدل‌های اتمی ارائه شده است. نوسان فرایند به تغییرات تصادفی مشخصات ترانزیستور و مدار با مقادیر مورد انتظار گفته می‌شود که به سبب غیر ایده‌آل بودن فرایند ساخت و غالبا تحت تاثیر فرایند لیتوگرافی ایجاد می‌شوند. تحلیل هم‌زمان این پدیده‌ها به بهبود طراحی کمک زیادی می‌کند. امروزه که نقطه شروع طراحی سیستم‌های دیجیتال به سطوح بالاتر انتزاع رفته است، به‌منظور جستجوی مؤثر فضای طراحی نیازمند مدل‌های سریع و دقیق برای ارزیابی قابلیت اعتماد مدارها هستیم. در این مقاله با توسعه مدل‌های مبتنی بر یادگیری ماشین برای تحلیل هم‌زمان پیری و نوسان فرایند سلول‌های استاندارد، یک روش تحلیل بر پایه مونت‌کارلو پیشنهاد شده است. نتایج آزمایش نشان‌دهنده بهبود زمان تحلیل با میانگین ۴۹ درصد و ۸۸/۷ درصد نسبت به دو روش پیشرفته معرفی شده در مقالات است. این بهبود هم‌زمان با حفظ دقت تحلیل به‌دست‌آمده است. البته برای رسیدن به این بهبود زمان زیادی صرف آموزش مدل‌ها می‌شود که آن‌هم یک‌بار و به‌صورت آفلاین انجام می‌شود و تأثیری در زمان اجرا ندارد.

کلمات کلیدی: قابلیت اعتماد، پیری تصادفی، نوسان فرایند، مونت‌کارلو، NBTI، Aging.

نوع مقاله: پژوهشی

دریافت: ۱۴۰۲/۰۳/۰۱

بازنگری: ۱۴۰۳/۰۴/۱۲

پذیرش: ۱۴۰۳/۰۶/۲۰

نام نویسندهٔ مسئول: دکتر سیاوش اسحاقی

نشانی نویسندهٔ مسئول: ایران – تهران – بلوار شهدای حصارک – میدان دانشگاه – دانشگاه آزاد اسلامی– واحد علوم و تحقیقات– دانشکده مهندسی برق و کامپیوتر

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license

(https://creativecommons.org/licenses/by-nc/4.0/)

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

۱- مقدمه

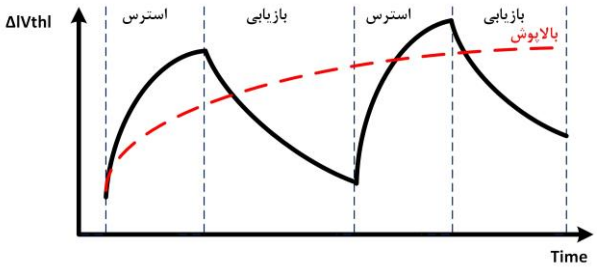
قابلیت اطمینان در مدارهای مجتمع یک چالش بزرگ در صنعت نیمه‌هادی‌ها است. از عوامل مؤثر بر قابلیت اطمینان مدارها می‌توان به پیری ترانزیستورها و پدیده نوسان فرایند اشاره کرد که با کاهش مقیاس ترانزیستورهای CMOS اهمیت بیشتری می‌یابد[۱]. بطور کلی می‌توان عدم اطمینان مدارها را در دو گروه اثرات زمانی و مکانی تقسیم کرد. نوسان فرایند در گروه اثرات مکانی قرار دارد و باعث می‌شود که مشخصات ترانزیستورها و گیت‌ها در لحظه شروع کار با مقدار طراحی شده‌ی خود تفاوت داشته باشد[۲]. پیری ترانزیستورها نیز در گروه اثرات زمانی واقع است که به‌تدریج باعث افزایش ولتاژ آستانه ترانزیستور می‌شود و در نتیجه افزایش تأخیر سوئیچینگ گیت‌ها، و در نهایت تخطی از محدودیت های زمانی و شکست کار مدار را به همراه دارد. تحلیل هم‌زمان پیری ترانزیستورها (با رفتار تصادفی در تکنولوژی های جدید) و نوسان فرایند تبدیل به یک ضرورت مهم در تحلیل و طراحی سیستم های دیجیتال شده است.

از پدیده‌های مؤثر در ایجاد پیری ترانزیستورها به BTI، HCI[۲] و TDDB[۳] اشاره می‌شود[۳]. در این میان پدیده BTI با توجه به اثرات نامطلوب شدیدی که در تکنولوژی‌های پیشرفته CMOS دارد از توجه بسیار ویژه‌ای در تحقیقات برخوردار شده است.

۱-۱- عدم اطمینان زمانی

عدم قابلیت اطمینان زمانی پس از تولید مدار و پس از آنکه مدار برای مدتی در یک محیط خاص با دمای مشخص کار کند مشاهده می‌شود. در واقع بر خلاف اطمینان مکانی که بلافاصله پس از ساخت مدار و قبل از شروع به کار قابل‌ارزیابی است، تحلیل اطمینان زمانی مدارها پس از شروع به کار مدار و باگذشت زمان انجام می‌شود. تأثیر عوامل مرتبط به اطمینان زمانی مدار می‌تواند دائم یا گذرا باشد. پدیده‌های پیری به‌صورت دائم روی عملکرد مدار تأثیر می‌گذارند به این معنی که باگذشت زمان باعث تخریب تدریجی در عملکرد مدار می‌شوند. خطاهای نرم نیز مثالی از پدیده‌های موقت (گذرا) هستند[۳].

پس از روشن‌کردن ترانزیستور (با اعمال ولتاژ مناسب به گیت) اثر BTI به‌صورت تغییر در ولتاژ آستانه ظاهر می‌شود. افزایش دما باعث تشدید این اثر می‌شود. این پدیده در دوفاز رخ می‌دهد فاز اول که به فاز استرس معروف است در حالتی اتفاق می‌افتد که ترانزیستور روشن است و در طی آن تعدادی از عیب‌های اکسید گیت شارژ می‌شوند و فاز دیگر به نام بازیابی در هنگام خاموش بودن ترانزیستور و دشارژ شدن تعدادی از عیب‌های شارژ شده صورت می‌گیرد که در شکل (۱) نشان‌داده‌شده است. پدیده BTI به دو صورت متفاوت عدم اطمینان NBTI[۴] و PBTI[۵] به ترتیب در ترانزیستورهای PMOS و NMOS گزارش شده است[۳-۵].



شکل (۱): افزایش کلی ولتاژ آستانه ترانزیستور در اثر پدیده NBTI

رفتار پدیده BTI در ترانزیستورهای با ابعاد میکرومتری یقینی است، به این معنی که تحت شرایط یکسان میزان تخریب ترانزیستورها مشابه و معلوم است. اما در تکنولوژی‌های زیر ۴۵ نانومتر این پدیده به صورت واضح رفتار تصادفی دارد، به این معنی که میزان تخریب ترانزیستورها تحت شرایط یکسان متفاوت خواهد بود. در نتیجه مدل‌های یقینی پیشین برای تحلیل پیری در گره های جدید تکنولوژی از دقت کافی برخوردار نمی‌باشند. برای تحلیل پدیده پیری تصادفی از مدل اتمی در سطح ترانزیستور استفاده می‌شود[۶]. این روش تحلیل بدلیل پیچیدگی آن در تحلیل پیری مدارهای بزرگ استفاده نمی‌گردد. بنابراین امروزه راهکارهای جدیدی مبتنی بر مدلهای اتمی جهت تحلیل پیری در مدارهای بزرگ ارائه شده است[۷]. هرچند که این روش‌ها زمانبر بوده و برای تحلیل سریع مناسب نمی‌باشند. امروزه محققان در بسیاری موارد نظیر تحلیل پیری مدارها در سطوح انتزاع بالاتر و جستجوی فضای طراحی نیازمند روشهای نسبتا سریع و البته با دقت مناسب می‌باشند[۸]

۱-۲- عدم اطمینان مکانی (نوسان فرایند)

عدم اطمینان مکانی یا نوسان فرایند یک مشکل بزرگ و اساسی در تولید تراشه‌های CMOS در سایز نانومتری است. به طور معمول معیار سنجش این پدیده، بازده پارامتری است که مقدار اثر این پدیده را روی عملکرد مدار بلافاصله بعد از تولید بیان می‌کند. در این سنجش بازده بالا به معنای اطمینان مکانی بالا است. در هر فناوری MOS داده شده، واریانس مربوط به V_{th} در بین ترانزیستورهای مجاور با مساحت گیت به طور معکوس کاهش می‌یابد که به قانون پلگروم معروف است [۹].

$$\sigma^2_{V_{th}} = \frac{A^2_{V_{th}}}{2WL} \qquad (۱)$$

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

در رابطه (۱)، A_{Vth} یک ثابت وابسته به فرایند تکنولوژی است و W و L ابعاد ترانزیستور هستند. σ^2_{Vth} نیز واریانس توزیع تغییرات ولتاژ آستانه ترانزیستور می‌باشد.

اثرات مربوط به نوسان فرایند در دو حالت مشاهده می‌گردد: اثرات محلی یا درون تراشه‌ای و عمومی یا بین تراشه‌ای. اولی منجر به تغییرات پارامتریک در ترانزیستورهای واقع در یک مدار در فاصله زمانی کوتاه می‌شود که به عدم تطبیق در ترانزیستورها معروف است. دومی در میان ترانزیستورهای از هم جدا در فاصله زمانی طولانی یا در زمان‌های متفاوت دیده می‌شود که معمولاً از یک تراشه[۶] به تراشه دیگر و یا از یک ویفر[۷] به ویفر دیگر و یا از یک شمش [۸] به شمش دیگر قابل رویت می‌باشند.

تغییرات عمومی در مقدار میانگین پارامترهای طراحی شده از قبیل طول کانال یا تراکم دوپینگ دیده می‌شود. تغییرات محلی به دو صورت تصادفی و سیستماتیک دسته‌بندی می‌شوند. حالت تصادفی از اثرات تکنیک تصحیح مجاورت نوری، تنش ناشی از طرح‌واره مدار (layout) و مجاورت چاه‌ها ناشی می‌شود و موارد سیستماتیک شامل اثرات تغییرات تصادفی چگالی ناخالصی‌ها، ناهمواری لبه خط، ناهمواری پهنای خط، بارهای موجود در دی‌الکتریک گیت و نظایر اینها است.

تغییرات سیستماتیک معمولاً با طراحی دقیق در طرح‌واره و چیدمان و تکنیک‌های مدارهای جبران‌ساز مورد بررسی قرار می‌گیرد و از سوی دیگر حل مشکلات ناشی از عوامل تصادفی نیازمند تکنیک‌های جدید و قابل اطمینان در ساخت و طراحی مدار و همچنین مدل‌های دقیق برای توصیف رفتار قطعه می‌باشد.

در مدارات نانومتری امروزه اثرات پیری و نوسان فرایند قابل‌ملاحظه هستند و باید در تحلیل و طراحی مدارها این اثرات، مدنظر قرار گیرند. در[۱۰] مدلی برای تحلیل اثرات تصادفی در ترانزیستور ارائه شده است و با کمک آن تحلیل یک مدار نسبتاً کوچک ارزیابی شده است. اما این تحلیل بسیار زمان‌بر بوده و برای تحلیل مدارهای بزرگ مناسب نمی‌باشد. در [۷] یک روش برای تحلیل اثرات پیری و نوسان فرایند برای تحلیل مدارات بزرگ پیشنهاد شده است اما این روش زمان اجرای طولانی دارد. طراحی مدارات دیجیتال بزرگ امروزی غالباً در لایه‌های بالاتر انتزاع انجام می‌شود. در این لایه‌ها جستجوی فضای طراحی به منظور یافتن بهترین طرح انجام می‌شود[۱۱]. در این جستجو معیارهای طراحی برای طرح‌های گوناگون ارزیابی شده و بر این اساس بهترین طراحی انتخاب می‌گردد. برای ارتقاء این جستجو به صورت آگاه به قابلیت اعتماد، لازم است روشی برای ارزیابی سریع و دقیق اثرات همزمان پیری تصادفی و نوسان فرایند توسعه داده شود تا بتوان جستجوی فضای طراحی را بصورت کامل و در زمان قابل قبول به انجام برساند. در این مقاله یک روش برای ارزیابی هم‌زمان اثرات پیری تصادفی و نوسان فرایند مدارات دیجیتال با استفاده از روش مونت‌کارلو و مبتنی بر یادگیری ماشین پیشنهاد شده است که دقت بالا و سرعت زیادی دارد و از این رو برای کارهای نظیر جستجوی فضای طراحی در لایه‌های بالاتر انتزاع و سنتز سطح بالا مفید می‌باشد.

بقیه مقاله به این صورت سازماندهی شده است که بخش ۲ کارهای مرتبط با این مقاله بررسی می‌شوند. بخش ۳ مدل اتمی در سطح ترانزیستور و روابط آن بررسی می گردد. بخش ۴ روش پیشنهادی برای یافتن مدل مناسب و سریع تحلیل پیری تصادفی شرح داده می شود. نتایج تجربی و آزمایش مربوط به شبیه سازی در بخش ۵ و ۶ ارائه میشود و در نهایت با نتیجه‌گیری در بخش ۷ مقاله به اتمام می رسد.

۲- کارهای مرتبط

پدیده NBTI یکی از مهم‌ترین پدیده‌های مؤثر در پیری ترانزیستورهاست که اثرات آن در مشخصات مدارها در تکنولوژی‌های زیر ۹۰ نانومتر قابل‌ملاحظه است[۳]. در سال‌های ابتدایی مشاهده این پدیده تلاش‌های زیادی برای درک مکانیزم‌های آن صورت گرفت که به‌رغم پیچیده بودن پدیده BTI چندین تئوری برای پیش‌بینی و توجیه اثرات آن ارائه شده است که از میان آنها دو تئوری RD[۹] و TD[۱۰] توضیح مناسبی برای این پدیده ارائه می‌دهند. بر اساس این تئوری‌ها، مدل‌ها و روابط مناسبی برای تحلیل اثرات پیری ارائه شده است [۵, ۱۲-۱۵] پیچیدگی این مدل‌ها کاربرد آنها را به سطح قطعه و یا حداکثر مدارات بسیار کوچک در حد گیت/ سلول محدود کرده است. در واقع تحلیل پیری مدارهای بزرگ با استفاده از این مدل‌های فیزیکی بسیار زمان‌بر است. در [۱۶] یک چارچوب سلسله‌مراتبی برای تحلیل اثرات NBTI روی عملکرد مدارات دیجیتال در شرایط کار گوناگون نظیر ولتاژهای مختلف و میزان سوئیچینگ ورودی ارائه شده است [۱۶]. در [۱۷] با بکارگیری قابلیت چند سطح ولتاژ در ترانزیستورهای نانو لوله کربنی، به کوتاه کردن مسیر داده در یک مدار جمع کننده ۲ بیتی و سپس کاهش تاخیر در آن می‌پردازد. ابزارهای تجاری نظیر MOSRA [۱۸] و RelExpert [۱۹] نیز تحلیل قابلیت اطمینان مدارها در سطح مداری را ارائه می‌دهند. اعمال این روش‌ها برای مدارهای بزرگ بسیار زمان‌بر است. اخیرا با جایگزین تکنولوژی‌های جدید از آن جمله تکنولوژی اتوماتای سلولی نقطه‌ای کوانتومی درجهت کاهش بیشتر ابعاد، و جلوگیری از چالش‌های اساسی در پارامترهای آن گام مهمی برداشته اند در [۲۰] با استفاده از

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

یک گیت XOR سه ورودی و یک گیت اکثریت سه ورودی، تمام جمع‌کننده‌ای در این راستا طراحی گردیده است.

تحلیل زمانی استاتیک (STA[11]) روشی مفید برای تحلیل زمانی مدارهای بزرگ است که باعث سرعت زیاد تحلیل می‌گردد. در این روش‌ها به‌جای شبیه‌سازی از مدل گیت‌ها برای تحلیل زمانی استفاده می‌شود[۲۱]. روش‌های گوناگون تحلیل زمانی استاتیک آگاه به پیری با افزودن تأثیرات پیری به مدل گیت‌ها ارائه شده است[۲۲]. در [۲۳]، از STA، در مدل SAFE[12] برای برآورد افت V_{th} در شرایط استرس مختلف، از جمله ایستا، پویا و نامتقارن، استفاده شده است.

تعدادی از این روش‌ها بر پایه استفاده از جدول جستجو LUT[13] عمل می‌کنند[۲۴]. یک روش تحلیل پیری استاتیک با در نظر گرفتن اثرات پیری در[۲۵] ارائه شده است که جداول جستجو مختلفی برای توصیف و مدل‌سازی رفتار پیری گیت‌ها توسعه داده است. ایراد این روش نیاز به تولید تعداد بسیار زیادی LUT است. برای کاهش تعداد LUTها در[۲۶] یک روش مدل‌سازی گیت با استخراج حساسیت تأخیر گیت و شیب خروجی به میزان تغییر ولتاژ آستانه ترانزیستورهای مختلف یک گیت ارائه شده است. اخیرا در[۲۷, ۲۸] اثرات همزمان پیری و نوسان فرایند در نظر گرفته شده است.

تمام روش‌های گفته شده پدیده NBTI را به‌عنوان یک پدیده یقینی (غیرتصادفی) در نظر گرفته‌اند. درحالی‌که با کوچک‌تر شدن ابعاد ترانزیستورها در گره‌های جدید تکنولوژی CMOS رفتار پیری به‌وضوح خاصیت تصادفی نشان می‌دهد[۶]. به این معنی که تحت شرایط یکسان میزان پیری دو ترانزیستور یکسان می‌تواند متفاوت باشد. با پیشرفت تکنولوژی CMOS به ابعاد نانومتری، تعداد نقص‌های قطعه کاهش می‌یابد. این مساله در کنار تصادفی بودن تعداد نقص‌ها باعث می‌شود افزایش قابل ملاحظه‌ای در تصادفی بودن اثرات NBTI پدید آید. مدل‌های اتمی تحلیل رفتار تصادفی NBTI عموماً آنقدر پیچیده هستند که برای تحلیل در سطح قطعه و یا گیت‌ها و سلول‌های کوچک قابل استفاده هستند. در [۲۹] با استفاده از مدل اتمی، سلول‌های کتابخانه استاندارد مدل‌سازی شده است و با یک تحلیل زمانی استاتیک تصادفی (SSTA[14]) تحلیل مدارها انجام می‌شود. این روش زمانبر است و از این رو تنها روی مسیرهای بحرانی مدارها اعمال میشود. علاوه بر این نوسان فرایند در این روش بررسی نشده است.

در [۷] یک روش برای تحلیل همزمان اثرات پیری تصادفی و نوسان فرایند پیشنهاد شده است. در این روش ابتدا سلول‌های استاندارد برای ترکیب‌های مختلفی از تغییرات ولتاژ آستانه ترانزیستورهای سازنده آن تحلیل می‌شوند و این اطلاعات در قالب LUTها ذخیره می‌گردند. سپس با انجام شبیه‌سازی منطقی مقدار SP[15] تمام گره‌های داخلی مدار تعیین می‌شود و با استفاده از آنها پارامترهای مدل اتمی [۵] تمام ترانزیستورهای مدار استخراج می‌شود. درنهایت با روش مونت‌کارلو با استفاده از نمونه‌های مختلف v_{th} ترانزیستورها توزیع آماری تأخیر مدار محاسبه می‌گردد.

در هر تکرار مونت‌کارلو با استفاده از یک نمونه که با نمونه‌برداری از توزیع آماری ولتاژ آستانه ترانزیستور حاصل از مدل اتمی به دست می‌آید مقدار تأخیر مدار محاسبه می‌گردد. با تکرارهای بیشتر و با استفاده از نمونه‌های دیگر (به‌دست‌آمده از مدل اتمی) در نهایت توزیع تأخیر مدار شامل میانگین و واریانس به دست می‌آید. هر ترانزیستور با درنظرگرفتن مدل اتمی برای اثرات NBTI و همچنین اثرات نوسان فرایند محاسبه می‌شود بدین ترتیب این روش اثرات نوسان فرایند و پیری تصادفی را همزمان بررسی می‌کند.

در این روش[۷] برای مدل‌سازی گیت‌ها از جداول جستجو استفاده شده است که تأخیر هر گیت را با ترکیب‌های مختلف برای مقادیر ولتاژ آستانه ترانزیستورهای آن نشان می‌دهد. این روش هر چند دقت کار را افزایش می‌دهد؛ اما نیازمند تعداد بسیار زیادی LUT است. بعلاوه زمان اجرای این روش نیز زیاد است که یکی از دلایل آن انجام درون‌یابی با استفاده از LUTهای زیاد است. در[۳۰] یک مدل یادگیری ماشین برای پیش بینی پیری ΔVth trace با استفاده از PDK[16] برای ترانزیستورها آموزش داده می‌شود. برای پیش بینی پیری یقینی مدارها، Work load هر گیت و در نتیجه ترانزیستورهای آن بدست می آید و با استفاده از مدل یادگیری ماشین تخریب تاخیر ترانزیستورها محاسبه می‌شود. در نهایت با این نتایج تاخیر مدار محاسبه می شود. این روش در مقایسه با سایر روش‌های رایج در سطح ترانزیستور سرعت تحلیل را افزایش داده است. در [۳۱] مدل یادگیری ماشین به منظور پیش‌بینی پیری در سطح مدار استفاده شده است. در[۳۲, ۳۳] از یادگیری ماشین و استفاده از GNN[17]، برای پیش بینی تخریب قابلیت اعتماد استفاده شده است. همچنین در[۳۴-۳۹] برای سادگی در محاسبات از آموزش یک مدل مبتنی بر یادگیری ماشینی استفاده شده است.

امروزه با بزرگ‌شدن مدارها نقطه شروع طراحی به سطوح انتزاع بالاتر رفته است. در این سطوح با انجام سنتز سطح بالا و جستجوی فضای طراحی به‌صورت گسترده بهترین طرح انتخاب می‌شود[۴۰]. برای تضمین طول عمر مدارها مناسب است که سنتز سطح بالا با در نظر گرفتن اثرات پیری و نوسان فرایند انجام شود[۱۱]. بنابراین روش‌های سریع برای تحلیل اثرات تصادفی پیری نیاز می‌باشد.

جدول (۱) نمونه‌ای از مقالات معتبر آورده شده است که روش تخمین قابلیت اعتماد را مشخص می‌کند.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

جدول (۱): مروری بر روش‌های بکار رفته در مقالات معتبر اخیر

یادگیری ماشین	نوسان فرایند	پیری	سال انتشار	رفرنس
×	×	قطعی	۲۰۲۲	مقاله[۵]
×	✓	تصادفی	۲۰۱۶	مقاله [۷]
✓	×	قطعی	۲۰۲۳	مقاله[۳۰]
✓	✓	قطعی	۲۰۲۲	مقاله[۳۲]
✓	×	قطعی	۲۰۲۱	مقاله[۴۱]
×	✓	قطعی	۲۰۲۳	مقاله[۴۲]
✓	×	تصادفی	۲۰۲۰	مقاله[۸]
✓	✓	تصادفی	-	روش پیشنهادی

۳- مدل اتمی ترانزیستور

مدل اتمی[۶] در سطح ترانزیستور محاسبه می‌شود و ماهیت تصادفی بودن پدیده BTI را توضیح می‌دهد. با داشتن این مدل، V_{th} کل ناشی از پدیده BTI برای هر ترانزیستور محاسبه می‌گردد. این پدیده شامل دوفاز استرس و بازیابی است که به ترتیب در نتیجهٔ شارژ و دشارژ عیب‌ها در اکسید گیت به وجود می‌آید. به این معنی که شارژ و دشارژ هر عیب به ترتیب در زمان دام و انتشار تأثیر معین و البته متفاوتی در تغییر ولتاژ آستانه ترانزیستور دارد و اثر هر عیب اشغال شده روی ΔV_{th} توزیع نمایی دارد (رابطه (۲)[۴۳]).

$$\Delta v_{th} \propto \exp(\eta) \quad (۲)$$

$$\eta \propto \frac{1}{(LW)} \quad (۳)$$

که در آن η میانگین تأثیر هر عیب بر ولتاژ آستانه ترانزیستور است که به‌صورت تجربی استخراج می‌شود [۴۴].

میانگین تعداد عیب‌های موجود در هر ترانزیستور (N_T^{avg}) در رابطه (۴) [۴۳] با استفاده از چگالی عیبها (n_T) محاسبه می‌گردد. این چگالی با استفاده از نقشه زمان به دام افتادن و زمان انتشار عیب ها (f_{CET}) مطابق رابطه (۵) [۴۳] بدست می‌آید. این نقشه توزیع توام زمان دام (τ_C) و زمان انتشار عیب (τ_e) است که با داده‌های تجربی برگرفته در [۴۴] ارائه شده است.

$$N_T^{avv} = W.L.n_T \quad (۴)$$

$$n_T = \iint f_{CET}(\tau_C, \tau_e) d\tau_c d\tau_e \quad (۵)$$

تنها تعدادی از عیب‌های موجود در تغییر ولتاژ آستانه ترانزیستور ناشی از پدیده BTI نقش دارند. برای محاسبه مقدار میانگین فعال عیب‌ها لازم است تا مقدار احتمال اشغال هر عیب (p_{occ}) محاسبه گردد (رابطه (۷) [۴۳]).

$$N_T = \rho.N_T^{avv} \quad (۶)$$

$$p_{OCC} = \frac{1-e^{-\frac{sp}{f\tau_c}}}{1-e^{-\frac{1}{f}(\frac{sp}{\tau_c}+\frac{1-sp}{\tau_e})}}(1-e^{-t_{steress}(\frac{sp}{\tau_c}+\frac{1-sp}{\tau_e})}) \quad (۷)$$

$$\rho = \frac{\iint f_{CET}(\tau_C, \tau_e) P_{OCC}(\tau_c, \tau_e, sp, t_{steress}, f) d\tau_c d\tau_e}{\iint f_{CET}(\tau_C, \tau_e) d\tau_c d\tau_e} \quad (۸)$$

که در معادلات بالا f، فرکانس و $t_{steress}$ کل زمان در فاز استرس است. با استفاده از این رابطه [۴۳] می‌توان نتیجه‌گیری کرد که احتمال پر شدن عیب‌ها به ویژگی احتمال یک شدن ورودی SP و زمان دام / انتشار(τ_c و τ_e) وابسته است. با داشتن مقادیر میانگین فعال از تعداد عیب‌ها در هر ترانزیستور، توزیع تعداد عیب‌ها که یک توزیع پوآسون با میانگین N_T است مطابق رابطه (۹) [۴۳] محاسبه می‌گردد.

$$n \propto poiss(N_T) \quad (۹)$$

مدل توزیع نرمال NNBTI با استفاده از پارامترهای محاسبه شده در بالا قابل‌محاسبه است. این روابط اجازه می‌دهند تا میانگین و واریانس توزیع تغییر ولتاژ با استفاده از میانگین تعداد نقص N_T و میانگین تأثیر هر نقص η محاسبه گردد (رابطه (۱۰) [۴۳]).

$$NNBTI_distribution \begin{cases} \mu_{\Delta v_{th}} = (\Delta v_{th}) = N_{T\eta} \\ \sigma^2_{\Delta V_{th}} = 2N_{T\eta^2} \end{cases} \quad (۱۰)$$

مدل اتمی تحلیل رفتار تصادفی NBTI پیچیده هستند و فقط در سطح ترانزیستور قابل‌استفاده است و برای لایه‌های بالاتر در طراحی کاربرد ندارد. اما بر پایه این مدل روش‌های گوناگونی برای تحلیل پیری مدارهای بزرگ ارائه شده است. در[۴۵] با ترکیب این مدل‌ها و ابزارهای تجاری پیری مدارهای جمع‌کننده ۳۲ بیتی با معماری‌های مختلف ارزیابی شده است. در[۷] با کمک STA و بهره‌بردن از روش مونت‌کارلو روشی برای ارزیابی و تحلیل اثرات پیری تصادفی و همچنین نوسان فرایند به‌صورت هم‌زمان ارائه شده است. از STA برای تعیین اثرات پیری در[۴۶, ۴۷] نیز استفاده شده است.

مدل محاسبه شده به این روش‌ها از سرعت پایینی برخوردار است؛ بنابراین در [۴۸]، مقدار پیری با در نظر گرفتن تصادفی بودن آن، با استخراج مشخصات کتابخانه سلول‌های استاندارد بر پایه یادگیری ماشین محاسبه شده است. این روش سرعت بالایی در زمان اجرا دارد.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

اما بدلیل استفاده از مونت کارلو در جهت یافتن داده‌های آموزش (پیری مبتنی بر نوسان فرآیند) در سطح کل مدار زمانبر بوده است.

۴- روش پیشنهادی

در این قسمت مراحل مختلف روش پیشنهادی ارائه می‌گردد.

۴-۱- استخراج مشخصات سلول‌های کتابخانه استاندارد

تأخیر هر گیت به ساختار آن گیت، زمان گذار (شیب) ورودی‌ها و مقدار خازن بار (C_L) بستگی دارد. این مشخصات در قالب LUTها ذخیره می‌شود. برای این کار می‌توان از ابزارهای تجاری نظیر Liberate شرکت cadence استفاده کرد[۴۹] که کتابخانه‌های سلول‌های استاندارد را تولید می‌کند. در صورتی که به این ابزارها دسترسی نداشته باشیم با شبیه‌سازی‌های گسترده در Hspice مشخصات سلول‌ها، استخراج می‌شود. به این منظور تاخیر گیت‌ها، براساس چندین ترکیب مختلف از مقادیر گوناگون برای C_L و شیب زمان گذار (t_r) ورودی‌ها محاسبه می‌شود و در LUTها ذخیره می‌گردد. برای بدست آوردن تاخیر یک مدار، با استفاده از STA ، لازم است علاوه بر تاخیر، مقدار t_r خروجی، نیز براساس شرایط کار شامل C_L و t_r ورودی بدست آورده شود. برای این کار t_r خروجی هر گیت، برای مقادیر مختلف C_L و t_r ورودی با شبیه‌سازی بدست آورده می‌شود و در LUTها ذخیره می‌گردد.

مطابق روابط (۱۱) تاخیر زمان صفر (Fresh) و t_r خروجی به ازای هر مقدار دلخواه C_L و t_r ورودی به روش درون‌یابی محاسبه می‌گردد.

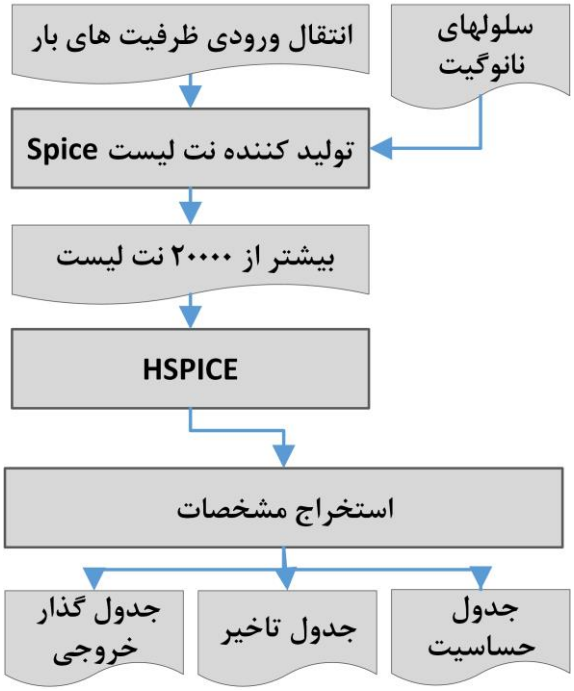
$$D_0 = f_1(C_L, t_{r_in})$$
$$t_{r_out} = f_2(C_L, t_{r_in}) \qquad (۱۱)$$

که f_1 و f_2 عملیات درون‌یابی را به‌ازای مقادیر C_L و t_r ورودی موردنظر با استفاده از LUTها انجام می‌دهند.

برای محاسبه تأخیر ناشی از اثرات پیری لازم است مقدار تأخیر گیت، با اعمال ΔV_{th} به ترانزیستورهای آن به دست آورده شود و در LUTها ذخیره گردد (شکل(۲)). برای این کار ترکیب‌های مختلفی از ΔV_{th} برای تمام ترانزیستورهای گیت، به‌صورت هم‌زمان در نظر گرفته می‌شود و با شبیه‌سازی، تأخیر مربوط به هر حالت محاسبه می‌گردد. این کار علی‌رغم دقت بالا نیازمند LUTها زیادی بوده و برای شبیه‌سازی آن نیز زمان زیادی صرف می‌شود. اگر ابزارهای خاص برای این منظور نظیر Liberate [۴۸] در دسترس نباشد و یا امکان ذخیره LUTهای زیاد وجود نداشته باشد، حساسیت تأخیر گیت نسبت به تغییرات ولتاژ آستانه ترانزیستور mام محاسبه می‌گردد و تأخیر مربوطه از رابطه (۱۲) به دست می‌آید[۲۶].

$$d_{aged} = d_0 + \sum_m \left(\frac{\partial D}{\partial \Delta v_{th,m}} \times \Delta v_{th,T_m}\right) \qquad (۱۲)$$

دراین‌رابطه حساسیت تأخیر با درون‌یابی مقادیر LUTهای مربوط به حساسیت تأخیر محاسبه می‌شود. $\Delta V_{th,Tm}$ مقدار تغییر ولتاژ آستانه ترانزیستور m است که با استفاده از مدل‌های پیری نظیر مدل اتمی محاسبه می‌شود.



شکل (۲): فرایند تولید جدول‌های جستجو

۴-۲- تحلیل پیری تصادفی و نوسان فرایند گیت

در حالت غیر تصادفی مقدار افزایش ولتاژ آستانه ترانزیستور ناشی از NBTI تحت یک مقدار مشخص SP یک مقدار یقینی و معین می‌باشد. به این ترتیب تاخیر گیت ناشی از پدیده‌های پیری که تابعی از بردارSP (مقادیر SP ورودی‌های گیت)، بردار T_R (مقادیر t_r ورودی‌ها) و مقدار C_L می‌باشد یک عدد معین است. NBTI در تکنولوژی‌های با ابعاد کوچکتر ماهیت تصادفی دارد. به این معنی که ترانزیستورهای یکسان تحت SP یکسان مقادیر تصادفی ΔV_{th} دارند. بنابراین تاخیر مدارها نیز تصادفی می‌باشد.

با یک SP معین تعداد نقص‌های گیت ترانزیستور به‌صورت تصادفی بر اساس یک توزیع پوآسون براساس رابطه (۹) [۴۳] بدست می‌آید. شارژ و دشارژ هر نقص نیز تاثیری تصادفی بر مقدار افزایش ولتاژ آستانه

[Downloaded from jiaeee.com on 2026-11-16]
[DOI: 10.61186/jiaeee.22.1.65]

ترانزیستور دارد که این مقدار مطابق رابطه (۲) [۴۳] توزیع نمایی دارد. مقدار کل افزایش ولتاژ آستانه ترانزیستور ناشی از پدیده NBTI مطابق رابطه (۱۳) [۴۳] برابر مجموع اثرات تمام نقص‌های آن می‌باشد.

$$\Delta v_{th,Tm}^{NBTI} = \sum_{k=1}^{NT} \Delta v_{th,k} \qquad (۱۳)$$

که NT تعداد نقص‌ها و $\Delta Vth_{,k}$ میزان افزایش ولتاژ آستانه ترانزیستور ناشی از شارژ نقص Kام است که با نمونه‌گیری از توزیع نمایی به دست می‌آید.

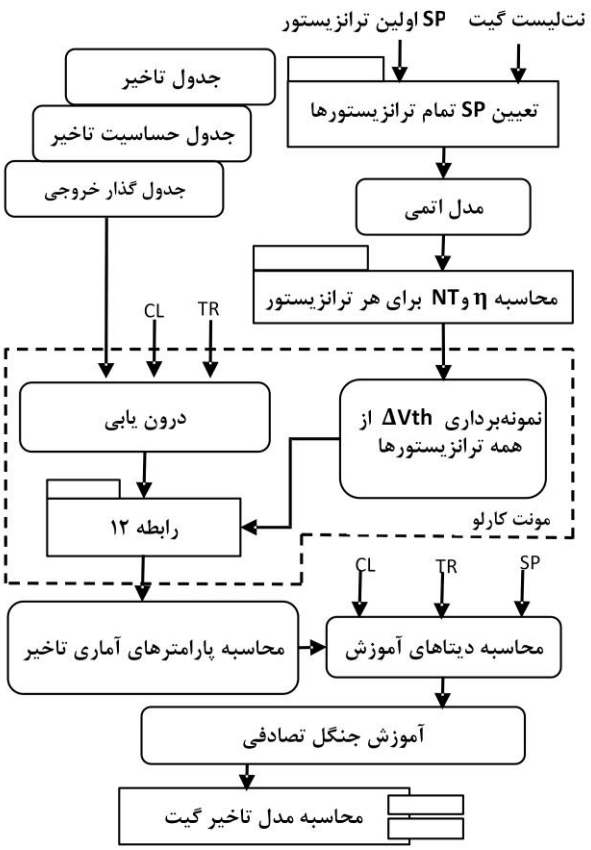
مقدار کل تغییر ولتاژ آستانه ترانزیستور برابر مجموع اثرات NBTI ($\Delta v_{th,Tm}^{NBTI}$) و نوسان فرآیند ($\Delta v_{th,Tm}^{pv}$) است. میزان تغییر ولتاژ آستانه ناشی از نوسان فرآیند ($\Delta v_{th,Tm}^{pv}$)، از یک توزیع نرمال با میانگین صفر و انحراف معیار بدست آمده از قانون پلگروم محاسبه می‌گردد.

$$\Delta v_{th,Tm} = \Delta v_{th,Tm}^{NBTI} + \Delta v_{th,Tm}^{pv} \qquad (۱۴)$$

برای محاسبه تأخیر ابتدا بر اساس مقادیر SP ورودی‌های گیت با استفاده از مدل اتمی مقدار η و NT برای هر ترانزیستور گیت محاسبه می‌شود. و با استفاده از این مقادیر توزیع ΔV_{th} محاسبه می‌گردد. سپس شبیه‌سازی مونت‌کارلو با تکرارهای زیاد و با استفاده از نمونه‌برداری از توزیع ΔV_{th} انجام می‌شود. در هر تکرار مونت‌کارلو، مقادیر تاخیر تازه، حساسیت تاخیر با درونیابی مقادیر LTU ها محاسبه شده و مقدار تاخیر با استفاده از رابطه (۱۲) تعیین می‌گردد. با استفاده از مجموعه تاخیرهای بدست آمده و با انجام محاسبات آماری مقادیر میانگین (μ) و انحراف معیار (σ) تاخیر متناظر با SP، TR و CL داده شده بدست می‌آید.

۴-۳- توسعه مدل یادگیری ماشین تأخیر گیت

با اعمال مقادیر مختلف و متنوع C_L، T_R، SP، دیتاهای آموزش به اندازه کافی بزرگ شامل ویژگی‌های (SP، C_L، T_R) و مقادیر میانگین (μ) و انحرف معیار (σ) تأخیر گیت محاسبه می‌شود. سپس با آموزش ماشین یادگیری جنگل تصادفی (RF[۱۸]) مدل مناسب و سریع برای تعیین و پیش‌بینی پارامترهای توزیع تاخیر گیت محاسبه می‌شود. مراحل کار در شکل (۳) نشان داده شده است. در[۴۸] نشان داده شده است که RF به خوبی و با دقت اثرات پیری را مدل‌سازی می‌کند.



شکل (۳): فرایند محاسبه مدل تأخیر گیت

جدول (۲): لیست هایپر پارامترهای مدل RF

مدل	هایپر پارامترهای مهم	توضیحات
RF	Max-depth	حداکثرعمق تعداد تصمیم گیری‌ها
	Min-sample-split	حداقل تعداد نمونه های مورد نیاز برای تصمیم گیری گره داخلی
	Min-samples-leaf	حداقل تعداد برگ‌هایی که برای تقسیم یک نود خارجی مورد نیاز هستند را مشخص می‌کند.
	n_jobs	به موتور می‌گوید که اجازه استفاده از چه تعداد پردازنده را دارد.
	oob_score	روشی برای اعتبارسنجی متقابل RF و حدود یک سوم از داده‌ها برای ارزیابی کارایی آن مورد استفاده قرار می‌گیرند
	n_estimators	تعداد درختانی است که الگوریتم پیش از دریافت آرای بیشینه یا دریافت میانگین پیش‌بینی‌ها می‌سازد.

رگرسیون جنگل تصادفی[۱۹] یک مدل ensemble از درخت تصمیم گیری[۲۰] است که روی زیر مجموعه‌ای از نمونه‌های مختلفی از دیتا آموزش داده می‌شود. این مدل دارای هایپر پارامترهای مختلفی است که به منظور تنظیم کردن مدل، کنترل حافظه و حجم محاسبات

[Downloaded from jiaeee.com on 2026-11-16]
[DOI: 10.61186/jiaeee.22.1.65]

استفاده می‌شوند. به منظور ایجاد مدل دقیق و موثر باید با روش‌هایی نظیر اعتبار سنجی متقاطع k بسته‌ای (لایه ای) [۲۱] و جستجوی شبکه‌ای[۲۲] مقادیر هایپر پارمترهای مدل RF تنظیم شود که در جدول (۲) آورده شده است. پیچیدگی زمانی RF با فرض مجاز بودن حداکثر رشد درخت‌ها در آموزش برابر O(NDT(logN)) [۵۰] و برای استنتاج برابر O(T(logN)) می‌باشد، که N اندازه مجموعه آموزش، T تعداد درختها و D تعداد ویژگی‌های مورد نظر برای انشعاب است.

۴-۴- تعیین توزیع تأخیر مدار دیجیتال

باید توجه داشت که توسعه مدل یادگیری ماشینی برای تأخیر هر گیت (μ, σ) یک جنبه کلیدی روش پیشنهادی در بهبود زمان اجرای تحلیل زمان‌بندی مدار دیجیتال است، زیرا استفاده از این مدل نیاز به استخراج پارامترهای مدل اتمی ترانزیستور را در طول تحلیل مدار از بین می‌برد. از آنجا که یکی از بخش های زمان بر تحلیل زمان بندی مدار دیجیتال در روش‌هایی مانند[۷] دقیقاً محاسبه پارامترهای مدل اتمی ترانزیستور است، حذف این محاسبات به طور قابل توجهی زمان اجرا را بهبود می بخشد. از طرف دیگر، باید توجه داشت که توسعه این مدل‌های یادگیری ماشینی نیاز به ایجاد مجموعه آموزشی بزرگ برای هر سلول استاندارد دارد. برای انجام این کار، دو مجموعه آموزشی $\{(SP_i,TR_i,CL_i), \mu_i),\dots\}$ و $\{(SP_i,TR_i,CL_i), \sigma_i),\dots\}$ به ترتیب برای آموزش مدل یادگیری ماشینی برای رگرسیون μ و σ هر گیت، باید ایجاد شود، همانطور که در شکل (۳) نشان داده شده است. برای این منظور، ابتدا پارامترهای مدل اتمی هر ترانزیستور متناظر با SP مورد نظر تعیین می‌شود. سپس، شبیه سازی مونت کارلو با نمونه برداری از ΔV_{th} (با استفاده از معادلات ۱۳ و ۱۴) انجام می شود و در هر تکرار مونت کارلو، تأخیر گیت با استفاده از مشخصه‌های زمانی گیت (روش خطی یا روش مبتنی بر جدول جستجو) و TR و CL داده شده محاسبه می شود. در پایان شبیه‌سازی مونت کارلو، با جمع آوری تأخیرهای به دست آمده در تکرارهای مختلف، مقادیر μ و σ تأخیر گیت تعیین می‌شود. این فرآیند برای مقادیر مختلف SP، TR و CL برای هر گیت تکرار می‌شود و در نهایت مجموعه آموزشی ایجاد می‌شود. با این توضیحات، آشکار است که کاربرد مدل اتمی در روش پیشنهادی ایجاد مجموعه آموزشی برای آموزش مدل یادگیری ماشینی RF است. این فرآیند یک فرآیند آفلاین است و در زمان اجرای تحلیل زمان بندی مدار دیجیتال با روش پیشنهادی نقشی ندارد. در واقع، بعد از توسعه این مدل، مدل اتمی دیگر در تحلیل مدار استفاده نمی‌شود. باید توجه داشت که سلول‌های استاندارد بسیار کوچکتر از مدارهای عملی هستند و تحلیل آنها (برای هر SP خاص) با استفاده از مدل اتمی حتی با تعداد زیادی تکرار چالش زیادی ایجاد نمی‌کند. توزیع تأخیر یک مدار دیجیتال با استفاده از روش مونت‌کارلو محاسبه می‌شود. در هر تکرار مونت‌کارلو با استفاده از تأخیر گیت‌ها و انجام STA، یک نمونه از مقادیر ممکن تأخیر مدار محاسبه می‌شود. با تکرارهای زیاد، توزیع تأخیر مدار را تعیین می‌شود. برای افزایش سرعت اجرا، به‌جای استفاده از مدل اتمی تأخیر گیت‌ها از نمونه‌برداری روی توزیع تأخیر به‌دست‌آمده از مدل یادگیری ماشین استفاده می‌شود و روند اجرا در شکل (۴) نشان داده شده است.



شکل (۴): فرایند محاسبه مدل تأخیر مدار دیجیتال

۵- نتایج تجربی

در این قسمت ابتدا روش انجام کار و سپس نتایج به‌دست‌آمده توضیح داده می‌شود.

۵-۱- راه‌اندازی آزمایش‌ها

یک کتابخانه استاندارد با تکنولوژی ۷ نانومتری با مقیاس کردن کتابخانه ۴۵ نانومتر [۵۱] تولید شده است. در ابتدا مشخصات سلول‌های استاندارد استخراج گردیده و در قالب LUTها ذخیره می‌شود. برای این کار نت‌لیست هر سلول استاندارد با ۴ مقدار C_L و

[Downloaded from jiaeee.com on 2026-11-16]
[DOI: 10.61186/jiaeee.22.1.65]

چهار مقدار برای T_R نوشته شده و سپس با HSPICE شبیه‌سازی می‌شود. تولید این نت‌لیست‌ها با یک برنامه پایتون به‌صورت خودکار انجام شده است. فایل نتایج هر شبیه‌سازی توسط یک اسکریپت پایتون خوانده می‌شود و نتایج در یک فایل با ساختار داده مناسب ذخیره می‌شود. به این ترتیب LUTها برای به دست آوردن مقادیر تاخیر زمان fresh و T_R خروجی برای مقادیر مختلف C_L و T_R ورودی محاسبه می‌شود. در ادامه نت‌لیست‌هایی با اعمال ΔV_{th} ترانزیستورهای سلول‌های استاندارد تولید و با HSPICE شبیه‌سازی می‌شود و به این ترتیب حساسیت تاخیر گیتها به تغییرات ولتاژ آستانه ترانزیستور محاسبه می‌شود. فایل نتایج توسط اسکریپت پایتون خوانده شده و مقادیر حساسیت در LUTها ذخیره می‌شود، شکل(۲).

پارامترهای مدل اتمی شامل η و N_T^{avv} برای هر ترانزیستور باتوجه به W و L محاسبه می‌شود. با توجه به مقدار بردار SP ورودی، مقدار NT ترانزیستور روابط (۴ تا ۸) [۴۳] و سپس یک توزیع شامل ۱۰۰۰۰ نمونه از ΔV_{th} برای تمام ترانزیستورها تولید می‌شوند. در هر بار تکرار شبیه‌سازی مونت‌کارلو یکی از این مقادیر ΔV_{th} محاسبه می‌شود و در نهایت شبیه‌سازی مونت‌کارلو با ۱۰۰۰۰ تکرار به اتمام می‌رسد و توزیع تأخیر برای هر سلول به دست می‌آید که مقادیر میانگین (μ) و انحراف معیار (σ) این توزیع محاسبه می‌شود. تأخیر سلول در هر بار تکرار از روابط (۱۱و۱۲) [۴۳] محاسبه می‌شود. این کار بعنوان اصلاح در روش [۷] و بدلیل عدم دسترسی به ابزارهای لازم انجام شده است و تحت عنوان روش تغییریافته مقاله [۷] خوانده می‌شود. سپس شبیه‌سازی مونت‌کارلو، برای ۱۰۰۰۰ مقدار متفاوت C_L، T_R، SP انجام می‌شود مقادیر C_L، T_R، SP به همراه دو برچسب μ و σ به عنوان مجموعه آموزش گردآوری می‌شود. سپس یک مدل رگرسیون RF با استفاده از کتابخانه Scikit-learn [۵۲] برای پیش‌بینی μ و σ هر سلول استاندارد آموزش داده شده و دو مدل حاصل ذخیره می‌شوند. آموزش مدل بصورت 5-fold cross-validation انجام شده است. تمام مراحل فوق با پایتون انجام می‌شود. برای به دست آوردن تاخیر هر مدار ابتدا توصیف سطح گیت با استفاده از Design Compiler به دست می‌آید[۵۳]. سپس برای یک SP مشخص در ورودی‌های مدار با استفاده از تابع منطقی گیت‌ها SP تمام نقاط میانی (ورودی تمام گیت‌ها) محاسبه می‌شود. روش دیگر تعیین SP نقاط میانی، استفاده از شبیه‌سازهایی نظیر Modelsim [۵۴] می‌باشد. همچنین با در نظر گرفتن T_R مشخص برای ورودی‌های مدار مقادیر T_R تمام نقاط میانی با استفاده از LUTهای مقادیر T_R خروجی سلول‌های استاندارد به دست می‌آید. مقدار C_L نیز با توجه به ساختار مدار و خازن ورودی پایه‌های گیت محاسبه می‌گردد. با داشتن C_L ، T_R و SP برای هر گیت مدار، با استفاده از مدل یادگیری ماشین مقادیر μ و σ تأخیر برای تمام گیت‌های مدار تعیین می‌شود و سپس باتوجه به این پارامترها یک مجموعه ۱۰۰۰۰ عضوی از نمونه‌های تأخیر برای هر گیت تولید می‌گردد. شبیه‌سازی مونت‌کارلو با ۱۰۰۰۰ تکرار انجام می‌شود که در هر تکرار آن از یک مقدار نمونه برای تأخیر گیت استفاده می‌شود. در هر تکرار با داشتن تأخیر تمام گیت‌ها با انجام STA مقدار تأخیر مدار محاسبه می‌شود. برای انجام STA نیز از روش Primetime استفاده می‌شود[۵۵]. از آنجایی که به این ابزار دسترسی نداشته‌ایم یک اسکریپت پایتون برای انجام STA نوشته شده است. در نهایت با انجام مونت‌کارلو یک مجموعه مقادیر تاخیر برای مدار با ۱۰۰۰۰ نمونه محاسبه می‌گردد. با تحلیل آماری مجموعه مقادیر تاخیر بدست آمده، مقادیر μ و σ تاخیر مدار محاسبه می‌شود.

برای مقایسه زمان اجرا، ازآنجایی‌که به ابزارهای مقاله [۷] دسترسی نداشته ایم که در آن به جای استفاده از تعداد زیادی LUT حاصل از ابزار Liberate از جدول‌های جستجو استخراج شده برای مشخصات گیت شامل جداول حساسیت، تاخیر و زمان گذار خروجی (شکل(۲)) استفاده شده است و تاخیر هر گیت از رابطه ۱۲ بدست می‌آید. همچنین روش [۳۰] نیز پیاده‌سازی شده است. این روش اثرات پیری را بصورت یقینی در نظر گرفته است. برای مقایسه منصفانه، با استفاده از مونت کارلو این روش برای تحلیل پیری تصادفی ارتقا داده شده است که از این پس به نام [۳۰] تصادفی خوانده می‌شود. برای ارزیابی روش پیشنهادی از مدارهای ISCAS85 [۵۶] استفاده شده است که مشخصات این مدارها در جدول (۳) نشان داده شده است. در این جدول تعداد ورودی و خروجی و تعداد گیت‌های بکار رفته در مدارهای نامبرده مشاهده می‌گردد. عملکرد مدار همان تابع منطقی و عملیاتی است که مدار پیاده‌سازی می‌کند.

جدول (۳): مشخصات مدارهای ISCAS85

نام مدار	عملکرد مدار	تعداد گیت	تعداد ورودی	تعداد خروجی
C432	Priority Decoder	۱۶۰	۳۶	۷
C499	ECAT	۲۰۲	۴۱	۳۲
C8880	ALU and Control	۳۸۳	۶۰	۲۶
C1355	ECAT	۵۴۶	۴۱	۳۲
C1908	ECAT	۸۸۰	۳۳	۲۵
C2670	ALU and Control	۱۱۹۳	۲۳۳	۱۴۰
C3540	ALU and Control	۱۶۶۹	۵۰	۲۲
C432	ALU and Selector	۲۳۰۷	۱۷۸	۱۲۳
C499	16-bit Multiplier	۲۴۰۶	۳۲	۳۲
C8880	ALU and Control	۳۵۱۲	۲۰۷	۱۰۷

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

آزمایش‌ها به صورت اجرای تک رشته‌ای روی یک کامپیوتر شخصی با پردازنده Intel core i7 Q740 (6MB cache ،1.73GHZ) و 4GB RAM اجرا شده است.

۶- نتایج آزمایش‌ها

نتایج زمان اجرا برای روش‌های پیشنهادی، روش تغییر یافته [۷] و روش [۳۰] تصادفی با پیاده‌سازی این روشها بدست آمده است و در جدول (۴) ذکر شده است. نتایج نشان دهنده بهبود زمان اجرای روش پیشنهادی به میزان ۸۸٪ و حدود ۴۹٪ به ترتیب نسبت به [۷] تغییر یافته و [۳۰] تصادفی می باشد.

لازم به ذکر است که بهبود زمان اجرای روش پیشنهادی با صرف زمان طولانی آموزش مدل یادگیری ماشین بدست آمده است. همانطور که مشاهده می‌شود زمان اجرای [۳۰] تصادفی نسبت به [۷] تغییر یافته مقدار کمتری است که این امر نیز به دلیل استفاده از مدل یادگیری ماشین در [۳۰] تصادفی است. باید توجه داشت که مدل یادگیری ماشین روش پیشنهادی برای مدل‌سازی گیت و مدل یادگیری ماشین [۳۰] تصادفی برای مدلسازی ترانزیستور استفاده شده است که این امر باعث بهبود زمان اجرای روش پیشنهادی شده است.

جدول (۴): مقایسه زمان اجرا در روش پیشنهادی و همراه روش مقاله[۳۰] تصادفی و روش تغییریافته ISCAS85

مدار	مدت‌زمان اجرای روش [۳۰] تصادفی	مدت‌زمان اجرای تغییر یافته[۷]	مدت‌زمان اجرای روش پیشنهادی	بهبود روش پیشنهادی نسبت به [۳۰] تصادفی	درص بهبود روش پیشنهادی نسبت به تغییر یافته[۷]
C432	۲۲۰۰	۶۷۴۵	۱۱۴۷	٪۴۷/۸۶	٪۸۲/۹۹
C499	۳۰۹۹	۹۸۲۱	۱۵۹۸	٪۴۸/۴۳	٪۸۳/۷۲
C8880	۳۹۴۳	۱۳۲۶۷	۱۹۷۳	٪۴۹/۹۶	٪۸۵/۱۲
C1355	۴۲۵۰	۱۶۳۷۲	۲۱۷۶	٪۴۸/۸۰	٪۸۶/۷۱
C1908	۴۳۰۲	۲۳۰۱۹	۲۲۰۴	٪۴۸/۷۶	٪۹۰/۴۲
C2670	۵۱۳۶	۲۷۶۵۴	۲۶۱۷	٪۴۹/۰۵	٪۹۰/۵۳
C3540	۶۱۹۵	۳۶۱۳۹	۳۱۰۸	٪۴۹/۸۳	٪۹۱/۳۹
C5315	۷۴۰۳	۴۴۰۷۱	۳۷۰۲	٪۴۹/۹۹	٪۹۱/۵۹
C6288	۷۷۲۷	۴۹۶۵۸	۳۸۷۴	٪۴۹/۸۶	٪۹۱/۶۹
C7552	۹۷۸۳	۶۸۱۹۶	۴۹۱۲	٪۴۹/۷۹	٪۹۲/۷۹
میانگین				٪۴۹/۲۳	٪۸۸/۶۹

این بهبود در حالی به‌دست‌آمده است که نتایج همچنان دقت بالایی دارند. برای مقایسه دقت روش پیشنهادی مقادیر میانگین و انحراف معیار حاصل از روش پیشنهادی با روش تغییریافته [۷] و روش [۳۰] تصادفی در جدول (۵و۶) مقایسه شده است. به دلیل اینکه ما روش [۷] را به دلیل دسترسی‌نداشتن به ابزارهای موردنیاز پیاده‌سازی نکرده‌ایم نتایج میانگین و انحراف معیار روش [۷] در این جدول ذکر نشده است و از نتایج روش روش تغییریافته [۷] و روش [۳۰] تصادفی استفاده شده است. هرچند که نتایج روش [۷] دقیق‌تر است؛ اما باتوجه‌به اینکه در روش تغییریافته [۷] از روش مشابه و فقط با LUTهای کمتر و متفاوتی استفاده شده است این روش برای مقایسه دقت مناسب دارد.

جدول (۵): مقایسه دقت روش پیشنهادی مقادیر میانگین حاصل از روش پیشنهادی با روش تغییریافته [۷] و روش [۳۰]تصادفی

مدار	μروش تغییر یافته [۷]	μ روش پیشنهادی	μ روش [۳۰] تصادفی	خطا نسبت به [۳۰] تصادفی، μ	خطا نسبت به تغییر یافته [۷] μ
C432	۵/۳۸	۵/۴۹	۵/۴۳	٪۱/۱۰	٪۲
C499	۵/۱۲	۵/۲۳	۵/۱۷	٪۱/۱۶	٪۲/۱
C8880	۵/۵۲	۵/۴۱	۵/۳۵	٪۱/۱۲	٪۱/۹
C1355	۵/۶۴	۵/۷۳	۵/۶۷	٪۱/۰۵	٪۱/۶
C1908	۵/۰۸	۵/۲۱	۵/۱۴	٪۱/۳۶	٪۲/۵
C2670	۵/۴۷	۵/۳۸	۵/۳۱	٪۱/۳۱	٪۱/۶
C3540	۵/۴۸	۵/۳۶	۵/۲۸	٪۱/۵۱	٪۲/۱
C5315	۵/۴۳	۵/۵۱	۵/۴۵	٪۱/۱۰	٪۱/۴
C6288	۵/۳۸	۵/۴۹	۵/۴۲	٪۱/۲۹	٪۲
C7552	۵/۱۲	۵/۲۳	۵/۱۷	٪۱/۱۶	٪۲/۱
میانگین	۵/۵۲	۵/۴۱	۵/۳۳	٪۱/۲۱	٪۱/۹

جدول (۶): مقایسه دقت روش پیشنهادی انحراف معیار حاصل از روش پیشنهادی با روش تغییریافته [۷] و روش [۳۰]تصادفی

مدار	δ روش تغییر یافته [۷]	δ روش پیشنهادی	δ روش [۳۰] تصادفی	خطا نسبت به [۳۰] تصادفی δ	خطا نسبت به تغییر یافته [۷] δ
C432	۰/۷۵	۰/۷۷	۰/۷۶	٪۱/۳۱	٪۲/۶
C499	۰/۶۸	۰/۷۱	۰/۷۰	٪۱/۴۲	٪۴/۴
C8880	۰/۷۵	۰/۷۳	۰/۷۲	٪۱/۳۸	٪۲/۷
C1355	۰/۸۱	۰/۸۴	۰/۸۲	٪۲/۴۳	٪۳/۷
C1908	۰/۷۱	۰/۷۳	۰/۷۲	٪۱/۳۸	٪۲/۸
C2670	۰/۸۳	۰/۸۰	۰/۷۸	٪۲/۵۶	٪۳/۶
C3540	۰/۶۹	۰/۶۷	۰/۶۵	٪۳/۰۷	٪۲/۸
C5315	۰/۷۹	۰/۷۷	۰/۷۵	٪۲/۶۶	٪۲/۷
C6288	۰/۷۵	۰/۷۷	۰/۷۶	٪۱/۳۱	٪۲/۶
C7552	۰/۶۸	۰/۷۱	۰/۷۰	٪۱/۴۲	٪۴/۴
میانگین	۰/۷۵	۰/۷۳	۰/۷۳	٪۱/۹۰	٪۲/۷

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

۷- نتیجه‌گیری

در این تحقیق، با توسعه مدل‌های مبتنی بر یادگیری ماشین برای تحلیل هم‌زمان پیری و نوسان فرایند سلول‌های استاندارد و ارائه یک روش تحلیل بر پایه مونت‌کارلو، بهبود قابل توجهی در زمان تحلیل با میانگین ۹۴ درصد نسبت به روش‌های موجود داشتیم. همچنین، دقت محاسبه تاخیر با خطای میانگین ۱٫۹٪ حفظ شد. این پیشرفت‌ها نشان از اهمیت واقعی این روش‌های تحلیلی برای بهبود قابلیت اعتماد مدارها و ارتقای کیفیت طراحی دارد. از این رو، می‌توان ادعا کرد که استفاده از مدل‌های مبتنی بر یادگیری ماشین و روش‌های تحلیل مونت‌کارلو، به‌عنوان ابزارهای مؤثری برای ارزیابی و بهبود قابلیت اعتماد مدارها در محیط‌های نانومتری می‌تواند موثر واقع شود.

مراجع

[1] International Roadmap for Devices and Systems (IRDS™) 2022 Edition, 2022 https://irds.ieee.org/editions/2022.

[2] S. K. Kishore, T. R. Patnala, A. S. Tigadi, and A. Jamshed, "An On-chip Analysis of the VLSI designs under Process Variations", in 2020 International Conference on Smart Electronics and Communication (ICOSEC), 2020, pp. 1273-1277: IEEE

[3] E. Maricau, G. Gielen, E. Maricau, and G. Gielen, "Analog IC Reliability Simulation", Analog IC Reliability in Nanometer CMOS, pp. 93-149, 2013.

[4] T. Grasser, Bias temperature instability for devices and circuits. Springer Science & Business Media, 2013.

[5] J. F. Zhang, R. Gao, M. Duan, Z. Ji, W. Zhang, and J. Marsland, "Bias temperature instability of mosfets: Physical processes, models, and prediction", Electronics, vol. 11, no. 9, p. 1420, 2022.

[6] B. Kaczer et al., "Atomistic approach to variability of bias-temperature instability in circuit simulations", in 2011 International Reliability Physics Symposium, 2011, pp. XT. 3.1-XT. 3.5: IEEE.

[7] S. Kiamehr et al., "The impact of process variation and stochastic aging in nanoscale VLSI", in 2016 IEEE International Reliability Physics Symposium (IRPS), 2016, pp. CR-1-1-CR-1-6: IEEE.

[8] S. Es' haghi and M. Eshghi, "Aging-aware scheduling and binding in high-level synthesis considering workload effects", Microelectronics Reliability, vol. 106, p. 113549, 2020.

[9] A. Sheikholeslami, "Process variation and pelgrom's law [Circuit intuitions]", IEEE Solid-State Circuits Magazine, vol. 7, no. 1, pp. 8-9, 2015.

[10] Y. Lu, L. Shang, H. Zhou, H. Zhu, F. Yang, and X. Zeng, "Statistical reliability analysis under process variation and aging effects", in Proceedings of the 46th Annual Design Automation Conference, 2009, pp. 514-519.

[11] S. Es' haghi and M. Eshghi, "Lifetime-aware scheduling in high level synthesis", Microelectronics Reliability, vol. 91, pp. 86-97, 2018.

[12] S. Mahapatra and N. Parihar, "A review of NBTI mechanisms and models", Microelectronics Reliability, vol. 81, pp. 127-135, 2018.

[13] Y. Xue et al., "On the understanding of pMOS NBTI degradation in advance nodes: Characterization, modeling, and exploration on the physical origin of defects", IEEE Transactions on Electron Devices, 2023.

[14] S. Mahapatra and N. Parihar, "Modeling of NBTI using BAT framework: DC-AC stress-recovery kinetics, material, and process dependence", IEEE Transactions on Device and Materials Reliability, vol. 20, no. 1, pp. 4-23, 2020.

[15] N. Ghobadi and A. Afzali-Kusha, "Investigation and Modeling of Negative Bias Temperature Instability (NBTI) and Hot Carrier Injection (HCI) Induced Degradation in Multi-Gate Nano-Devices", (in eng), Journal of Iranian Association of Electrical and Electronics Engineers, Research vol. 12, no. 2, pp. 1-14, 2015.

[16] W. Wang, S. Yang, S. Bhardwaj, S. Vrudhula, F. Liu, and Y. Cao, "The impact of NBTI effect on combinational circuit: Modeling, simulation, and analysis", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 18, no. 2, pp. 173-183, 2009.

[17] M. Mohammadi, "A High-Speed Dual-Bit Parallel Adder based on Carbon Nanotube FET technology for use in arithmetic units", (in eng), Journal of Iranian Association of Electrical and Electronics Engineers, Research vol. 20, no. 1, pp. 107-118, 2023.

[18] Synopsys | EDA Tools, Semiconductor IP and Application Security solutions. https://www.synopsys.com/content/dam/synopsys/verification/white-papers/mosra-wp.pdf

[19] D. Mahajan and V. Ruparelia, "Reliability Simulation and Analysis of Important RF Circuits Using Cadence Relxpert", in 2018 IEEE Int. Conf. Electronics, Comput. Communication Technol. (CONECCT), Bangalore, Mar. 16–17, 2018. IEEE, 2018.

[20] M. Gholami, P. Valipour, and H. Alamdar, "One-bit Full Adder with Low Delay and Low Cell Count in the Emerging Technology of Quantum-Dot Cellular Automata", (in eng), Journal of Iranian Association of Electrical and Electronics Engineers, Research vol. 21, no. 1, pp. 11-16, 2024.

[21] R. Wang, Z. Zhang, Z. Sun, Z. Guo, Y. Lin, and R. Huang, "Cross-Layer Design for Reliability in Advanced Technology Nodes: An EDA Perspective", in 2022 IEEE 16th International Conference on Solid-State & Integrated Circuit Technology (ICSICT), 2022, pp. 1-4: IEEE.

[22] D. Lorenz, "Aging analysis of digital integrated circuits", Universitätsbibliothek der TU München, 2012.

[23] L. C. Acharya et al., "Switching Activity Factor-Based ECSM Characterization (SAFE): A Novel Technique for Aging-Aware Static Timing Analysis", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2024.

[24] L. Wu et al., "Glacier: A hot carrier gate level circuit characterization and simulation system for VLSI design", in Proceedings IEEE 2000 First International Symposium on Quality Electronic Design (Cat. No. PR00525), 2000, pp. 73-79: IEEE.

[25] J. Chen, S. Wang, N. Bidokhti, and M. Tehranipoor, "A framework for fast and accurate critical-reliability paths identification", in IEEE North Atlantic test workshop (NATW), 2011, pp. 1-4.

[26] D. Lorenz, M. Barke, and U. Schlichtmann, "Efficiently analyzing the impact of aging effects on large integrated circuits", Microelectronics Reliability, vol. 52, no. 8, pp. 1546-1552, 2012.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]

Symposium on Quality Electronic Design (ISQED), 2021, pp. 476-481: IEEE.
[42] J. Brown et al., "A Pragmatic Model to Predict Future Device Aging", IEEE Access, 2023.
[43] S. Tan, M. Tahoori, T. Kim, S. Wang, Z. Sun, and S. Kiamehr, "Long-term reliability of nanometer VLSI systems", Cham: Springer, 2019.
[44] J. Franco et al., "Impact of single charged gate oxide defects on the performance and scaling of nanoscaled FETs", in 2012 IEEE International Reliability Physics Symposium (IRPS), 2012, pp. 5A. 4.1-5A. 4.6: IEEE.
[45] H. Kukner et al., "NBTI aging on 32-bit adders in the downscaling planar FET technology nodes", in 2014 17th Euromicro Conference on Digital System Design, 2014, pp. 98-107: IEEE.
[46] J. Hu, C. Yan, C. Guo, R. Jiang, D. Zhou, and X. Zeng, "A Fast Aging-aware Static Timing Analysis Prediction Frame of Digital Integrated Circuits", in 2021 IEEE 14th International Conference on ASIC (ASICON), 2021, pp. 1-4: IEEE.
[47] Z. Zhang et al., "Aging-aware gate-level modeling for circuit reliability analysis", IEEE Transactions on Electron Devices, vol. 68, no. 9, pp. 4201-4207, 2021.
[48] S. Esshaghi, M. Bazli, and A. Esshaghi, "A Machine Learning-based Model for predicting Stochastic BTI Effects", Signal Processing and Renewable Energy, vol. 5, no. 4, pp. 67-81, 2021.
[49] https://www.cadence.com/en_US/home/tools/custom-ic-analog-rf-design/library-characterization/liberate-trio-characterization-suite.html.
[50] H. Qin and Y. Ye, "Algorithms of the Möbius function by random forests and neural networks", Journal of big data, vol. 11, no. 1, p. 31, 2024.
[51] "Open-Cell Library", www.si2.org. https://si2.org/open-cell-library/
[52] "sklearn.ensemble.RandomForestRegressor", scikit-learn.http://scikit-learn.org/stable/modules/generated/sklearn.ensemble.RandomForestRegressor.html
[53] "Design Compiler", Synopsys | EDA Tools, Semiconductor IP and Application Security Solutions. https://www.synopsys.com/implementation-and-signoff/rtl-synthesis-test/dc-ultra.html
[54] "ModelSim HDL simulator", Siemens Digital Industries Software https://eda.sw.siemens.com/en-US/ic/modelsim/.
[55] "Gold Standard in Static Timing Analysis - PrimeTime", Synopsys | EDA Tools, Semiconductor IP and Application Security Solutions. https://www.synopsys.com/ implementation-and-signoff/signoff/primetime.html.
[56] https://www.cbl.ncsu.edu/.

زیرنویس‌ها

[1] Bias temperature instability
[2] Hot carrier induced degradation
[3] Time dependent dielectric breakdown
[4] Negative bias temperature instability
[5] Positive bias temperature instability
[6] Die
[7] Wafer
[8] Lot
[9] reaction-diffusion

[27] X. Xhafa, A. D. Güngördü, D. Erol, Y. Yavuz, and M. B. Yelten, "An automated setup for the characterization of time-based degradation effects including the process variability in 40-nm CMOS transistors", IEEE Transactions on Instrumentation and Measurement, vol. 70, pp. 1-10, 2021.
[28] M. Raji and B. Ghavami, "Lifetime Reliability Optimization Algorithms of Integrated Circuits Using Dual-Threshold Voltage Assignment", in Lifetime Reliability-aware Design of Integrated Circuits: Springer, 2022, pp. 85-105.
[29] V. V. Camargo, B. Kaczer, G. Wirth, T. Grasser, and G. Groeseneken, "Use of SSTA tools for evaluating BTI impact on combinational circuits", IEEE transactions on very large scale integration (VLSI) systems, vol. 22, no. 2, pp. 280-285, 2013.
[30] P. R. Genssler, H. E. Barkam, K. Pandaram, M. Imani, and H. Amrouch, "Modeling and predicting transistor aging under workload dependency using machine learning", IEEE Transactions on Circuits and Systems I: Regular Papers, 2023.
[31] A. Bu and J. Li, "A learning-based framework for circuit path level NBTI degradation prediction", Electronics, vol. 9, no. 11, p. 1976, 2020.
[32] L. Alrahis, J. Knechtel, F. Klemme, H. Amrouch, and O. Sinanoglu, "GNN4REL: Graph neural networks for predicting circuit reliability degradation", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 41, no. 11, pp. 3826-3837, 2022.
[33] T. Mohamed, V. M. van Santen, L. Alrahis, O. Sinanoglu, and H. Amrouch, "Graph Attention Networks to Identify the Impact of Transistor Degradation on Circuit Reliability", IEEE Transactions on Circuits and Systems I: Regular Papers, 2024.
[34] P. J. Kumar and M. Mini, "Machine learning based workload balancing scheme for minimizing stress migration induced aging in multicore processors", International Journal of Information Technology, vol. 15, no. 1, pp. 399-410, 2023.
[35] H. Xu et al., "Novel Critical Gate-Based Circuit Path-Level NBTI-Aware Aging Circuit Degradation Prediction", Journal of Circuits, Systems and Computers, vol. 32, no. 10, p. 2350175, 2023.
[36] K. Singh and S. Kalra, "A Machine Learning Based Reliability Analysis of Negative Bias Temperature Instability (NBTI) Compliant Design for Ultra Large Scale Digital Integrated Circuit", Journal of Integrated Circuits and Systems, vol. 18, no. 2, pp. 1-12, 2023.
[37] Z. Tang et al., "Semi-Supervised Transfer Learning Framework for Aging-Aware Library Characterization", IEEE Transactions on Circuits and Systems II: Express Briefs, 2023.
[38] M. T. H. Anik, H. I. Reefat, J.-L. Danger, S. Guilley, and N. Karimi, "Aging-Induced Failure Prognosis via Digital Sensors", UMBC Student Collection, 2023.
[39] L. Lu, J. Chen, M. Ulbricht, and M. Krstic, "Machine Learning Methodologies to Predict the Results of Simulation-Based Fault Injection", IEEE Transactions on Circuits and Systems I: Regular Papers, 2024.
[40] D. D. Gajski, N. D. Dutt, A. C. Wu, and S. Y. Lin, High—Level Synthesis: Introduction to Chip and System Design. Springer Science & Business Media, 2012.
[41] Y.-G. Chen, C. Lin, and Y.-C. Wei, "A novel NBTI-aware chip remaining lifetime prediction framework using machine learning", in 2021 22nd International

[Downloaded from jiaeee.com on 2026-11-16]
[DOI: 10.61186/jiaeee.22.1.65]

[10] trap - drop
[11] Static timing analysis
[12] Switching Activity Factor-Based ECSM Characterization
[13] lookup table
[14] Statistical Static Timing Analysis
[15] Signal probability
[16] process design kit
[17] Graph Neural Networks
[18] Random Forest
[19] RF Regression
[20] Decision Tree
[21] k-fold cross validation
[22] grid search

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.65]