ارائه ساختار مقایسه‌کننده سه‌سطحی چندورودی کامل بر پایه ترانزیستور اثر میدانی نانو لوله کربنی

موسی یوسفی[1]

۱- استادیار- گروه مهندسی برق-دانشکده‌ی فنی و مهندسی- دانشگاه شهید مدنی آذربایجان- تبریز-ایران

m.yousefi@azaruniv.ac.ir

چکیده: رشد فزاینده اندازه داده‌ها در سیستم‌های پردازشی دیجیتال، باعث افزایش تعداد اتصالات بین بلوک‌های مختلف سیستم‌های پردازشی شده است، یک راهکار این است که با استفاده از طراحی و پیاده‌سازی سیستم‌های پردازشی چند سطحی، اندازه داده‌های پردازشی را کاهش داد، از طرفی مساله مهم در پیاده‌سازی سیستم‌های پردازشی چند سطحی، استفاده از ترانزیستورهای است که قابلیت پیاده‌سازی سیستم‌های چند ارزشی را داشته باشند. بخاطر قابلیت ویژه ترانزیستور اثر میدانی نانو لوله‌کربنی در تنظیم ولتاژ آستانه مختلف، این ترانزیستورها گزینه مناسبی برای پیاده‌سازی سیستم‌های چند سطحی است و در مقایسه با ترانزیستورهای اثر میدانی فلز عایق نیمه‌هادی در پیاده‌سازی سیستم‌های چند سطحی انتخاب بهتری می‌باشد. در این مقاله گزارشی از پیاده‌سازی مقایسه‌کننده سه‌سطحی تک رقمی و دو رقمی بر پایه تکنولوژی ترانزیستور اثر میدانی نانو لوله کربنی ارائه شده است. نتایج شبیه‌سازی در محیط نرم‌افزار HSPICE نشان می‌دهد توان مصرفی مقایسه کننده سه سطحی دو رقمی ۰/۵۵ میکروات و زمان تاخیر انتشار ۷۰ پیکو ثانیه می‌باشد، ضمناً پیاده‌سازی مقایسه کننده‌های پیشنهادی بر پایه تکنولوژی ترانزیستورهای اثر میدانی نانو لوله کربنی ۳۲ نانو متر انجام شده است.

واژه‌های کلیدی: ترانزیستورهای اثر میدانی نانو لوله کربنی، سه‌سطحی، منطق چندارزشی، دیجیتال

نوع مقاله: پژوهشی

DOI: 10.52547/jiaeee.21.1.1

تاریخ ارسال مقاله: ۱۴۰۲/۰۱/۱۲

تاریخ پذیرش مشروط مقاله: ۱۴۰۲/۰۲/۱۰

تاریخ پذیرش مقاله: ۱۴۰۲/۲/۲۱

نام نویسنده‌ی مسئول: دکتر موسی یوسفی

نشانی نویسنده‌ی مسئول: ایران – تبریز – ۳۵ کیلومتری جاده تبریز- مراغه – دانشگاه شهید مدنی آذربایجان – دانشکده‌ی فنی و مهندسی- گروه مهندسی برق

۱- مقدمه

سیستم‌های پردازشی باید پرسرعت و کم‌توان باشند و در عین حال فضای کمتری را اشغال کنند، لذا پژوهشگران این حوزه به دنبال کاهش اندازه ترانزیستورهای در تکنولوژی MOSFET[1] هستند از طرفی کاهش اندازه ترانزیستور علاوه برکاهش فضای مصرفی در سیستم‌های پردازشی دیجیتال باعث کاهش توان مصرفی و افزایش سرعت سیستم‌های پردازشی می‌شود، اما کاهش اندازه ترانزیستور با توجه به گزارش‌های علمی در این حوزه، مشکلات عدیده‌ای برای طراحان مدارهای الکترونیکی ایجاد کرده است، که بطور مثال می‌توان به مواردی همچون افزایش جریان نشتی و توان استاتیکی بالا اشاره کرد [۱-۳].

نیازمندی بشر به استفاده از سیستم‌های پردازشی پر سرعت و کم توان، محققان این حوزه را ترغیب به ارائه تکنولوژی‌های نو ظهور کرده تا بتواند جایگزین تکنولوژی امروزه شود، بطوریکه با حفظ توانمندی-های موجود در تکنولوژی های اخیر، مشکلات کوچک‌سازی ترانزیستور را نیز نداشته باشند. [۴-۵]. از جمله تکنولوژی‌های ارائه شده ترانزیستورهای CNTFET[2] می‌باشد که گزینه مناسبی برای جایگزینی ترانزیستور MOSFET است [۶-۱۰]. گزارش‌هایِ ارائه شده در مورد ساختار این ترانزیستورها نشان می‌دهد این ترانزیستور شباهت‌های زیادی با ترانزیستور MOSFET دارد [۱۱]. مطابق گزارش‌های علمی ارائه شده فرایند ساخت CNTFET با فرایند ساخت CMOS تداخل ندارد و روش ساخت ترانزیستور CNTFET با CMOS سازگاری دارد و این امکان را می‌دهد تا CNTFET با CMOS بر روی یک تراشه ساخته شوند [۶].

علاوه بر موضوع ارائه تکنولوژی جدید برای رفع مشکلات تکنولوژی‌های موجود، رویکری پردازش داده‌ها بر پایه منطق‌های چندارزشی[3] نیز برای کاهش مشکلات رشد داده‌ها و تعداد ارتباطات بین سیستم‌ها پردازشی، می‌تواند باعث ارائه سیستم‌های پردازشی مدرن‌تر شود [۱۲-۱۵]. رویکرد ساخت مدارهای چند سطحی برای کاهش ارتباطات بین سیستم‌ها با استفاده از ترانزیستورهای MOSFET بسیار پیچیده و چالش برانگیز می‌باشد، در حالیکه بهره-گیر از ویژگی‌های خاص ترانزیستور CNTFET با توجه به قابلیت تنظیم ولتاژ آستانه ترانزیستورها، باعث کاهش مشکلات طراحی مدارهای پردازشی چند سطحی می‌شود.

مدارات آنالوگ، دیجیتال و چند سطحی مختلف در سال‌های اخیر برپایه ترانزیستورهای نانو لوله کربنی گزارش شده است، که در این حوزه‌ها می‌توان به مقاله‌هایی که در سال‌های اخیر گزارش شده اشاره کرد [۱۶-۲۳].

همچنین پژوهش‌های زیادی نیز در حوزه سیستم‌های پردازشی چند سطحی انجام گرفته، که می‌توان به سیستم‌های پردازشی سه سطحی[4] و چهار سطحی[5] که در مقاله‌ای زیادی در سال‌های اخیر گزارش شده، اشاره کرد. در حوزه سه سطحی سیستم‌های پردازشی همانند: تمام جمع‌کننده [۲۱-۲۴] مالتی پلکسر[۲۶]، مقایسه‌کننده[۲۷-۲۸] و فلیپ فلاپ[۲۹-۳۰] گزارش شده است. همچنین در حوزه چهار سطحی نیز گزارش‌های از پیاده‌سازی جمع کننده[۳۱]، مقایسه کننده[۳۲]، فلیپ فلاپ [۳۳] وثبات[۳۴] ارائه شده است.

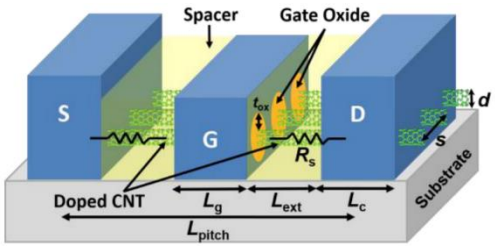
در مقاله [۳۵] ساختار یک مقایسه‌کننده سه سطحی بر پایه ترانزیستورهای نانو لوله کربنی ارائه شده است، این ساختار به لحاظ تعداد ترانزیستور مورد استفاده شرایط مناسب ندارد. در گزارش مقاله [۱۳]، تعداد ترانزیستور بشدت کاهش یافته است در تکنیک ارائه شده در این مقاله برای مقایسه کننده تک رقمی ۱۲ ترانزیستور استفاده شده است، قابل توج است که این مقایسه‌کننده دارای ورودی‌های سه سطحی است، در حالیکه خروجی‌های این مقایسه کننده دو سطحی (دیجیتال) هستند، همچنین در صورت افزایش تعداد ورودی‌های مقایسه کننده زمان تاخیر انتشار نیز افزایش خواهد یافت.

مداری که در این مقاله گزارش خواهد شد ساختار یک مقایسه کننده سه سطحی است، ایده اصلی که در این مقاله ارائه شده، به این صورت است که مقایسه کننده سه سطحی پیشنهادی دارای ورودی و خروجی سه سطحی می‌باشد، این ایده در پیاده سازی ساختار مقایسه کننده سه سطحی چند ورودی پیشنهادی در سطح ترانزیستوری نیز اعمال شده است، همچنین ساختار پیشنهادی قابل توسعه است. مزیت اصلی ساختار پیشنهادی تاخیر انتشار با افزایش تعداد ورودیها بصورت خطی افزایش نمی‌یابد و اینکه ساختار مقایسه کننده تماماً سه سطحی می‌باشد.

در ادامه مقاله، در بخش ۲ شرح ساده از ساختار فیزیکی ترانزیستور CNTFET ارائه خواهد شد و در بخش ۳ ساختار مقایسه کننده پیشنهادی تک رقمی و دو رقمی در سطح ترانزیستور توضیح داده خواهد شد و در بخش ۴ مقاله، نتایج شبیه‌سازی ساختار مقایسه-کننده‌های پیشنهادی ارائه می‌شود، در نهایت در بخش نتیجه‌گیری شرح کلی از مقاله مطرح می‌شود.

۲- ساختار فیزیکی ترانزیستور CNTFET

ترانزیستور CNTFET همانند ترانزیستور MOSFET دارای چهار ناحیه فیزیکی می‌باشد، نواحی درین، سورس، گیت و زیر لایه، بین ناحیه درین و سورس نانو لوله‌های کربنی قرار دارند که بعنوان کانال ترانزیستور می‌باشند و استوانه‌هایی از جنس گرافن هستند، اطراف لوله‌های کربنی و فلز توسط عایق با ضریب k بالا احاطه شده است. در نانو لوله های کربنی حامل‌های بار الکتریکی الکترون و حفره دارای ضریب تحرک یکسان هستند، این ویژگی باعث می‌شود در طراحی مدارهای الکترونیکی برای تعادل سازی عملکرد ترانزیستورها نیاز به اندازه‌بندی نباشد. در سال‌های اخیر نمای فیزیکی ترانزیستوری CNTFET توسعه یافته و ساخته شده در شکل ۱ نشان داده شده است [۳۶-۳۷].



شکل (۱): ساختار فیزیکی ترانزیستور CNTFET [۳۳]

یکی از مهمترین ویژگی‌های ترانزیستورهای نانو لوله کربنی امکان تنظیم ولتاژ آستانه آن است، این ویژگی از طریق تنظیم قطر لوله‌ها و ولتاژ باند تخت امکان پذیر است، ولتاژ آستانه را می‌توان با رابطه ۱ بیان کرد [۳۶-۳۷]:

$$V_t = \frac{2a_0E_\pi}{D_{CNT}} + V_{fb} - \delta V_{dsi} \qquad (۱)$$

در این رابطه a_0 که فاصله کربن تا کربن است و برابر با ۰/۱۴۲ نانومتر می‌باشد، D_{CNT} قطر نانو لوله کربنی است و V_{fb} ولتاژ باند تخت است، V_{dsi} ولتاژ داخلی بین سر درین –سورس است، δ ضریب DIBL[۶] در نانو لوله کربنی است.

نانو لوله کربنی تک دیواره می‌تواند همانند یک رسانا یا نیمه‌رسانا عمل کند و بستگی به بردار کایرالیتی[۷] (n,m) دارد، اگر n=m یا n-m=3i (i عدد صحیح است) باشد فلز است در غیر اینصورت نیمه هادی است. همچنین قطر نیمه‌های را می‌توان با رابطه ۲ محاسبه کرد:

$$D_{CNT} = \frac{a_0\sqrt{3}}{\pi}\sqrt{m^2+nm+n^2} \qquad (۲)$$

روابط ۱ و ۲ نشان می‌دهد ولتاژ آستانه می‌تواند با استفاده از مقادیر n و m تنظیم شود. در طراحی مدارهای پردازشی با تنظیم مقادیر n و m می‌توان ولتاژ آستانه ترانزیستورها را تنظیم نمود. در ادامه مقاله در بخش بعدی ساختار مقایسه کننده سه‌سطحی پیشنهادی بررسی می‌شود.

۳- ساختار مقایسه کننده سه سطحی

مقایسه کننده سه‌سطحی پیشنهادی دارای ورودی‌های سه‌سطحی و خروجی سه‌سطحی است، مطابق شکل ۲ ورودی‌های Ta ، Tb و خروجی Tout سه‌سطحی هستند، در حالیکه مقایسه‌کننده‌های دیجیتال، سه خروجی دارند و برای نشان دادن اینکه، کدام یک از ورودی‌ها بزرگتر یا کوچکتر و یا مساوی است استفاده می‌شود، در حالیکه برای نشان دادن وضعیت خروجی مقایسه کننده سه سطحی دیگر نیازی به استفاده از سه خروجی نیست، و وضعیت مقایسه را می‌توان تنها با یک خروجی نشان داد، به طور مثال، می‌توان از سطح دو (VDD) برای نشان دادن حالت بزرگتر و از سطح یک (VDD/2) برای حالت تساوی ورودی‌ها و برای نشان دادن حالت کوچکتر از سطح صفر استفاده کرد. در این مقاله ساختار مقایسه کننده‌های پیشنهادی، بر اساس این منطق پیاده‌سازی شده است.

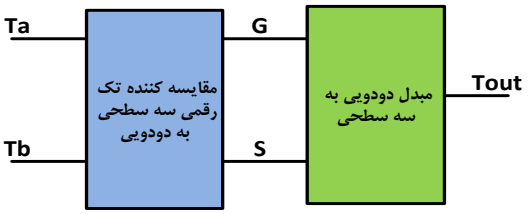
شکل (۲): مقایسه کننده سه سطحی

۳-۱- مقایسه کننده سه سطحی تک رقمی

همانطوریکه در بخش قبل اشاره شد منطق حکم برای پیاده‌سازی مقایسه کننده پیشنهادی بدین صورت می‌باشد که، اگر ورودی Ta از Tb بزرگتر باشد خروجی در سطح "2" و اگر کوچکتر باشد در سطح "0" و اگر برابر باشند در سطح "1" باشد. بدین ترتیب، وضعیت ورودی‌های مقایسه کننده تک رقمی در جدول ۱ نشان داده شده است. بر اساس طراحی مدارهای دیجیتال می‌توان برای ایجاد منطق "2" از شبکه P که شامل ترانزیستورهای نوع P می‌باشد استفاده کرد و برای ایجاد سطح منطقی "0" می‌توان از ترانزیستورهای نوع N استفاده کرد. در صورتیکه باید در خروجی سطح منطقی "1" ایجاد شود، از دو شبکه ترانزیستوری P و N استفاده می‌شود. متاسفانه برای ایجاد منطق "1" مشکلات بیشتری وجود دارد از جمله تعداد ترانزیستوری مصرفی اشاره کرد و همچنین توان استاتیکی که در این حالت تلف می‌شود. برای پیاده‌سازی بهینه، که مشکلات اشاره شده در آن کاهش یافته است می‌توان به مدار پیشنهادی مقاله ۱۳ اشاره کرد، در این مقاله برای تولید خروجی بزرگتر تنها به ۴ ترانزیستور نیاز است با این شرایط برای پیاده‌سازی تابع کوچکتر نیز به ۴ ترانزیستور نیاز است. لذا ۸ ترانزیستور برای تولید توابع بزرگتر و کوچکتر لازم است، باید توجه کرد که روش پیاده‌سازی مقایسه‌کننده در مقاله مورد اشاره تولید خروجی دودویی است. بطور کلی برای پیاده سازی مقایسه کننده سه سطحی پیشنهادی از مدارهای مولد تابع بزرگتر و کوچکتر بر مبنای دو و مبدل باینری به سه سطحی برای تولید خروجی نهایی مقایسه کننده استفاده شده است. نمای بلوکی از مقایسه کننده پیشنهادی تک رقمی در شکل ۳ نیز نشان داده شده است.

جدول(۱): جدول درستی مقایسه‌کننده تک ورودی سه سطحی

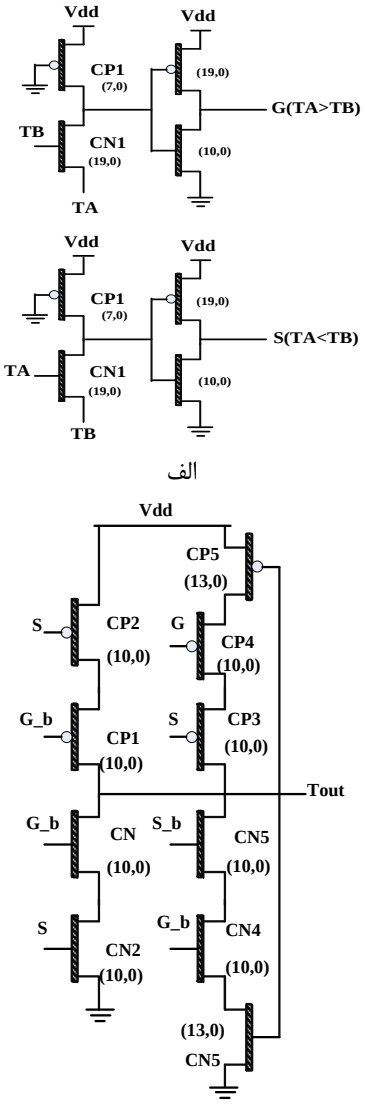
ورودی ها		خروجی‌های میانی		خروجی نهایی
Ta	Tb	G(Ta > Tb)	S(TA<Tb)	Tout
0	0	0	0	1
0	1	0	2	0
0	2	0	2	0
1	0	2	0	2
1	1	0	0	1
1	2	0	2	0
2	0	2	0	2
2	1	2	0	2
2	2	0	0	0



شکل(۳): نمای بلوکی مقایسه کننده سه-سطحی تک رقمی

در شکل ۴ الف مدار سطح ترانزیستوری توابع G وS نشان داده شده است (منظور از G تابع بزرگتر و منظور از S تابع کوچکتر می‌باشد). با استفاده از تکنیک تقسیم مقاومتی ولتاژ گره درین ترانزیستوری CN1 در شکل ۴ الف و مقادیر Ta و Tb عملکرد معکوس کننده بعدی را تعیین می‌کند [۱۳]، عملکرد مداری شکل ۴ الف در مقاله ۱۳ بصورت کامل شرح داده شده است.

برای پیاده‌سازی مدار مبدل دودویی به سه‌سطحی از مدار شکل ۴ ب استفاده شده است. با توجه به اینکه توابع G و S نسبت به هم سه وضعیت ممکن دارند که در جدول ۲ نشان داده شده است. توجه کنید که حالت چهارم اتفاق نمی‌افتد. روش پیاده‌سازی مدار به این صورت است که، به ازای حالت "S="0 و "G="2 باید خروجی Tout برابر با سطح "2" شود، برای این از شبکه P و دو ترانزیستور سری CP1 و CP2 استفاده می‌شود و بدین ترتیب برای حالت "S="2 و "G="0 باید خروجی Tout برابر با سطح "2" شود برای این از شبکه P و دو ترانزیستور سری CN1 و CN2 استفاده می‌شود، به ازای حالت "S="0 و "G="0 خروجی باید در سطح یک قرار بگیرد برای این حالت هم شبکه P و هم شبکه N باید همزمان فعال شود. لذا از ترانزیستورهای CP3 وCP4 بصورت سری در شبکه P و از ترانزیستورهای CN3 وCN4 در شبکه N استفاده شده است. توجه کنید برای اینکه تا زمانیکه قرار است خروجی در سطح یک بماند مسیر VDD به زمین قطع شود از دو ترانزیستور CP5 و CN5 مطابق شکل ۴ب استفاده شده است. زمانیکه خروجی در سطح "2" است و باید به سطح یک برگردد شبکه N فعال می‌شود و خروجی تا زمانیکه به سطح "1" برگردد فعال می‌ماند، در این شرایط شبکه P بخاطر قطع بودن ترانزیستور CP5 نیز قطع است، همین موضوع برای حالتی که خروجی در سطح صفر است و باید به سطح "1" برسد بصورت معکوس اتفاق می‌افتد. بدین ترتیب اضافه کردن ترانزیستورهای CP5 و CN5 توان استاتیکی را کاهش می‌دهد.



شکل(۴): الف) مدارترانزیستوری مقایسه‌کننده تک‌رقمی سه‌سطحی[۱۳] ب) مدار ترانزیستوری مبدل باینری به سه‌سطحی

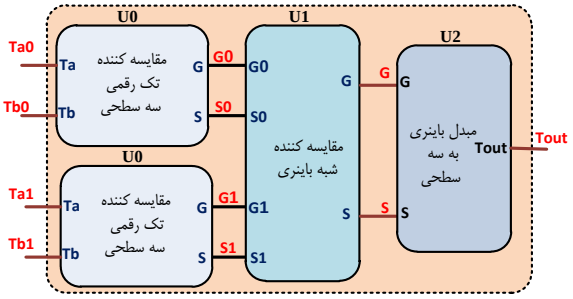
جدول(۲): حالت‌های ورودی و خروجی مبدل دودویی به سه‌سطحی

ورودی‌های مبدل		خروجی
G	S	**Tout**
0	0	**1**
0	2	**0**
2	0	**2**
2	2	**اتفاق نمی افتد**

۳-۲- مقایسه کننده دو رقمی سه سطحی

یکی از مشکلات پیاده‌سازی مدارها در مبنای سه، ایجاد سطح "1" می‌باشد برای کاهش مشکلات مقایسه کننده دو رقمی خروجی های دودویی G وS را در حوزه دودویی بدست آورده و نهایتاً می‌توان با استفاده از مبدل دودویی به سه سطحی خروجی نهایی سه سطحی را بدست آورد. بدین ترتیب برای پیاده‌سازی مقایسه‌کننده پیشنهادی دو رقمی سه سطحی نیز از این روش استفاده شده است.

نمای بلوکی مقایسه کننده سه سطحی دو رقمی پیشنهادی در شکل ۵ نشان داده شده است، این ساختار دارای دو بلوک می‌باشد بلوک اول رقم‌های متناظر Tai, Tbi را مقایسه می‌کند (بلوک U0) و نتیجه را در خروجی‌های Gi و Si نشان می‌دهد توجه کنید که ورودی‌های Tai و Tbi سه‌سطحی هستند در حالیکه خروجی‌های Gi و Si در مبنای دو هستند. در ادامه خروجی‌های بلوک U0 توسط بلوک دوم که با برچسب U1 و با نام " مقایسه کننده شبه باینری" در شکل ۵ نشان داده شده است و برای بدست آوردن خروجی نهایی G و S استفاده شده است.



شکل(۵): نمای بلوکی مقایسه کننده سه‌سطحی دو رقمی

تابع G با استفاده از رابطه ۳ قابل پیاده سازی است.

$$G = G_1 + \overline{S}_0\overline{S}_1 \qquad (۳)$$

مدار سطح ترانزیستوری تابع G در شکل ۵ نشان داده شده است و برای پیاده سازی این تابع ۱۰ ترانزیستور نیاز است به همین ترتیب تابع S را از رابطه ۴ می‌توان بدست آورد. بدین ترتیب برای پیاده‌سازی هر بلوک U1 نیاز به ۲۰ ترانزیستور است. پس بطور کلی برای پیاده سازی یک مقایسه کننده ۲ رقمی سه سطحی نیاز به ۵۰ ترانزیستور است.

$$S = S_1 + \overline{G}_0\overline{G}_1 \qquad (۴)$$

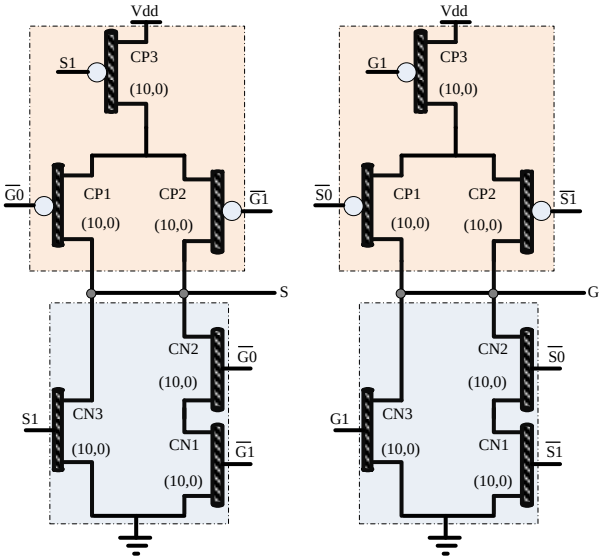
جدول(۳): حالت‌های وروی و خروجی بلوک U1

G1	S1	G0	S0	G	S
1**	0	X	X*	1	**0**
0	1	X	X	0	**1**
0	0	1	0	1	**0**
0	0	0	1	0	**1**
0	0	0	0	0	**0**

*حالت بی‌اهمیت

** منظور از 1 همان Vdd است.

نهایتاً برای بدست آوردن خروجی سه سطحی از بلوک دیگری استفاده شده است، مدار سطح ترانزیستوری این مدار در شکل ۳ ب نشان داده شده است. همانطوریکه مشاهده می‌کنید برای پیاده سازی این مدار به ۱۲ ترانزیستور نیاز است.



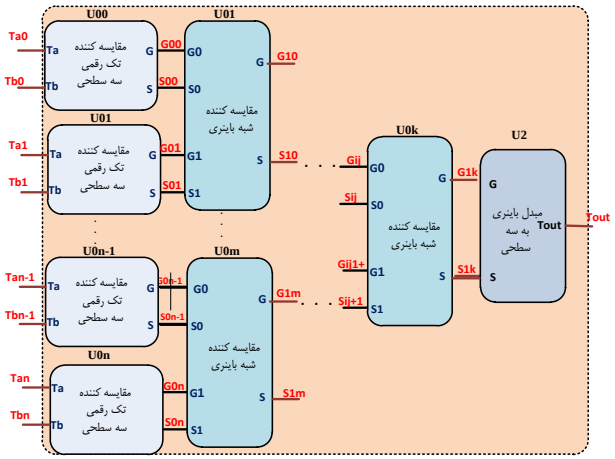
شکل(۶): مدار سطح ترانزیستوری بلوک U1

۳-۳- مقایسه کننده سه سطحی چند رقمی

با توجه به توضیحات ارائه شده برای پیاده سازی مقایسه‌کننده سه-سطحی دو رقمی، پیاده‌سازی ساختار مقایسه کننده چند رقمی نیز بدین ترتیب می تواند انجام شود، به صورتیکه بعد از مقایسه دو رقم هم ارزش، نتیجه آن وارد بلوک مقایسه‌گر شبه باینری شده و در نهایت خروجی نهایی G و S وارد بلوک مبدل باینری به سه‌سطحی خواهد شد. نمای بلوکی از مقایسه کننده سه‌سطحی چند رقمی در شکل ۷ نشان داده شده است. با توجه به تعداد رقم‌های ورودی نیاز به بلوک U0 است مثلاً اگر تعداد رقم‌های ورودی ۸ باشد هشت بلوک U0 نیاز است که مجموعاً ۶۴ ترانزیستور برای بلوک‌ها اول نیاز است، و در مرحله بعدی اندازه نصف ورودی‌ها یعنی N/2 بلوک U1 نیاز است و در ادامه N/4 بلوک U1 نیاز است تا اینکه در مرحله آخر تنها یک بلوک از U1 نیاز باشد، بعد از آخرین بلوک U1 بلوک مبدل دودویی به سه-سطحی قرار می‌گیرد. برای مثال برای مقایسه کننده ۸ رقمی نیاز به: 8/2+8/4+8/8=7 بلوک U1 است که مجموعاً ۱۴۰ ترانزیستور نیاز است و برای بلوک نهایی هم ۱۲ ترانزیستور لازم است که نهایتاً ۲۱۸ ترانزیستور برای مقایسه کننده ۸ رقمی پیشنهادی لازم است. تاخیر انتشار کلی سیستم را هم با رابطه ۵ می‌توان بدست آورد:

$$t_{pd} = t_{pd0} + kt_{pd1} + t_{pd2} \qquad (۵)$$

در این رابطه t_{pd0} تاخیر انتشار بلوک U0 و t_{pd1} تاخیر انتشار بلوک U1 و t_{pd2} تاخیر انتشار بلوک U2 است. در این مقاله تاخیر انتشار با افزایش ورودی‌ها با ضریب k افزایش خواهد یافت اما باید توجه کرد که مقدار k برابر با $\log_2 N$ می‌باشد N تعداد ورودی‌ها می‌باشد، در مقایسه‌کننده‌های قبلی تاخیر انتشار بصورت خطی با ورودی متناسب می‌باشد.



شکل(۷): نمای بلوکی مقایسه کننده سه‌سطحی چند رقمی

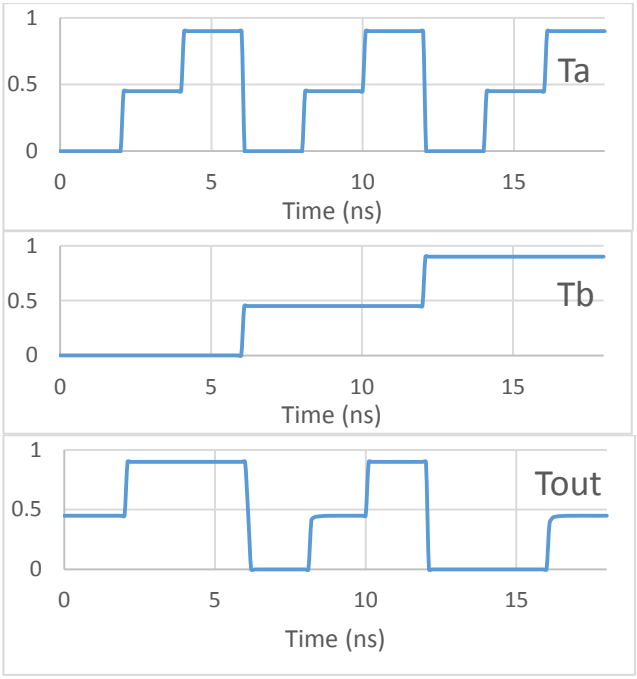
۴- نتایج شبیه‌سازی

در این مقاله، برای بررسی عملکرد مناسب مدارهای مقایسه‌کننده پیشنهادی از نرم افزار HSpice استفاده شده است. تکنولوژی استفاده شده برای پیاده‌سازی و شبیه‌سازی مدارها، تکنولوژی ترانزیستورهای اثر میدانی نانو لوله کربنی ۳۲ نانو متر است و مدل ترانزیستور بر اساس مدل استنفورد می‌باشد. برخی پارامترهای مربوط به ترانزیستور نیز در جدول ۴ نشان داده شده است [۳۸-۳۹]. در پیاده‌سازی مقایسه کننده ولتاژ تغذیه ۰/۹ ولت است.

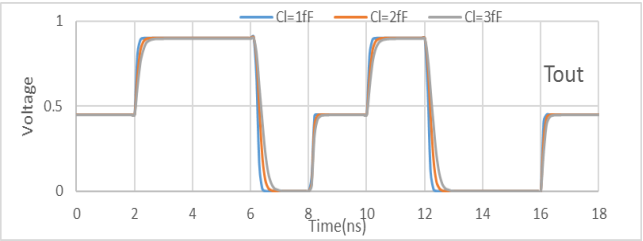
جدول(۴): پارامترهای نانولوله کربنی

توصیف	ارزش	پارامتر
طول فیزیکی کانال	32nm	Lch
میانگین مسیر آزاد در نانولوله کربنی ذاتی	100nm	Lgeff
طول نانولوله دوپ شده در ناحیه طرف سورس	32nm	Lss
طول نانولوله دوپ شده در ناحیه طرف درین	32nm	Ldd
ضخامت ماده‌ی دی الکتریک	4nm	Tox
ثابت دی الکتریک اکسید دروازه	16nm	Kox
سطح فرمی لوله S/D دوپ شده	6ev	Efi
ظرفیت کوپلینگ بین ناحیه کانال و بستر	20pf	Csub
فاصله بین مراکز دو CNT مجاور	16nm	Pitch
عرض فلز دروازه	4.6nm	Wgate

نتیجه شبیه‌سازی مقایسه‌کننده تک رقمی سه سطحی در نمودار زمانی شکل ۸ نشان داده شده است، نتیجه شبیه‌سازی نشان می‌دهد به ازای همه حالت‌های ممکن عملکرد مدار پیشنهادی درست می‌باشد. نتیجه شبیه‌سازی نشان می‌دهد توان مصرفی مقایسه کننده ۳/۷۸ میکر وات و تاخیر انتشار آن ۹۷ پیکو ثانیه است (به ازای خازن ۱ فمتو فاراد در خروجی مقایسه کننده).



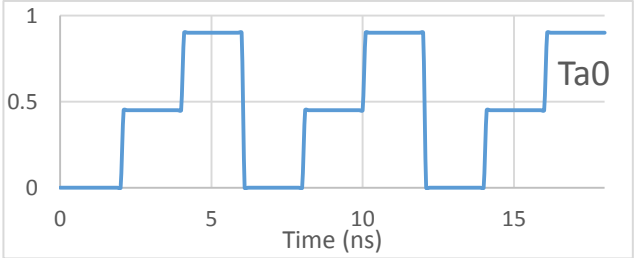
شکل(۸): موج‌های خروجی و ورودی مقایسه‌کننده تک رقمی سه سطحی پیشنهادی

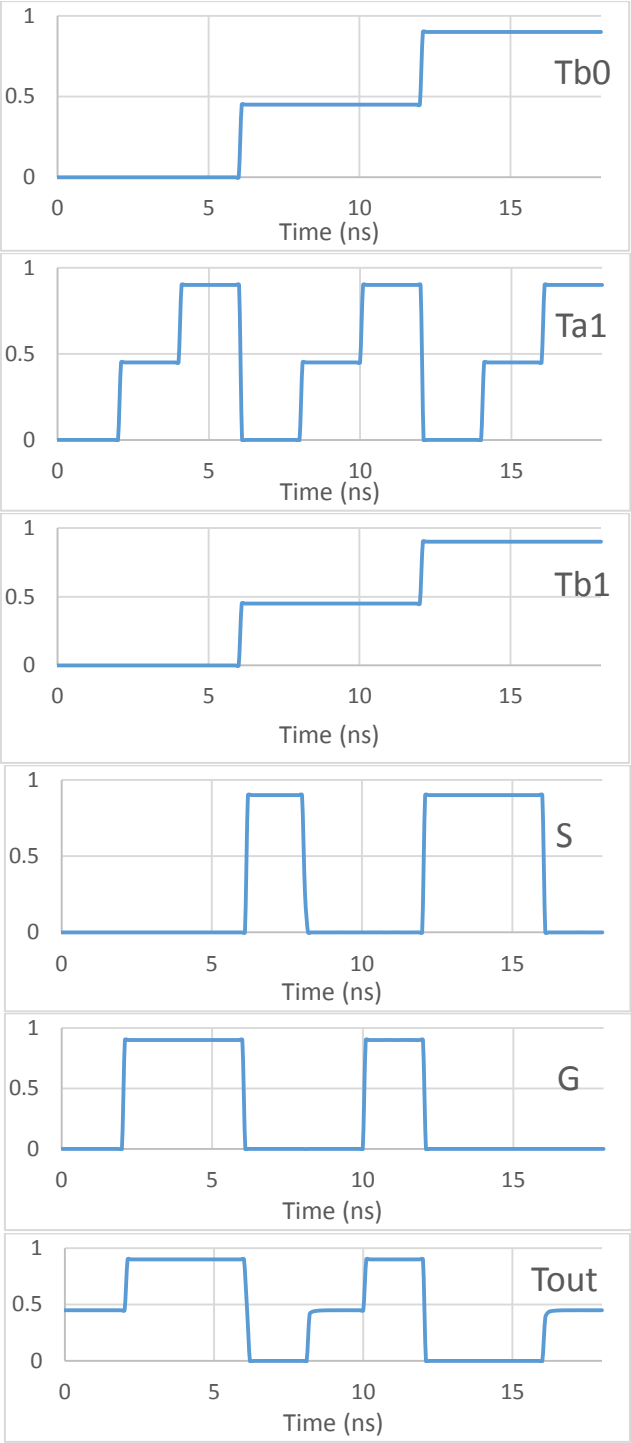


شکل(۹): نمودار زمانی مقایسه کننده تک رقمی سه‌سطحی به ازای بارهای خازنی مختلف (1fF, 2fF , 3fF)

جدول(۵): نتایج مقایسه کننده تک رقمی به ازای خازن‌های بار

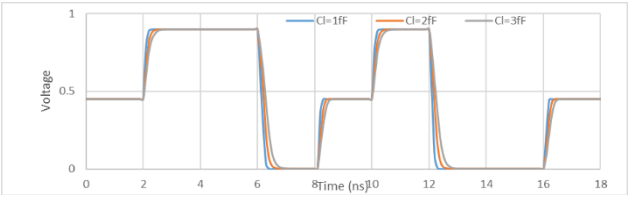
ظرفیت خازن بار	توان مصرفی µW	تاخیر انتشار ps	PDP aJ
بدون بار خازن	۰/۴۱	۴۲	۱۷/۲۲
1fF	۰/۴۸	۹۸	۴۷/۰۴
2fF	۰/۵۷	۱۳۶	۷۷/۵۲
3fF	۰/۶۶	۱۷۵	۱۱۵/۵





شکل(۱۰): نمودار زمانی مقایسه کننده دو رقمی سه سطحی

در شکل ۱۰ نمودار زمانی ورودی‌ها و خروجی مقایسه کننده دو رقمی سه سطحی پیشنهادی نشان داده شده است، در این شکل وضعیت خروجی‌های G، S و Tout نیز نشان داده شده است، شکل ۱۰ نشان می‌دهد خروجی مدار به ازای حالت‌های مختلف ورودی درست است. همچنین در شکل ۱۱ وضعیت خروجی مقایسه کننده به ازای تغییر ظرفیت خازن بار در خروجی مقایسه کننده نشان داده شده است. نتایج نشان می‌دهد عملکرد مدار به ازای خازن‌های مختلف درست است. در جدول ۵ نتایج توان مصرفی، تاخیر انتشار و شاخص PDP نشان داده شده است. نتایج شبیه‌سازی نشان می‌دهد به ازای ۳ برابر شدن ظرفیت خازن بار شاخص PDP ۲/۵ برابر شده است.



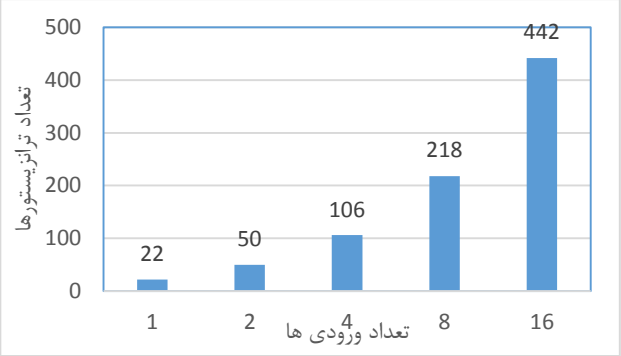
شکل (۱۱): نمودار زمانی خروجی مقایسه کننده دو رقمی پیشنهادی به ازای خازنهای بار مختلف

جدول(۶): کمیت‌های تاخیر انتشار، توان مصرفی و PDP مقایسه کننده دو رقمی به ازای خازن‌های بار

ظرفیت خازن بار	توان مصرفی میکر وات	تاخیر انتشار پیکو ثانیه	PDP aJ
0 fF	۰/۴۷	۷۰	۳۲/۷۴
1fF	۰/۵۴	۱۰۸	۵۸/۳۲
2fF	۰/۶۲	۱۸۰	۱۱۱/۶
3fF	۰/۶۹	۲۱۳	۱۴۶/۹۷

در شکل ۱۲ نمودار تعداد ترانزیستورهای مورد نیاز برای پیاده‌سازی مقایسه کننده پیشنهادی بر حسب تعداد ورودی‌ها نشان داده شده است. در جدول ۷ مقایسه‌ای (جدول) نتایج شبیه‌سازی مقایسه کننده پیشنهادی دو رقمی با سایر مقایسه‌کننده‌ها نشان داده شده است با توجه با اینکه نوع خروجی در مقایسه کننده پیشنهادی یه سطحی است مقایسه بین مقایسه‌کننده‌های گزارش شده هم تراز نیستند با این شرایط در جدول مقایسه مراجع مختلف گزارش شده نزدیک به این موضوع را مشاهده می‌کنید. در مقاله [۴۱] گزارش از مقایسه کننده دو رقمی ارائه شده در حایکه خروجی نهایی نیز دودویی است.تعداد ترانزیستور های استفاده شده در مقاله گزارش نشده است. در حالیکه از نظر توان مصرفی نسبت به دو مرجع مشابه وضعیت مناسبی دارد. تعداد ترانزیستورهای استفاده شده در این مدار پیشنهادی نسبت به مرجع [۱۳] ۳۵ درصد افزایش داشته است این موضوع بخاطر اضافه شدن بلوک مبدل دودویی به سه سطحی و کاهش زمان تاخیر می‌باشد. بطور کلی شاخص PDP در مقایسه به مقایسه‌کننده‌های قبلی بهتر شده است مثلاً در مقایسه با مقاله [۱۳] شاخص PDP ۵۰ درصد بهتر شده است اگر فضا اشغالی را هم در عدد شایستگی وارد کنیم عدد شایستگی این مقاله با تعریف رابطه ۶ به اندازه تقریباً ۱۹ درصد نسبت به مقاله [۱۳] بهتر شده است.

$$FOM = P_{DC}.t_{pd1}.Num \qquad (۶)$$



شکل(۱۲): تعداد ترانزیستورهای مقایسه کننده پیشنهادی به ازای تعداد ورودی‌ها

جدول(۷): کمیت‌های مختلف برای مقایسه کننده‌های دو رقمی گزارش شده بر پایه تکنولوژی CNTFET (فرکانس ۱ گیگاهرتز)

مقایسه کننده	سطح خروجی	تعداد ترانزیستور	توان مصرفی µW	تاخیر انتشار ps	PDP aJ	FOM
[۱۳]	دو	۳۷	۱/۰۸۱	۶۰/۰۲	۶۴/۸۸	**۲۴۰۰**
[۳۵]	دو	۱۰۲	۱/۳۳۶	۲۴/۳۳	۳۲/۵۰	**۳۹۰۱**
[۴۱]	دو	---	۰/۵۴۹	۶۰/۲	۳۳/۱	---
پیشنهادی	سه	۵۰	۰/۵۵	۷۰	۳۸/۵	**۱۹۲۵**

۵- نتیجه‌گیری

در این مقاله گزارشی از پیاده‌سازی مقایسه‌کننده چند ورودی سه-سطحی در سطح ترانزیستوری ارائه شد. تکنولوژی استفاده شده برای پیاده‌سازی مقایسه کننده پیشنهادی تکنولوژی ۳۲ نانو متر CNTFET است. در گزارش ارائه شده ابتدا توصیفی از ساختار ترانزیستور CNTFET ارائه شد و ساختار سطح ترانزیستوری مقایسه کننده تک رقمی و دو رقمی به همراه نتایج شبیه‌سازی با نرم افزار HSpice بدست آمده است. نتایج شبیه‌سازی نشان می‌دهد توان مصرفی مقایسه‌کننده دو رقمی سه سطحی پیشنهادی به ازای فرکانس ۱ گیگاهرتز ۰/۵۵ میکرو وات بدست آمد، همچنین تاخیر انتشار مقایسه کننده پیشنهادی دو رقمی ۷۰ پیکو ثانیه می‌باشد.

مراجع

[1] Kim, N.S., Austin, T., Baauw, D., Mudge, T., Flautner, K., Hu, J.S., Irwin, M.J., Kandemir, M. and Narayanan, V., "Leakage current: Moore's law meets static power", Computer 36, No.12, pp.68-75, 2003.

[2] Powell, M., "Reducing Leakage in a High-Performance Deep-Submicron Instruction Cache", IEEE Trans. VLSI, pp. 77-89, Feb. 2001.

[3] Anis, M., "Subthreshold leakage current: challenges and solutions", In Proceedings of the 12th IEEE International Conference on Fuzzy Systems (Cat. No. 03CH37442) (pp. 77-80). IEEE.

[4] Hashempour, H., Lombardi, F., "Device model for ballistic CNFETs using the first conducting band", IEEE Des. Test Comput. Vol.25, No.2, pp.178–186, 2008.

[5] Lin Y., Appenzeller J., Knoch J., Avouris P., "High-performance carbon nanotube field-effect transistor with tunable polarities", IEEE Trans. Nanotechnol. Vol. 4, No.5, pp.481–489, 2005.

[6] Bishop, M.D., Hills, G., Srimani, T., Lau, C., Murphy, D., Fuller, S., Humes, J., Ratkovich, A., Nelson, M. and Shulaker, "Fabrication of carbon nanotube field-effect transistors in commercial silicon manufacturing facilities", Nature Electronics, Vol.3, No.8, pp.492-501, 2020.

[7] Li, J., Zhang, Q., Yang, D. and Tian, J., "Fabrication of carbon nanotube field effect transistors by AC dielectrophoresis method. Carbon", Vol.42, No.11, pp.2263-2267, 2004.

[8] Li, J., Zhang, Q., Yan, Y., Li, S. and Chen, L., "Fabrication of carbon nanotube field-effect transistors by fluidic alignment technique", IEEE transactions on nanotechnology, Vol. 6, No.4, pp.481-484, 2007.

[9] Xiao, Z. and Camino, F.E., "The fabrication of carbon nanotube field-effect transistors with semiconductors as the source and drain contact materials", Nanotechnology, Vol. 20, No.13, pp.135205, 2009.

[10] Ohnaka, H., Kojima, Y., Kishimoto, S., Ohno, Y. and Mizutani, T., "Fabrication of carbon nanotube field effect transistors using plasma-enhanced chemical vapor deposition grown nanotubes", Japanese journal of applied physics, Vol.45, No.6S, pp.5485, 2006.

[۱۱] مهدی مرادی نسب، مرتضی فتحی پور، "مدل بسته جریان - ولتاژ در ترانزیستورهای نانولوله کربنی آلاییده " نشریه مهندسی برق و الکترونیک، دوره ۸، شماره ۲، ۱۳۹۰ .

[12] Gan, K.J., Lu, J.J., Yeh, W.K., Chen, Y.H., Chen, Y.W., "Multiple-valued logic design based on the multiple peak BiCMOSNDR circuits", Eng. Sci. Technol. Int. J. 19, pp.888–893, 2016.

[13] Hosseini, S.A. and Etezadi, S., "A novel very low-complexity multi-valued logic comparator in nanoelectronics", Circuits, Systems, and Signal Processing, Vol.39, pp.223-244, 2020.

[14] Ramanan, N., and Misra, V., "Multivalued logic using a novel multichannel GaN MOS structure", IEEE electron device letters, Vol.32, No.10, pp.1379-1381,2011.

[15] Temel, T., and Morgul, A., "Multi-valued logic function implementation with novel current-mode logic gates", In 2002 IEEE International Symposium on Circuits and Systems. Proceedings, Cat. No. 02CH37353, Vol. 1, pp. I-I, IEEE, 2002.

[16] Raychowdhury, A., and Roy, K., "A novel multiple-valued logic design using ballistic carbon nanotube FETs", In Proceedings. 34th International Symposium on Multiple-Valued Logic, pp. 14-19. IEEE, 2004.

[17] Lin, S., Kim, Y.B. and Lombardi, F., "A novel CNTFET-based ternary logic gate design", In 2009 52nd IEEE International Midwest Symposium on Circuits and Systems, pp. 435-438. IEEE, 2009.

[18] Jaber, R.A., El-Hajj, A.M., Kassem, A., Nimri, L.A. and Haidar, A.M., "CNFET-based designs of Ternary Half-Adder using a novel "decoder-less" ternary multiplexer based on unary operators", Microelectronics Journal, Vol.96, pp.104698, 2020.

[19] Temel, T. and Morgul, A., 2002, May. "Multi-valued logic function implementation with novel current-mode logic gates", In 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No. 02CH37353), Vol. 1, pp. I-I. IEEE, 2002.

[20] Yousefi, M., Moradi Z., and Monfaredi, K., "CNTFET Based Pseudo Ternary Adder Design and Simulation", Vol.54, No.2 (Special Issue), pp.361-376, 2022.

[21] Keshavarzian, P. and Sarikhani, R., "A novel CNTFET-based ternary full adder". Circuits, Systems, and Signal Processing, 33, pp.665-679, 2014.

[۲۲] مختار محمدی قناتغستانی، "یک جمع کننده دو بیتی موازی با سرعت بالا مبتنی بر تکنولوژی ترانزیستورهای نانو لوله کربنی جهت استفاده در واحدهای محاسباتی"، نشریه مهندسی برق و الکترونیک، دوره ۲۰، شماره ۱ ، صفحات،۱۴۰۲.

[۲۳] یوسفی موسی ، موسوی سید سعید و منفردی خلیل، "مدار نمونه‌گیر-نگهدارنده کم‌مصرف با استفاده از سوئیچ‌های آنالوگ ناقل جریان مبتنی بر ترانزیستور اثر میدانی نانولوله‌کربنی"، مجله مهندسی برق دانشگاه تبریز، دوره ۵۲، شماره ۱، صفحات ۲۳-۳۱، ۱۴۰۱.

[24] Moaiyeri, M.H., Mirzaee, R.F., Navi, K. and Hashemipour, O., "Efficient CNTFET-based ternary full adder cells for nanoelectronics", Nano-Micro Letters, Vol.3, pp.43-50, 2011.

[25] Jafarzadehpour, F. and Keshavarzian, P., "Low-power consumption ternary full adder based on CNTFET", IET Circuits, Devices & Systems, Vol.10, No.5, pp.365-374. 2016.

[26] Gadgil, S. and Vudadha, C., "Design of CNTFET-based ternary ALU using 2: 1 multiplexer based approach", IEEE Transactions on Nanotechnology, Vol.19, pp.661-671, 2020.

[27] Vudadha, C., Sai, P.P., Sreehari, V. and Srinivas, M.B., "CNFET based ternary magnitude comparator", In 2012 International Symposium on Communications and Information Technologies (ISCIT), pp. 942-946. IEEE, 2012.

[۲۸] موسوی سید سعید ، یوسفی موسی و منفردی خلیل ، "طراحی و شبیه‌سازی مبدل ترنری به باینری بهینه شده بر پایه ترانزیستورهای اثر میدان نانو لوله کربنی"، مجله پردازش پیشرفته سیگنال، دوره ۴، شماره ۱، صفحات ۲۹۱-۳۰۱، ۱۳۹۹.

[29] Mohammaden, A., Fouda, M.E., Alouani, I., Said, L.A. and Radwan, A.G., "CNTFET design of a multiple-port ternary register file", Microelectronics Journal, 113, p.105076, 2021.

[30] Amirany, A., Jafari, K. and Moaiyeri, M.H., "High-performance spintronic nonvolatile ternary flip-flop and universal shift register", IEEE Transactions on Very Large Scale Integration (VLSI) Systems, Vol.29, No.5, pp.916-924, 2021.

[31] Shalamzari, Z.D., Zarandi, A.D., and Reshadinezhad, M.R., "Newly multiplexer-based quaternary half-adder and multiplier using CNTFETs", AEU-International Journal of Electronics and Communications, Vol.117, p.153128, 2020.

[32] Ebrahimi, S.A., Reshadinezhad, M.R., Bohlooli, A. and Shahsavari, M., "Efficient CNTFET-based design of quaternary logic gates and arithmetic circuits", Microelectronics Journal, Vol.53, pp.156-166, 2016.

[33] Daraei, A. and Hosseini, S.A., "Alternative design techniques of quaternary latch, flip-flops and counters in nanoelectronics", International Journal of Electronics, Vol.109, No.4, pp.669-698, 2022.

[۳۴] بهاره سیدزاده ثانی، دکتر بهزاد ابراهیمی، "حافظهٔ دسترسی تصادفی پویای جاسازی شده بر مبنای سلول بهره ۵ ترانزیستوری، به‌صورت کم‌توان و با زمان نگهداری بالا در فناوری‌های فین‌فت کمتر از ۲۲ نانومتر"، نشریه مهندسی برق و الکترونیک ، دوره ۱۹، شماره ۲، صفحات ،۱۴۰۱.

[35] Vudadha, C., Phaneendra, P.S., Makkena, G., Sreehari, V., Muthukrishnan, N.M. and Srinivas, M.B., "Design of CNFET based ternary comparator using grouping logic", In 2012 IEEE Faible Tension Faible Consommation (pp. 1-4). IEEE, 2012.

[36] Lee, C.S., Pop, E., Franklin, A.D., Haensch, W. and Wong, H.S., "A compact virtual-source model for carbon nanotube FETs in the sub-10-nm regime—Part I: Intrinsic elements", IEEE transactions on electron devices, Vol.62, No.9, pp.3061-3069, 2015.

[37] Lee, C.S., Pop, E., Franklin, A.D., Haensch, W. and Wong, H.S.P., "A compact virtual-source model for carbon nanotube FETs in the sub-10-nm regime—Part II: Extrinsic elements, performance assessment, and design optimization", IEEE Transactions on Electron Devices, Vol.62, No.9, pp.3070-3078, 2015.

[38] Stanford University CNFET model Website. Stanford University, Stanford, CA (2008) (online). http://nano.stanford.edu/model.php?id=23

[39] Deng, J. and Wong, H.S.P., "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region", IEEE Transactions on Electron Devices, Vol.54, No.12, pp.3186-3194, 2007.

[40] Deng, J., and Wong, H.S.P., "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part II: Full device model and circuit performance benchmarking", IEEE Transactions on Electron Devices, Vol.54, No.12, pp.3195-3205, 2007.

[41] Rani, S., Singh, B. and Devi, R., "CNTFET Based Ternary 1-Trit & 2-Trit Comparators for Low Power High-Performance Applications", Transactions on Electrical and Electronic Materials, pp.1-16, 2021.

زیرنویس‌ها

[1] Metal Oxide Semiconductor Field Effect Transistor

[2] Carbon Nano Tube Field Effect Transistor

[3] Multiplied Value Logic

[4] Ternary

[5] Quaternary

[6] Drain Induced Barrier Lowering

[7] Chirality