Journal of Iranian Association of Electrical and Electronics Engineers
Vol. 22 No. 1, 2025
DOI: 10.61186/jiaeee.22.1.14

Providing an Optimal Compensation Method in Three-stage CMOS OTA Amplifier that Can be Used in Temperature Measurement by RTD

Tayebeh Asiyabi[1] , Seid Jafar Hosseinipouya[2]

[1]Dez Dam & Power Plant Operation & Generation Co, Iran
tasiyabi@gmail.com
[2] Assistant, Department of Electrical Engineering, Izeh Branch, Islamic Azad University, Izeh, Iran
j173555@gmail.com

Abstract:

In recent years, process parameters in industry or power plant must be continuously monitored and controlled. Temperature is one of the most important parameters that must be controlled by the RTD, which is used to adjust the signal amplitude from the amplifier at the output of the Wheatstone bridge. In this paper, a new design for three-stage CMOS operational transconductance amplifier is proposed. The proposed structure eliminates the feedforward path and strengthens the feedback path in the compensation network at the same time. Also, the presented circuit uses only a small compensation capacitor, which alleviates the chip area. The simulation of the proposed circuit has been done using 0.18 µm CMOS technology in the HSPICE simulator and it has been validated by theoretical analysis, and the simulation results confirm the correctness of the theoretical analysis. The frequency response of the proposed amplifier shows that the DC gain of the circuit is on the order of 120 dB and the bandwidth of the circuit is 18.8 MHz with a phase margin of 88°. The power dissipation of the proposed circuit is fairly very small and is about 515 µW in 1.8 V power supply, which shows that the proposed circuit has high efficiency and efficiency coefficients.

Keywords: **Efficiency coefficient, Differential block frequency compensator, RTD, Amplifier, Low power consumption**

Article Type: Research

Received: 22. 02. 2023

Revised: 18. 02. 2024

Accepted: 31. 08. 2024

Corresponding author: Seid Jafar Hosseinipouya

Corresponding author's address: No. 152, Dneshgah Ave, Daneshjoo Square, Izeh, Iran 639167618

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]

Copyright © 2025 The Authors. Published by Iranian Association of Electrical and Electronics Engineers.
This work is licensed under a Creative Commons Attribution-NonCommercial 4.0 International license (https://creativecommons.org/licenses/by-nc/4.0/). Non-commercial uses of the work are permitted, provided the original work is properly cited.

1. Motivation of the work

Making an RTD out of platinum would be too expensive for most applications. As a result, only small RTD elements are made from platinum. To use the resistance value of the RTD element, this resistance must be transferred to the measuring device. To do this, an insulating copper wire is used to connect the RTD element to the measuring device. Like platinum, copper also has electrical resistance. The resistance along the copper wire can affect the resistance value measured by the device connected to the RTD. In two-wire RTDs, there is no means to calculate the resistance of the copper wire so that the resistance of the copper wire can be reduced and the measured resistance can be correctly related to the temperature of the RTD element. As a result, two-wire RTDs are usually used for approximate temperature measurements. Three-wire RTDs are more commonly used in industrial applications. The RTD is a transducer that converts temperature into an electrical signal. If high energy is required to drive the actuator, the controller command is amplified by the amplifier and then sent to the actuator. In this paper, we present a new compensator method that uses a differential feedback path to eliminate the leading path and increase the frequency response with respect to PM and GBW. The frequency response analysis of the proposed circuit shows that the values of the compensator network elements for phase margin and bandwidth can be controlled and tuned. The proposed circuit was simulated using 0.18 μm CMOS technology in the HSPICE simulator and was analyzed theoretically, and the simulation results confirmed the accuracy of the theoretical analysis.

2. Contributions

With the reduction of channel length and supply voltage, standard arrangements such as cascades are not useful in OTA designs based on CMOS technology, while multi-stage amplifiers can be used [1-3]. However, due to the increase in DC gain, such arrangements exhibit low phase margin (PM) and high impedance nodes, which affect the frequency stability of the amplifier, which requires the development and use of frequency compensation techniques [1]. In the case of a three-stage amplifier, one of the widely used conventional frequency compensation methods is the RNMC (Renunciation Resonance Modulation), in which the first two stages must have negative gain. This technique is notable for its simplicity of design and no additional power consumption. However, this frequency compensation method adds a zero in the right half of the amplifier transfer function, which leads to stability problems [2-5]. Over the past few years, several techniques such as current and voltage buffers [6], forward paths [7-9], AFFC [10, 11] ACBC have been proposed to solve this problem, but they failed to achieve unconditional stability and improve GBW simultaneously. This is due to the presence of RHP in the transfer function. In general, NMC and RNMC are two common methods for frequency compensation of three-stage OTAs. These two methods use two capacitors as the compensation network. NMCNR, which is an improved version of NMC, is based on the use of resistors to eliminate the RHP zeros in the transfer function. Double pole-zero elimination (DPZC) is another technique that forms the compensation network using cascaded resistors with each capacitor, which almost eliminates two poles with two zeros and improves the frequency response [11-13]. The frequency control compensator is another suitable method that uses a block added to the second stage of the attenuator circuit to control the circuit. All these methods require large compensation capacitors. The active feedback frequency compensator (AFFC) offers a new type of feedback that involves a cascade structure of a capacitor with a gm stage. This method requires fewer compensation capacitors and shows relatively good frequency responses. Finally, the frequency control compensator (ACBC) is one of the most suitable techniques for frequency compensation. In this method, the gain of the second stage is increased at high frequencies, which improves the frequency response of the OTA. In this paper, we present a new compensation method that uses a differential feedback path to eliminate the leading path and increase the frequency response with respect to PM and GBW.

3. Procedures

The proposed circuit consists of a differential input stage, while the second and third stages consist of common source amplifiers. The fourth stage is another differential amplifier that forms the output stage. Also, the output resistance and parasitic capacitor of each stage are specified by R_{1-3} and C_{1-3}, respectively. C_L is also the load capacitor. In this structure, a differential feedback stage is used to achieve two goals. The first differential feedback stage forms the compensation network, and in the second stage, the output signal from this stage is driven, so it can reach the maximum DC gain. These two issues make the proposed method very effective in achieving the desired GBW and PM. The proposed circuit consists of a small compensation capacitor that has the Miller effect and should be placed in the negative gain loop. According to the Roth-Horowitz criteria, the transfer function of the proposed method is stable if the following two conditions are met. First, all the coefficients S exist and second, all the coefficients must be of the same sign, i.e. all are negative or positive. These two conditions hold in both open-loop and closed-loop transfer functions, so stability is guaranteed in both cases. Also, according to the open-loop transfer function, the DC gain of the proposed amplifier is $g_{m1}g_{m2}g_{m3}g_fr_1r_2r_3r_f$, which shows that the proposed method also increases the DC gain because the gain of the proposed circuit increases the circuit gain by g_fr_f compared to the conventional three-stage amplifier $g_{m1}g_{m2}g_{m3}r_1r_2r_3$.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]

4. Findings

To test the proposed method, a three-stage amplifier with 0.18 μm CMOS technology is designed and simulated using HSPICE. The supply voltage is set to 1.8 V. One of the most important factors that plays an important role in the design of the amplifier is the feedback performance. First, the stability of the unit feedback structure should be considered because sometimes some amplifiers in the open-loop structure cannot satisfy the closed-loop stability conditions. According to the results obtained, in fact, after removing the non-dominant coefficients, a simplified transfer function is obtained. These non-dominant coefficients usually appear due to the effects of parasitic capacitors. Therefore, another advantage of the proposed method is that this compensation method is independent of parasitic capacitors and the estimated transfer function accurately leads to improved frequency response. Additionally, the Temperature Element Response Time Test is designed to measure the response time of a remote RTD when the sensor is installed in the process. The test involves applying an electrical current to the end of the sensor (thermocouple). The electrical current causes the sensor to heat up and a transient temperature change occurs within the sensor. A Wheatstone bridge is used to measure the response time. This test is performed in power plants using a heating current of about 40 mA. To provide the current required for the test, the power supply is regulated in the Wheatstone bridge, so the high current should be between 30 and 50 mA. The RTD is stable in a process up to only 30 mA. On the other hand, if the RTD is in a process with large temperature fluctuations, a current higher than 50 mA is required to improve the signal-to-noise ratio (S/N). For this reason, an amplifier is used at the output of the Wheatstone bridge to adjust the signal amplitude. As a result, the output voltage of the Wheatstone bridge (V) changes linearly with the changes in the RTD resistance (δR) during the experiment. Simulation results show the effectiveness of the proposed method.

5. Conclusion

In this paper, a new frequency compensation method is proposed for the compensation and frequency stability of three-stage amplifiers. The proposed structure eliminates the forward path and simultaneously amplifies the feedback path in the compensation network, and the output voltage of the Wheatstone bridge (V) changes linearly with the changes in the RTD resistance. The circuit simulation is performed using HSPICE with 0.18μm CMOS technology. As can be seen, the simulation results prove the accuracy of the theoretical analysis of the circuit. Also, the proposed OTA shows better performance than other methods.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]

نشریه مهندسی برق و الکترونیک ایران

نشریه مهندسی برق و الکترونیک ایران، سال بیست و دوم، شماره اول، بهار ۱۴۰۴، صفحات ۱۴-۲۰

DOI: 10.61186/jiaeee.22.1.14

طراحی جبرانسازی فرکانسی تقویت کننده سه طبقه CMOS OTA، قابل اعمال در اندازه‌گیری دما توسط RTD

طیبه آسیابی[۱]، سید جعفر حسینی پویا[۲]

۱- شرکت تولید و بهره برداری سد و نیروگاه دز

tasiyabi@gmail.com

۲- استادیار- دانشگاه آزاد اسلامی، واحد ایذه، گروه مهندسی برق، ایذه، ایران

j173555@gmail.com

چکیده: **پارامترهای فرآیند، در صنعت یا نیروگاه باید به طور مداوم نظارت و کنترل شوند. دما یکی از مهم‌ترین پارامترهایی است که باید توسط RTD کنترل شود که برای تنظیم دامنه سیگنال، از تقویت کننده در خروجی پل وتستون بکار برده می‌شود. در این مقاله یک طرح جدید برای تقویت‌کننده ترارسانایی عملیاتی سه طبقه CMOS پیشنهاد شده است. ساختار ارائه شده مسیر پیشرو را حذف کرده و مسیر فیدبک را در شبکه جبران‌سازی، به‌طور همزمان تقویت می‌کند. همچنین مدار ارائه شده تنها از یک خازن کوچک جبران‌ساز استفاده می‌کند. شبیه‌سازی مدار پیشنهادی با استفاده از تکنولوژی CMOS 0.18 µm در شبیه‌ساز HSPICE انجام شده و با تحلیل تئوری اعتبارسنجی شده است که نتایج شبیه‌سازی صحت تحلیل تئوری را تایید می‌کنند. پاسخ فرکانس تقویت کننده پیشنهادی نشان می‌دهد که بهره DC مدار در حدود ۱۲۰dB و پهنای باند مدار ۱۸/۸ MHz با حاشیه فاز ۸۸° می‌باشند. تلفات توان مدار پیشنهادی نسبتاً خیلی پایین و در حدود ۵۴۴ µW به ازای منبع تغذیه ۱/۸ ولتی می‌باشد که نشان می‌دهد مدار پیشنهادی دارای ضرایب شایستگی و کارایی بالایی می‌باشد.**

کلمات کلیدی: ضرایب کارایی؛ جبران‌ساز فرکانسی بلوک تفاضلی؛ تقویت‌کننده؛ RTD؛ توان مصرفی پایین

نوع مقاله: پژوهشی

دریافت: ۱۴۰۱/۱۲/۰۳

بازنگری: ۱۴۰۲/۱۱/۲۹

پذیرش: ۱۴۰۳/۰۶/۱۰

نام نویسنده مسئول: سید جعفر حسینی پویا

نشانی نویسنده مسئول: ایران– خوزستان– دانشگاه آزاد اسلامی واحد ایذه– دانشکده‌ی برق

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]

حق انتشار این مستند، متعلق به نویسندگان آن است. ۱۴۰۴ ©. ناشر این مقاله، انجمن مهندسین برق و الکترونیک ایران است.

این مقاله تحت گواهی زیر منتشرشده و هر نوع استفاده غیرتجاری از آن مشروط بر استناد صحیح به مقاله و با رعایت شرایط مندرج در آدرس زیر مجاز است.

Creative Commons Attribution-NonCommercial 4.0 International license
(https://creativecommons.org/licenses/by-nc/4.0/)

۱- مقدمه

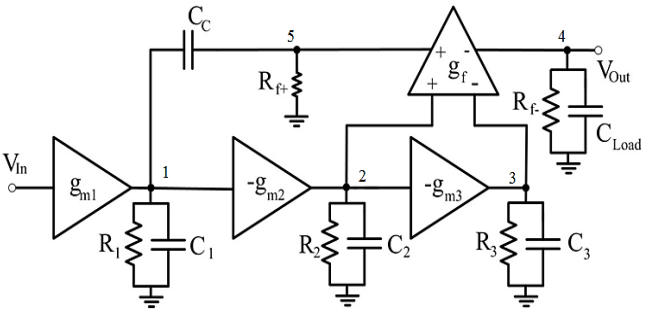
ساخت RTD[۱] از پلاتین برای اکثر کاربردها بسیار گران قیمت خواهد بود. درنتیجه، فقط المان‌های کوچک RTD از پلاتین ساخته می‌شوند. برای استفاده از مقدار مقاومت المان RTD، باید این مقاومت به دستگاه اندازه‌گیری منتقل شود. برای این کار از سیم مسی با روکش عایق برای اتصال المان RTD به دستگاه اندازه‌گیری استفاده می‌شود. همانند پلاتین، مس نیز مقاومت الکتریکی دارد. مقاومت در امتداد سیم مسی می‌تواند بر مقدار مقاومت اندازه‌گیری‌شده توسط دستگاه متصل به RTDتاثیر بگذارد. درRTDهای دو سیمی وسیله‌ای برای محاسبه مقاومت مربوط به سیم مسی وجود ندارد تا بتوان مقاومت سیم مسی را کاهش داد و مقاومت اندازه‌گیری شده را به درستی به دمای المان RTD مرتبط دانست. در نتیجه، RTDهای دوسیمی معمولا برای اندازه‌گیری تقریبی دما استفاده می‌شوند. RTDهای سه سیمی بیشتر در کاربردهای صنعتی استفاده می‌شوند. این‌RTDها معمولا از مدار اندازه‌گیری پل وتستون، برای جبران مقاومت سیم مسی استفاده می‌کنند. زمان پاسخ عنصر دما در تمام نیروگاه‌ها و سایر صنایع آزمایش می‌شود. زمان پاسخگویی در حین کار سنسور، برای برآورده کردن الزامات مشخصات فنی و نیز تقویت دامنه سیگنال از اهمیت خاصی برخوردار است. RTD، مبدلی است که دما را به سیگنال الکتریکی تبدیل می‌کند. در صورتی که برای به حرکت در آوردن واحد محرک، به انرژی بالایی نیاز باشد، فرمان کنترل کننده توسط تقویت کننده، تقویت شده و سپس به محرک ارسال می‌گردد. با کاهش طول کانال و ولتاژ منبع تغذیه، تنظیمات استاندارد مانند کسکید[۲] در طراحی OTA[۳] براساس تکنولوژی CMOS مفید نیستند، در حالی‌که می‌توان از تقویت‌کننده‌های چند طبقه استفاده کرد [۱۳-۱۱]. با این حال، با توجه به افزایش بهره DC، چنین آرایش‌بندی‌هایی حاشیه فاز (MP)[۴] کم و گره‌های امپدانس بالا را نشان می‌دهند، که پایداری فرکانسی تقویت کننده را تحت تاثیر قرار می‌دهند که نیاز به ابداع و استفاده از تکنیک‌های جبران‌سازی فرکانسی [۱] می‌شود. در مورد یک آمپلی‌فایر سه طبقه‌ای، یکی از روش‌های جبران‌سازی فرکانسی متعارف که به طور گسترده استفاده شده است (RNMC)[۵] می‌باشد که در آن دو طبقه اول باید دارای بهره منفی باشند. این تکنیک به دلیل سادگی طراحی و بدون مصرف انرژی اضافی قابل توجه است. با این‌حال، این روش جبران فرکانسی یک صفر را در نیمه راست (RHP)[۶] به تابع انتقال تقویت کننده اضافه می‌کند که منجر به ایجاد مشکلات پایداری می‌شود [۵-۲]. در طی چند سال اخیر، چندین تکنیک مانند بافر جریان و ولتاژ [۶]، مسیرهای پیشرو [۹-۷]، AFFC[۷] [۱۰] و ACBC[۸] [11] برای حل این مسئله پیشنهاد شده اند، اما آنها برای رسیدن به پایداری بدون قید و شرط و بهبود GBW به طور همزمان موفق نشدند. این به علت وجود RHP در تابع تبدیل است. به طور کلی، NMC[۹] و RNMC دو روش متداول برای جبران فرکانس OTAهای سه‌طبقه هستند. این دو روش از دو خازن به عنوان شبکه جبران استفاده می‌کنند. NMCNR[۱۰] که یک نسخه بهبود یافته از NMC می باشد مبتنی بر استفاده از مقاومت است که صفر RHP را در تابع تبدیل حذف می‌کند. حذف دو قطب - صفر (DPZC)[۱۱] یکی دیگر از تکنیک‌هایی است که شبکه جبران‌ساز را با استفاده از مقاومت‌های کسکید با هر خازن تشکیل می‌دهد و تقریبا دو قطب را با دو صفر حذف می‌کند و پاسخ فرکانسی را بهبود می‌بخشد. جبران‌ساز فرکانس کنترلی یکی دیگر از روش‌های مناسب است که با استفاده از بلوک اضافه شده به طبقه دوم مدار تضعیف کننده مدار را کنترل می‌کند. تمام این روش‌ها نیاز به خازن‌های جبران‌سازی بزرگی دارند. جبران‌ساز فرکانسی فیدبک فعال (AFFC) یک نوع فیدبک جدید را ارائه می‌دهد که شامل ساختار کسکید یک خازن با یک طبقه g_m می‌باشد. این روش نیاز به خازن‌های جبرانسازی کمتری دارد و پاسخ‌های فرکانس نسبتا مناسب را نشان می‌دهد. و بالاخره جبران ساز فرکانسی - (ACBC) یکی از مناسب ترین تکنیک ها برای جبران‌سازی فرکانسی است. در این روش، بدست آوردن طبقه دوم در فرکانس بالا افزایش می‌یابد که پاسخ فرکانسی OTA را بهبود می‌بخشد. در این مقاله، ما یک روش جبران‌ساز جدید را ارائه می‌دهیم که با استفاده از مسیر فیدبک تفاضلی برای حذف مسیر پیشرو و افزایش پاسخ فرکانسی نسبت به PM و GBW ارائه می‌دهیم. تجزیه و تحلیل پاسخ فرکانسی مدار پیشنهاد شده نشان می‌دهد مقادیر عناصر شبکه جبران‌ساز برای حاشیه فاز و پهنای باند قابل کنترل و تنظیم هستند. تجزیه و تحلیل دقیق ریاضی از روش پیشنهادی در بخش دوم، همراه با نظریه‌های عملیاتی، شرایط پایداری و مسائل طراحی ارائه شده است. نتایج شبیه‌سازی توپولوژی پیشنهادی و مقایسه در میان تکنیک‌های موجود در بخش سوم آمده است. در پایان، نتیجه‌گیری‌ها در بخش آخر ارائه خواهند شد.

۲- تکنیک پیشنهادی

شکل ۱ ساختار روش پیشنهادی را نشان می‌دهد. مقاومت خروجی و خازن پارازیتی هر طبقه به ترتیب با R_{1-3} و C_{1-3} مشخص می‌شوند. C_L نیز خازن بار است. در این ساختار یک طبقه فیدبک تفاضلی برای رسیدن به دو هدف به کاربرده می‌شود. طبقه اول فیدبک تفاضلی، شبکه جبران‌سازی را تشکیل می‌دهد و در طبقه دوم، سیگنال خروجی از این طبقه درایو می‌شود، بنابراین می‌تواند به حداکثر گین DC برسد. این دو موضوع باعث می‌شود روش پیشنهادی برای رسیدن به GBW و PM مطلوب، بسیار موثر باشد. مدار پیشنهادی در شکل ۱ نشان داده شده است که درآن خازن جبرانساز که اثر میلری دارد باید در حلقه با گین منفی باشد.

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]



شکل (۱): ساختار مدار پیشنهادی

با توجه به ساختار پیشنهادی در شکل ۱، می‌توانیم از معادلات KCL برای به دست آوردن تابع تبدیل به صورت زیر استفاده کنیم:

$$\text{Node 1: } -V_{in}g_{m1} + (V_1 - V_s)C_C S + \frac{V_1}{R_1} + V_1 C_1 S = 0 \quad (۱)$$

$$\text{Node 2: } V_1 g_{m2} + \frac{V_2}{R_2} + V_2 C_2 S = 0 \quad (۲)$$

$$\text{Node 3: } V_2 g_{m3} + \frac{V_3}{R_3} + V_3 C_3 S = 0 \quad (۳)$$

$$\text{Node 4: } (V_2 - V_3)g_f + \frac{V_4}{R_{f^-}} + V_4 C_L S = 0 \quad (۴)$$

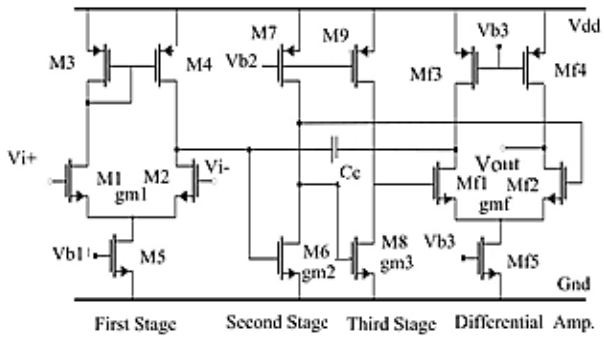
$$\text{Node 5: } (V_5 - V_1)C_C S + (V_3 - V_2)g_f + \frac{V_5}{R_{f^+}} = 0 \quad (۵)$$

توجه داشته باشید که در هر معادله، اندیس‌های پارازیتی نشان می‌دهند که خازن و مقاومت در بین گره‌های مربوط به آن و زمین قرار گرفته‌اند. V_i ولتاژ گره، C_i و R_i به ترتیب نشان‌دهنده ظرفیت کل و مقاومت کل گره iام است. علاوه‌براین، g_{mi} هدایت انتقالی طبقه iام را نشان می‌دهد. تابع انتقال حاصل شده، طبق معادله (۶) محاسبه می‌شود.

$$H_1 = \frac{(C_C g_{m1} R_1 R_f)S - g_{m1}g_{m2}g_f R_1 R_2 R_f - g_{m1}g_{m2}g_{m3}g_f R_1 R_2 R_3 R_f}{C_C C_L R_1 R_f S^2 + (C_C R_1 + C_C R_f + C_L R_f + C_C g_{m2}g_{m3}g_f R_1 R_2 R_3 R_f)S + 1} \quad (۶)$$

۳- طراحی مدار

شکل ۲ سطح ترانزیستوری مدار پیشنهادی را نشان می‌دهد. مدار شامل یک طبقه تفاضلی ورودی است درحالیکه طبقات دوم و سوم شامل تقویت‌کننده‌های سورس مشترک می‌باشند. طبقه چهارم نیز تقویت‌کننده تفاضلی دیگری است که طبقه خروجی را تشکیل می‌دهد.



شکل (۲): مدار پیشنهای در سطح ترانزیستوری

طبقه تفاضلی ورودی شامل ترانزیستورهای Ml-M5 با بار فعال (M3، M4) است، درحالی‌که طبقه دوم یک تقویت‌کننده سورس مشترک (M6) و آینه جریان M7 که هدایت انتقالی g_{m1} را تشکیل می دهند. طبقه سوم (M8، M9) همانند طبقه قبلی است که هدایت انتقالی g_{m2} را تشکیل می‌دهند. طبقه خروجی (Mf1-Mf5)، که توسط طبقه سوم درایو شده است با g_{mf} می‌باشد. خازن جبران‌ساز (C_C) از تقویت‌کننده تفاضلی خروجی به خروجی طبقه اول که در حلقه با فیدبک منفی قرار دارد. با فرض $C_i \ll C_c, C_l$ و نادیده گرفتن دینامیک فرکانس‌های بالا و با در نظر گرفتن GBW در مقایسه با قطب‌های معادله (۶) خیلی بزرگتر باشد و همچنین با توجه به این که بهره هر طبقه بزرگتر از واحد است، تابع تبدیل حلقه باز تقویت‌کننده (H_2) به صورت معادله (۷) ساده خواهد شد.

$$H_2 = \frac{(C_C g_{m1} R_1 R_f)S - g_{m1}g_{m2}g_{m3}g_f R_1 R_2 R_3 R_f}{C_C C_L R_1 R_f S^2 + (C_C g_{m2}g_{m3}g_f R_1 R_2 R_3 R_f)S + 1} \quad (۷)$$

در نتیجه قطب های غالب و غیر غالب و همچنین صفر تابع تبدیل به ترتیب در (۸)، (۹) و (۱۰) ارایه شده‌اند.

$$P_1 = \frac{1}{C_C g_{m2} g_{m3} g_f R_1 R_2 R_3 R_f} \quad (۸)$$

$$P_2 = \frac{g_{m2} g_{m3} g_f R_2 R_3}{C_L} \quad (۹)$$

$$Z = \frac{g_{m2} g_{m3} g_f R_2 R_3}{C_C} \quad (۱۰)$$

همچنین تابع انتقال حلقه بسته با بهره فیدبک واحد به صورت (۱۱) محاسبه می‌شود.

$$H_{CL3} = \frac{(C_C g_{m1} R_1 R_f)S - g_{m1}g_{m2}g_f R_1 R_2 R_f - g_{m1}g_{m2}g_{m3}g_f R_1 R_2 R_3 R_f}{C_C C_L R_1 R_f S^2 + (C_C g_{m2}g_{m3}g_f R_1 R_2 R_3 R_f)S + g_{m1}g_{m2}g_{m3}g_f R_1 R_2 R_3 R_f} \quad (۱۱)$$

[Downloaded from jiaeee.com on 2026-11-16]

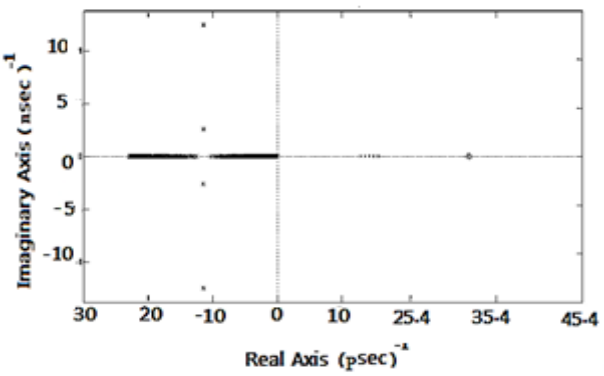
[DOI: 10.61186/jiaeee.22.1.11]

با توجه به معیارهای روث - هورویتز، تابع تبدیل روش پیشنهادی در صورت وجود دو شرط زیر پایدار است. اول، وجود تمام ضرایب S (s^2, s^1, s^0) و دوم همه ضرایب باید هم علامت باشند، یعنی همه منفی یا مثبت باشند. این دو شرایط در هر دو تابع انتقال حلقه باز و حلقه بسته برقرارند، بنابراین پایداری در هر دو حالت تضمین شده است. همچنین با توجه به تابع تبیل حلقه باز، بهره DC تقویت کننده پیشنهادی به صورت $g_{m1}g_{m2}g_{m3}g_f r_1r_2r_3r_f$ محاسبه می‌شود که نشان می‌دهد روش پیشنهادی بهره DC را نیزافزایش می‌دهد زیرا بهره مدار پیشنهادی به میزان $g_f r_f$ نسبت به تقویت کننده سه طبقه‌ای معمولی $g_{m1}g_{m2}g_{m3}r_1r_2r_3$، بهره مدار را افزایش می‌دهد. همچنین GBW را می‌توان از (۱۲) محاسبه کرد.

$$GBW = A_{dc} \times P_1 = \frac{g_{m1}g_{m2}g_{m3}g_f R_1R_2R_3R_f}{C_C g_{m2}g_{m3}g_f R_1R_2R_3R_f} = \frac{g_{m2}}{C_C} \quad (۱۲)$$

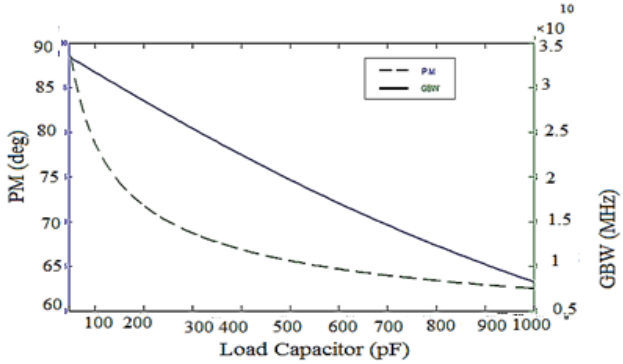
۴- نتایج شبیه‌سازی

برای تست روش پیشنهادی، تقویت‌کننده سه طبقه با تکنولوژی CMOS 0.18 µm طراحی شده و با HSPICE شبیه‌سازی شده است. ولتاژ منبع تغذیه تا ۱،۸ ولت تنظیم شده است. یکی از مهمترین عواملی که در طراحی تقویت‌کننده نقش مهمی ایفا می کند، عملکرد فیدبک است. اولا باید پایداری در ساختار فیدبک واحد در نظر گرفته شود زیرا گاهی برخی از تقویت‌کننده‌ها در ساختار حلقه باز نمی‌توانند شرایط پایداری حلقه بسته را برآورده کنند. شکل ۳ موقعیت قطبها و صفر را در برابر گین فیدبک نشان می‌دهد. با توجه به این شکل، تابع انتقال پیشنهاد شده پایدار است، زیرا محور موهومی از قطب‌ها عبور نمی‌کند. همچنین محل صفر ثابت و مستقل از گین فیدبک است و قابل پیش‌بینی است.



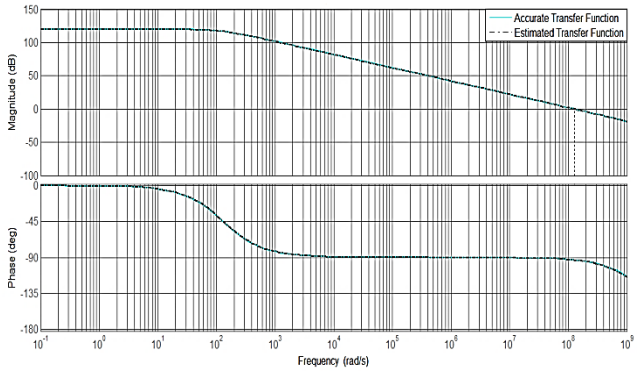
شکل (۳): محل قرارگیری قطب - صفر

همچنین شکل ۴، PM و GBW را برحسب خازن بار در محدوده pF ۵۰ تا nF ۱ نشان می‌دهد. این شکل تایید می‌کند که حتی با nF ۱ به عنوان خازن بار، روش پیشنهاد شده بیش از ۶۰ درجه را به عنوان PM نشان می‌دهد، بنابراین تکنیک پیشنهادی با بارهای بزرگ خازنی نیز سازگار است. در واقع اولین قطب غیرغالب گزارش شده یا قطب دوم در معادله (۵) نشان می‌دهد که افزایش خازن بار در مبدأ منجر به کوچکتر شدن این قطب و انحراف پاسخ فرکانسی می‌شود. اما مقدار $g_{m2}g_{m3}g_f r_2r_3$ به اندازه کافی بزرگ است، لذا رسیدن به پاسخ فرکانسی مناسب حتی با خازن بار بزرگ nF ۱ همان‌طورکه در شکل ۶ نشان داده شده است را تضمین کند.



شکل (۴): PM و GBW برحسب خازن بار

شکل ۵ پاسخ فرکانسی مدار پیشنهاد شده را نشان می‌دهد. با توجه به این شکل، تابع تبدیل ساده شده (۱۱)، تابع تبدیل دقیق (شبیه‌سازی HSPICE) را با دقت مناسب دنبال می‌کند. در واقع پس از حذف ضرایب غیرغالب، تابع تبدیل ساده شده به دست می‌آید. این ضرایب غیرغالب، معمولا به دلیل اثرات خازن‌های پارازیتی ظاهر می‌شوند. بنابراین یکی دیگر از مزایای روش ارائه شده این است که این روش جبران‌سازی مستقل از خازن‌های پارازیتی است و تابع تبدیل تخمین زده شده به طور دقیق منجر به بهبود پاسخ فرکانسی می‌گردد.



شکل (۵): پاسخ فرکانسی مدار پیشنهادی

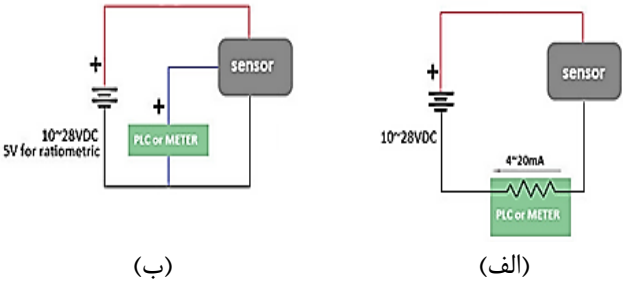
۵- کاربرد تقویت کننده در تجهیزات

اکثر وسایل و تجهیزات ابزار دقیق که برای کنترل یک پروسه صنعتی به کار برده می‌شوند، معمولاً در اتاق فرمان و در فاصله‌ای دور از پروسه نصب می‌شوند، از طرفی عنصر اندازه‌گیر معمولاً روی پروسه و یا در

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]

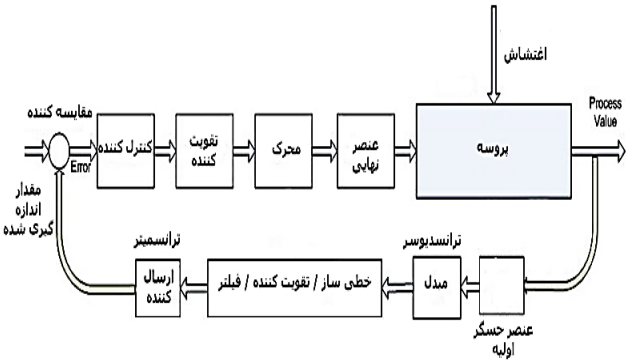
فاصله ای نزدیک به آن نصب می‌شود. بنابراین سیگنال ناشی از کمیت اندازه گیری شده باید به گونه ای مطمئن به اتاق فرمان ارسال گردد، این کار توسط ترانسمیتر انجام می‌شود. در شکل ۶ چگونگی اتصال ترانسمیتر به مانیتور دستگاه اندازه گیری را در انواع تجهیزات صنعتی یا پروسه کنترل فرآیند نشان می دهد.



(ب) (الف)

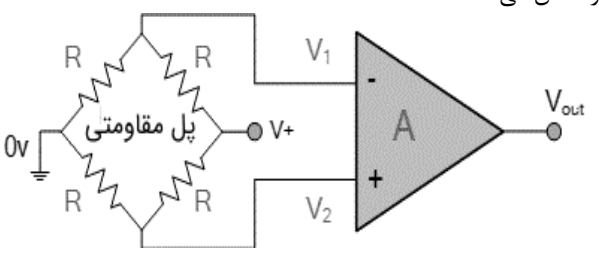
شکل (۶): اتصال ترانسمیتر به PLC: الف) مدار دو سیمه، ب) مدار سه سیمه

مدار تقویت کننده تفاضلی بلوک اصلی اکثر مدارات الکترونیکی می باشد. معمولاً تقویت‌کننده تفاضلی دارای بهره بالا، امپدانس ورودی بالا و امپدانس خروجی کم است. این نوع تقویت‌کننده‌ها عمدتاً برای تقویت سیگنال‌های تفاضلی بسیار کوچک حاصل از استرین گیج‌ها، ترموکوپل ها و سایر ادوات اندازه‌گیری جریان در سیستم‌های کنترل به کار می‌روند . بلوک دیاگرام یک سیستم کنترل صنعتی در حالت کلی، در شکل ۷ نشان داده شده است:



شکل (۷): بلوک دیاگرام سیستم کنترل صنعتی

جریان خروجی ترانسدیوسر معمولاً بین ۴ الی ۲۰ میلی‌آمپر است. با اضافه کردن پل مقاومتی به ورودی‌های تقویت کننده عملیاتی، مدار حاصل هم قادر به جمع کردن و هم قادر به تفریق ولتاژ اعمالی به ورودی های متناظر خواهد بود. شکل ۸ نحوه اتصال این پل مقاومتی را نشان می‌دهد.

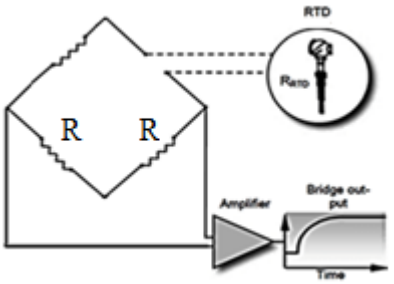


شکل (۸): تقویت کننده تفاضلی با پل وتسون

مدار استاندارد تقویت کننده تفاضلی، اکنون تبدیل به یک مدار مقایسه‌کننده ولتاژ تفاضلی شده است، بطوریکه یک ولتاژ ورودی را با ولتاژ ورودی دیگر مقایسه می‌کند.

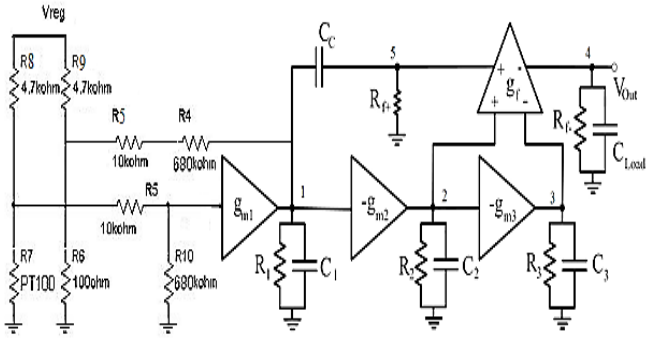
۶- مدار تست پیشنهادی

تست زمان پاسخ عنصر دما برای اندازه‌گیری زمان پاسخ RTD از راه دور، زمانی که سنسور در قسمت فرآیند نصب می‌شود، ایجاد شده است. این آزمایش شامل اعمال جریان الکتریکی در انتهای سنسور(ترموول) می‌باشد. جریان الکتریکی باعث گرم شدن سنسور و تغییر دمای گذرا در داخل حسگر می‌شود. از پل وتستون برای اندازه گیری زمان پاسخ استفاده می‌شود. این پل باید با جریان ۱ تا ۲ میلی آمپر DC با RTD متعادل می‌شود. عنصر حسگر RTD به تدریج گرم می‌شود و در چند درجه بالاتر از دمای محیط قرار می‌گیرد. افزایش دمای RTD به جریان گرمایشی مورد استفاده و محیط اطراف آن بستگی دارد و به طور معمول تا 5 C° تا ۱۵ C° گرم می‌شود. در شکل ۹ مدار شماتیک مدار پیشنهادی نشان داده شده است.



شکل (۹): شماتیک مدار پیشنهادی

در شکل ۱۰ مدار پیشنهادی نشان داده شده است.



شکل (۱۰): مدار تست پیشنهادی

رایج‌ترین حسگر یا سنسور RTD در صنعت و در انواع فرآیندها، سنسور *PT100* است که دارای مقاومت ۱۰۰ اهم در صفر درجه سانتی گراد می‌باشد. که به صورت یک ضریب دمایی مثبت، مقاومت با افزایش دما افزایش می‌یابد. PT100 در شکل ۱۰ اشاره به این دارد که

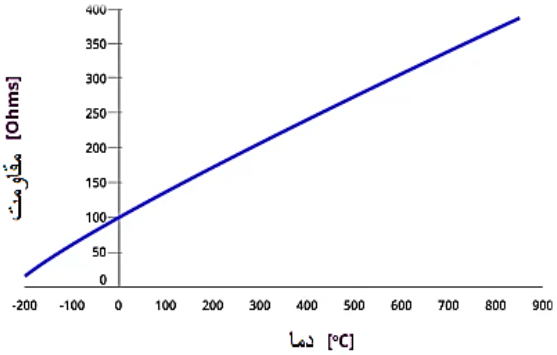
[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]

جدول (۱): مقایسه عملکرد مدار پیشنهادی با دیگر توپولوژی

	DC Gain (dB)	Load (pF)	Power (µW)	GBW (MHz)	Compensation Capacitor (pF)	Slew Rate (V/µS)	PM (°)	FOM_S	FOM_L	FOM_{NEW}
NMC [13]	100	100	345	0.22	110	0.25	68.3	0.06	0.07	0.054
NMCNR [2]	100	100	345	0.32	78	0.30	70.5	0.09	0.08	0.115
DPZC [2]	100	100	345	0.40	49.5	0.39	90.5	0.11	0.11	0.222
NGCC [12]	>100	100	365	0.25	96	0.33	69.1	0.06	0.09	0.062
NMCF [2]	102	100	345	0.67	34	0.57	69.6	0.19	0.16	0.558
NMCFNR [2]	>100	100	345	0.80	28.7	0.63	72.1	0.23	0.18	0.801
DFCFC [10]	>100	100	372	0.96	35	0.80	66.6	0.25	0.23	0.714
AFFC [11]	>100	100	424	2.60	15	12	70.4	0.61	2.83	4.066
ACBC [9]	>100	100	365	2.06	18	1.22	69.6	0.56	0.33	3.111
This work	**۱۲۰**	**100**	**515**	**18.8**	**1.1**	**4.6**	**88**	**3.65**	**0.89**	**331**

سور از پلاتین (PT) ساخته شده است و ۱۰۰ اشاره به این دارد که سنسور در صفر درجه سانتیگراد مقاومت ۱۰۰ اهم دارد.

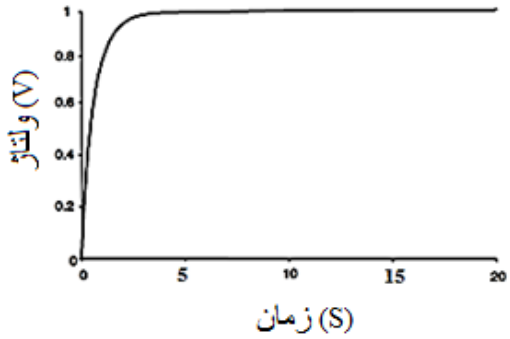


شکل (۱۱): نمودار خطی تغییرات مقاومت بر حسب دما

این تست در نیروگاه‌ها با استفاده از جریان گرمایشی حدود ۴۰ میلی آمپر انجام می‌شود. برای تامین جریان لازم برای آزمایش ، منبع تغذیه در پل وتستون تنظیم می‌شود، بنابراین جریان بالا باید بین۳۰ تا ۵۰ میلی‌آمپر باشد. RTD در یک فرآیند تنها تا ۳۰ میلی‌آمپر پایدار است. از سوی دیگر، اگر RTD در فرآیندی باشد که دارای نوسانات دمایی زیادی باشد، جریان بالاتر از ۵۰ میلی‌آمپر برای بهبود نسبت سیگنال به نویز (S/N) مورد نیاز است. به همین دلیل برای تنظیم دامنه سیگنال، از تقویت‌کننده در خروجی پل وتستون بکار برده می‌شود. در نتیجه ولتاژ خروجی پل وتستون (V) به صورت خطی با تغییرات مقاومت RTD (δR) در طول آزمایش تغییر می‌کند. سرعت چرخشی (SR) مهمترین پارامتری است که قابلیت درایو تقویت کننده و کارایی سیگنال بزرگ آن را نشان می دهد. هنگام طراحی یک تقویت کننده، مهم است که کارایی سیگنال بزرگ (SR) را به اندازه GBW که کارایی سیگنال کوچک است افزایش یابد. از آنجایی که طبقه خروجی در کلاس AB کار می‌کند، بنابراین سرعت چرخشی را محدود نمی‌کند. در نتیجه، سرعت چرخشی مستقیماً توسط جریان DC طبقه اول و ظرفیت جبران کننده Cc همانطور که در معادله (۱۳) نشان داده شده است، تعیین می‌شود. در رابطه (۱۳)، ICc حداکثر جریان عبوری از خازن Cc در مورد حالتی است که تنها یکی از ترانزیستورهای زوج تفاضلی ورودی به واسطه اعمال سیگنال تفاضلی بزرگ به طبقه ورودی روشن شود.

$$SR = \frac{I_{Cc}|_{max}}{C_C} \qquad (۱۳)$$

همانطوریکه رابطه (۱۳) نشان می‌دهد، سرعت چرخشی با خازن جبرانساز رابطه معکوس دارد، بدین معنا که با کاهش خازن جبرانساز، SR افزایش می یابد. از آنجایی که در مدار پیشنهادی خازن جبرانساز کاهش یافته است، لذا سرعت چرخشی بهبود یافته است. در شکل ۱۲ پاسخ تست نشان داده شده است.



شکل (۱۲): پاسخ زمانی خروجی

همانطور که در شکل ۱۲ نشان داده شده، زمان پاسخ کاهش یافته و سریعتر به حالت ماندگار خود رسیده است. برای به دست آوردن نتایج موفقیت‌آمیز با آنچه که توسط سایر روش‌های جبران‌سازی بدست آمده، از دو تعریف زیر برای ضریب شایستگی[۱۲] تعریف شده در [۳] استفاده کردیم.

$$FOM_S = \frac{GBW \times C_L}{P_t}\left(\frac{Hz.F}{W}\right) \qquad (۱۴)$$

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]

$$FOM_L = \frac{SR \times C_L}{P_t}\left(\frac{V}{S}.\frac{F}{W}\right) \quad (۱۵)$$

به دلیل عدم تاثیر خازن‌های جبران‌ساز در FOMها، یک FOM جدید را برای لحاظ کردن اثر خازن جبران‌ساز تعریف می‌کنیم [۱۹]. FOM جدید در معادله (۱۶) نشان داده شده است.

$$FOM_{NEW} = \frac{GBW \times C_L^2}{P_t \times C_t}\left(\frac{Hz.F}{W}\right) \quad (۱۶)$$

بنابراین کارایی روش پیشنهادی در جدول ۱ نشان داده شده است. در معادلات بالا، اندیس S اشاره به کارایی سیگنال کوچک درحالیکه L اشاره به کارایی سیگنال بزرگ مدار می‌باشند. در نهایت پارامترهای مدار پیشنهاد شده در مقایسه با سایر روش ها در جدول ۱ گزارش شده است. با توجه به این جدول، OTA شبیه‌سازی شده عملکرد بهتری را نشان می‌دهد زیرا مقادیر FOMها بطور قابل توجهی بهبود یافته‌اند.

۷- نتیجه‌گیری

در این مقاله یک روش جبران‌سازی فرکانسی جدیدی برای جبران‌سازی و پایداری فرکانسی تقویت کننده‌های سه طبقه‌ای پیشنهاد شده است. ساختار ارائه شده مسیر پیشرو را حذف کرده و مسیر فیدبک در شبکه جبران را به طور همزمان تقویت می‌کند و ولتاژ خروجی پل وتستون (V) به صورت خطی با تغییرات مقاومت RTD تغییر می‌کند. شبیه‌سازی مدار با استفاده از HSPICE با تکنولوژی CMOS 0.18µm انجام شده است. همانطوریکه ملاحظه گردید، نتایج شبیه‌سازی صحت تجزیه و تحلیل تئوری مدار را به اثبات رساندند. همچنین OTA پیشنهادی، عملکرد بهتری را نسبت به سایر روش‌ها نشان می‌دهد.

مراجع

[1] G. Palumbo and S. Pennisi, Feedback Amplifiers," Theory and Design. Boston", MA: Kluwer, 2002.

[2] Grasso, A. D., Palumbo, G. and Pennisi, S., "Analytical comparison of frequency compensation techniques in three-stage amplifiers", Int. J. Circ. Theor. Appl., vol. 36, pp. 53–80, 2008.

[3] Grasso, A. D., Marano, D., Palumbo, G. and Pennisi, S., "Analytical comparison of reversed nested Miller frequency compensation techniques", Int. J. Circ. Theor. Appl., vol. 38: 709–737, 2010

[4] R. Mita, G. Palumbo, S. Pennisi, "Design guidelines for reversed nested Miller compensation in three-stage amplifiers", IEEE Trans. Circuits and Systems-II, Vol. 50, pp. 227-233, 2003.

[5] K.P. Ho, C.F. Chan, C.S. Choy, K.P. Pun, "Reversed nested Miller compensation with voltage buffer and nulling resistor", IEEE J. Solid-State Circuits, vol. 38, pp. 1735-1738, 2003.

[6] A.D. Grasso, G. Palumbo, S. Pennisi, "Improved reversed nested miller frequency compensation technique with voltage buffer and resistor", IEEE Trans. Circuits and Systems II: Express Briefs, Vol. 54, pp. 382-386, 2007.

[7] A.D. Grasso, G. Palumbo, S. Pennisi, "Advances in reversed nested Miller compensation", IEEE Trans. Circuits Systems I: Regular Papers, Vol. 54, pp. 1459-1470, 2007.

[8] F. Zu, S. Yan, J. Hu, E. Sanchez-Sinencio, "Feedforward reversed nested Miller compensation techniques for three-stage amplifiers", IEEE Int. Symp. on Circuits and Systems, Kobe, Japan, Vol. 1, pp. 2575-2578, 2005.

[9] Peng X, Sansen W, "AC boosting compensation scheme for low-power multi-stage amplifiers", IEEE J Solid-State Circuits 2004;vol. 39, no. 11, pp. 2074–2079.

[10] Leung AKN, Mok PK, Ki WH, Sin JK, "Damping-factor-control frequency compensation technique for low-voltage low-power large capacitive load applications. In: Solid-State Circuits Conference, 1999", Digest of Technical Papers. ISSCC.1999 IEEE International. IEEE, pp. 158–9, 2010.

[11] Lee H, Mok PK, "Active-feedback frequency-compensation technique for low-power multistage amplifiers", IEEE J Solid-State Circuits 2003, vol. 38, no. 3, pp. 511–20.

[12] You, F., Embabi, S. H., & Sanchez-Sinencio, E.. "Multistage amplifier topologies with nested G m-C compensation. Solid-State Circuits", IEEE Journal of, vol. 32, no. 12, pp. 2000-2011, 1997.

[13] Ka Nang Leung, Mok PKT, "Nested Miller compensation in low-power CMOS design", IEEE Trans Circuits Syst II: Analog Digit Signal Process,vol. 48, no. 4, pp. 388–94, 2001.

زیرنویس‌ها

[1] Resistor Temperature Dependent

[2] Cascade

[3] Operational Transconductance Amplifier

[4] Phase Margin

[5] Resistor Nested Miller Compensation

[6] Right Half Plane

[7] Active Feedback Frequency Compensation

[8] AC Boosting Compensation

[9] Nested Miller Compensation

[10] Nested Miller Compensation Nulling Resistor

[11] Double Pole Zero Cancellation

[12] Figure Of Merit (FOM)

[Downloaded from jiaeee.com on 2026-11-16]

[DOI: 10.61186/jiaeee.22.1.11]