طراحی ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر دیجیتالی و با سرعت بالا

حمید رحیم‌پور[1]، محمد غلامی[2]، غلامرضا اردشیر[3] و حسین میار نعیمی[4]

۱- دانشجوی دکتری- دانشکده مهندسی برق و کامپیوتر دانشگاه تهران- تهران- ایران
h_rahimpour@ut.ac.ir
۲- استادیار- دانشکده فنی و مهندسی- دانشگاه مازندران- بابلسر- ایران
m.gholami@umz.ac.ir
۳- دانشیار- دانشکده مهندسی برق و کامپیوتر - دانشگاه صنعتی (نوشیروانی) بابل- بابل- ایران
g.ardeshir@nit.ac.ir
۴- دانشیار- دانشکده مهندسی برق و کامپیوتر - دانشگاه صنعتی (نوشیروانی) بابل- بابل- ایران
h_miare@nit.ac.ir

چکیده: یکی از چالش‌های مهم در طراحی ضرب کننده‌های فرکانسی براساس حلقه قفل شده تاخیر، کم کردن زمان قفل شدن و همگرایی مدار است. در همین راستا یک ضرب کننده فرکانسی کاملا جدید و دیجیتالی با سرعت قفل شدن بالا در این مقاله طراحی شده است. در این طراحی از یک پردازنده دیجیتالی به جای مدارات آشکار ساز فاز-فرکانس، پمپ بار و فیلتر حلقه استفاده شده است. با توجه به این تغییرات، ساختار ارائه شده دارای زمان قفل شدن کمتری نسبت به مدار متداول ضرب کننده فرکانسی براساس حلقه قفل شده تاخیر خواهد بود. همچنین در راستای تحقق اهداف ارائه شده از الگوریتم گرادیان برای انتخاب بهینه میزان تاخیر هر سلول در مسیر سیگنال استفاده شده است. شایان ذکر است که این ساختار با استفاده از یک پردازشگر دیجیتالی (یا حتی مدار های آنالوگ) مناسب، به سادگی قابل پیاده‌سازی است. شبیه سازی کامپیوتری (نرم افزار متلب) نیز برای اثبات مزایای این طراح جدید، در حالتی که مسیر سیگنال دارای ۱۱ سلول تاخیر است و فرکانس ورودی ۳۰۰ مگا هرتز است، ارائه شده است. نتایج شبیه سازی نشان می‌دهد که فرکانس خروجی ۱۱ برابر فرکانس ورودی (۳/۳ گیگا هرتز) بوده و زمان قفل شدن حدود ۱۷ نانو ثانیه و معادل با ۵ سیکل کلاک ورودی می باشد. تمامی پیش بینی های تحلیلی نیز توسط شبیه‌سازی تایید شده است.

واژه های کلیدی: حلقه قفل شده تاخیر، الگوریتم گرادیان، ضرب کننده فرکانسی، زمان قفل شدن، بهینه سازی.

تاریخ ارسال مقاله : ۱۳۹۱/۱۲/۲۸
تاریخ پذیرش مشروط: ۱۳۹۲/۰۵/۱۴
تاریخ پذیرش مقاله: ۱۳۹۳/۰۷/۱۹
نام نویسنده‌ی مسئول: دکتر محمد غلامی
نشانی نویسنده‌ی مسئول: ایران – بابلسر – خیابان پاسداران – دانشگاه مازندران – دانشکده‌ی فنی و مهندسی

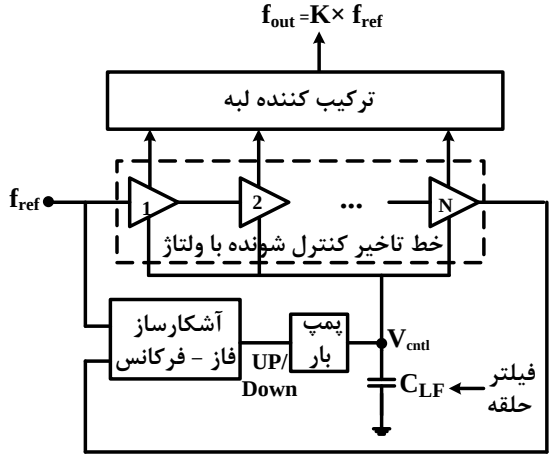
[Downloaded from jiaeee.com on 2026-11-20]

۱- مقدمه

حلقه قفل شده تاخیر و حلقه قفل فاز به طور گسترده‌ای در مدارات همزمان سازی کلاک [۱]، سنتز کننده‌های فرکانسی [۲]، فرستنده-گیرنده‌های دیجیتالی، حافظه‌های استانیکی و دینامیکی و مدارات بازیابی کلاک و داده [۳] مورد استفاده قرار می‌گیرند. حلقه قفل شده تاخیر از نظر جیتر عملکرد بهتری را نسبت به حلقه قفل فاز از خود نشان می‌دهد. همچنین معمولا در مدارات ضرب کننده از حلقه قفل فاز و حلقه قفل شده تاخیر استفاده می‌گردد. امروزه، حلقه‌های قفل شده تاخیر به علت زمان قفل شدن کمتر، سرعت بالاتر، نویز فاز کمتر [۴]، جیتر کمتر و شرایط بهتر از لحاظ پایداری، بیشتر از حلقه‌های قفل فاز مورد نظر قرار گرفته‌اند.

چند پارامتر مهم در طراحی حلقه‌های قفل شده تاخیر وجود دارد. اولین چالش موجود در این مدارات، داشتن سرعت بالاتر [۵] جهت انتقال سریعتر اطلاعات می‌باشد. به بیان دیگر یک نقطه مناسب در طراحی حلقه‌های قفل شده تاخیر، طراحی آنها برای داشتن زمان نشست کمتر و سرعت قفل شدن بیشتر [۶] است. همچنین مشکل مهم دیگر موجود در حلقه‌های قفل شده تاخیر، داشتن گستره قفل کم [۷] است. از شاخص‌های مهم دیگر در طراحی حلقه‌های قفل شده تاخیر می‌توان به کم نمودن جیتر [۸] و نویز فاز، کم کردن سطح مقطع اشغالی و توان مصرفی اشاره کرد.

با توجه به مقدمات فوق، هنوز هم نیاز به یک ساختار جدید برای حلقه‌های قفل شده تاخیر جهت بهبود ویژگی‌های عملکردی آنها به چشم می‌آید. بنابراین یک ساختار جدید و کاملا دیجیتالی با سرعت قفل شدن بالا برای ضرب کننده‌های فرکانسی بر اساس حلقه‌های قفل شده تاخیر در این مقاله ارائه شده است. یکی از مزایای مهم این مدار استفاده از یک پردازنده دیجیتالی به جای مدارات آشکار ساز فاز- فرکانس، پمپ بار و فیلتر حلقه است. با توجه به این تغییرات، ساختار ارائه شده دارای زمان قفل شدن کمتری نسبت به مدار متداول ضرب کننده فرکانسی براساس حلقه قفل شده تاخیر خواهد بود. همچنین در ساختار ارئه شده از الگوریتم گرادیان جهت رسیدن به نقطه بهینه برای تاخیر مورد نظر در مسیر سیگنال استفاده شده است. الگوریتم گرادیان سیگنال خطا را که به صورت تفاضل ورودی و خروجی تعریف می‌شود، به سمت صفر می‌برد. بنابراین وقتی سیگنال خطا صفر شود، ورودی و خروجی در حلقه‌های قفل شده تاخیر نسبت به هم



شکل (۱): ساختار یک ضرب کننده فرکانسی متداول براساس حلقه قفل شده تاخیر

دقیقا همفاز می‌گردند و این همان هدف عملکردی در حلقه‌های قفل شده تاخیر است.

این مقاله به صورت زیر سازمان‌دهی شده است. بخش آتی به توضیح در مورد ساختار متداول حلقه‌های قفل شده تاخیر و مشکلات آن خواهد پرداخت. بخش سوم نیز، توضیحاتی را در مورد الگوریتم گرادیان ارائه می‌دهد. همچنین ساختار کاملا دیجیتالی و با سرعت بالای ارائه شده در این مقاله، در بخش چهارم خواهد آمد. بخش پنجم نیز به بررسی نتایج شبیه سازی ساختار ارئه شده می‌پردازد.

۲- ساختار متداول حلقه‌های قفل شده تاخیر

ساختار متداول حلقه‌های قفل شده تاخیر در شکل-۱ نشان داده شده است. همانگونه که از ساختار فوق بر می‌آید، حلقه قفل شده تاخیر متداول از یک خط تاخیر کنترل شونده با ولتاژ، یک آشکار ساز فاز- فرکانس، یک پمپ بار، یک فیلتر حلقه و یک ترکیب کننده لبه (جهت تولید مضارب فرکانس ورودی) تشکیل شده است. عملکرد مدار نیز به این صورت است که، اختلاف فاز ورودی و خروجی خط تاخیر کنترل شونده با ولتاژکه همان ورودی و خروجی حلقه قفل شده تاخیر می‌باشند، در آشکارساز فاز با هم مقایسه می‌شوند. آشکار ساز فاز – فرکانس با توجه به این اختلاف فاز، سیگنال‌های مناسبی را به پمپ بار می‌فرستد. پمپ باز نیز با توجه به سیگنال‌های دریافتی فیلتر حلقه را که یک خازن است، شارژ یا دشارژ می‌کند تا با توجه به آن، ولتاژ کنترل لازم برای تغییر تاخیر مسیر سیگنال ورودی فراهم شود. این روند تا زمانی

[Downloaded from jiaeee.com on 2026-11-20]

تکرار می‌شود که ورودی و خروجی حلقه قفل شده تاخیر دقیقا به اندازه یک پریود کلاک ورودی (T_{REF}) نسبت به هم اختلاف فاز داشته باشند. بنابراین در شرایط قفل برای یک حلقه قفل شده تاخیر با N سلول تاخیر، تاخیر ناشی از هر سلول تاخیر برابر با $\frac{T_{REF}}{N}$ خواهد شد. همچنین زمانی که N فرد است، با توجه به وجود N لبه متمایز در شرایط قفل، به سادگی با ترکیب لبه‌های حاصل می‌توان فرکانس ورودی را حداکثر تا N برابر افزایش داد. همچنین زمانی که N زوج است، با توجه به متمایز بودن تنها $N/2$ از لبه‌های خروجی‌های سلول‌های تاخیر، حداکثر می‌توان $N/2$ برابر فرکانس ورودی را در این حالت تولید نمود.

حلقه‌های قفل شده تاخیر متداول، سطح مقطع زیادی را به علت حضور خازن در فیلتر حلقه اشغال می‌کنند [۹]. همچنین طراحی یک حلقه قفل شده تاخیر با سرعت بالا هنوز هم یک چالش مهم به شمار می‌رود. پارامترهای دیگری که بهبود آنها هنوز مهم به نظر می‌رسد عبارتند از: زمان نشست، تعداد سیکل‌های مورد نیاز جهت قفل شدن حلقه قفل شده تاخیر و سطح مقطع اشغالی. باید توجه داشت که حلقه قفل شده تاخیر متداول از نظر گستره قفل شدن دارای محدودیت است و برای قفل صحیح باید:

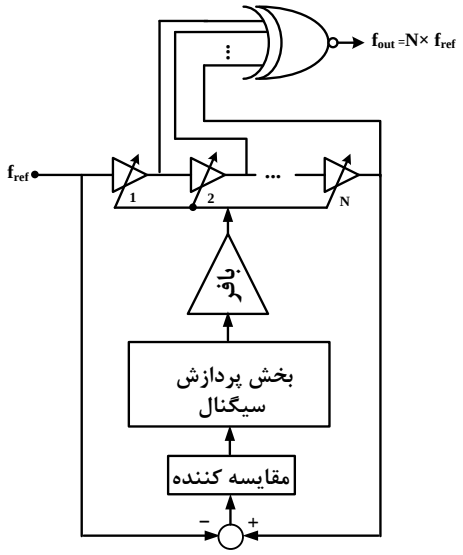
$$\frac{1}{2}T_{REF} \le t_{VCDL} \le \frac{3}{2}T_{REF} \qquad (۱)$$

که در آن T_{REF} پریود کلاک ورودی و t_{VCDL} تاخیر ناشی از خط تاخیر کنترل شونده با ولتاژ است. در حقیقت برای جلوگیری از عدم قفل و نیز مشکل قفل هارمونیکی در حلقه‌های قفل شده تاخیر، باید تاخیر مسیر مستقیم در بازه‌ی رابطه (۱) قرار گیرد. با توجه به محدودیت‌های ارائه شده در مورد حلقه قفل شده تاخیر متداول، نیاز به طراحی و ارائه ساختار جدید احساس می‌شود و در این مقاله یک ساختار جدید جهت بهبود برخی از پارامترهای حلقه قفل شده تاخیر ارائه می‌گردد.

۳- الگوریتم گرادیان

مشکلات بهینه‌سازی معمولا به طور ذاتی در کاربردهایی نظیر پردازش سیگنال، آنالیز داده، طراحی شبکه و ... دیده می‌شود. در بین تمامی روش‌های موجود، بهینه سازی سیگنالهای مزاحم، مورد توجه بسیاری قرار گرفته است. حالت کلی مسائل بهینه سازی می‌تواند به صورت زیر بیان شود:

$$min(max)\, f(x) \qquad x \in R^n \qquad (۲)$$



شکل (۲): ساختار پیشنهادی برای ضرب کننده‌های فرکانسی براساس حلقه قفل شده تاخیر

یکی از روش‌های متداول برای حل معادله فوق به کار گیری از الگوریتم گرادیان است که توسط کاوچی [۱۰] مطرح شده است. در این روش مقدار x در عبارت فوق توسط رابطه بازگشتی زیر محاسبه می‌شود:

$$x_{k+1} = x_k - \alpha_k g_k \qquad (۳)$$

که در آن $g_k = \nabla f(x_k)$ گرادیان $f(x)$ برای $x = x_k$ است. بدیهی است که روش فوق زمانی مناسب و قابل استفاده است که گرادیان $f(x)$ موجود و قابل محاسبه باشد. همچنین در رابطه فوق α_k ضریبی است که سرعت همگرایی را تعیین می‌کند.

در حالت کلی، x پارامتری n بعدی است. بنابراین بردار گرادیان در رابطه (۳) مورد استفاده قرار می‌گیرد تا متغیری n بعدی در رابطه بازگشتی ایجاد کند. ولی در این مقاله تابع مورد نظر جهت بهینه‌سازی، یک متغیر یک بعدی است. بنابراین گرادیان در رابطه بازگشتی (۳) با مشتق عوض می‌شود. در نتیجه رابطه بازگشتی فوق، به رابطه زیر تبدیل خواهد شد:

$$x_{k+1} = x_k - \alpha_k f'(x_k) \qquad (۴)$$

در رابطه فوق هرچه مقدار α_k بیشتر باشد، سرعت همگرایی بیشتر خواهد بود. البته باید توجه داشت که اگر این ضریب خیلی زیاد شود، سیستم ممکن است ناپایدار شود. با توجه به توضیحات فوق در بخش بعدی ساختار پیشنهادی با استفاده از الگوریتم گرادیان جهت مینیمم کردن سیگنال خطا ارائه می‌گردد.

[Downloaded from jiaeee.com on 2026-11-20]

۴- ضرب کننده فرکانسی پیشنهادی مبتنی بر حلقه قفل شده تاخیر

ساختار پیشنهادی در این مقاله برای حلقه‌های قفل شده تاخیر در شکل -۲ نشان داده شده است. سیگنال ورودی در حلقه‌های قفل شده تاخیر به صورت یک پالس مربعی است که در حالت کلی به صورت زیر قابل بیان است:

$$V_i(t) = A_1 \sin \omega t + A_2 \sin 2\omega t + A_3 \sin 3\omega t + \cdots \quad (۵)$$

بدیهی است که مسیر سیگنال هم یک تاخیر ذاتی دارد و باعث می‌شود که سیگنال خروجی را بتوان به صورت زیر نوشت:

$$V_o(t) = A_1 \sin \omega(t-\tau) + A_2 \sin 2\omega(t-\tau) + A_3 \sin 3\omega(t-\tau) + \cdots \quad (۶)$$

که در آن τ تاخیر ذاتی مسیر سیگنال از ورودی تا خروجی است که مقدار کوچکی خواهد بود. همچنین باید توجه داشت که این تاخیر به طور ذاتی در مدار وجود دارد و مقدار τ دقیقا نمی‌تواند برابر با صفر شود. بنابراین تعدادی بلوک تاخیر در مسیر سیگنال قرار داده می‌شود تا بتوان سیگنال ورودی و خروجی دقیقا به اندازه یک پریود کلاک ورودی (T_{REF}) فاصله ایجاد نمود. با توجه به شکل-۲ و با در نظر گرفتن اینکه N سلول تاخیر، یکسان هستند و با فرض اینکه هر سلول تاخیر، تاخیری معادل با μ دارد، تاخیر کل مسیر برابر با $N\mu$ خواهد شد. بنابراین برای کنترل این تاخیر و برابر کردن آن با T_{REF} نیاز به یک مسیر فیدبک، الزامی به نظر می‌رسد. این فیدبک باعث می‌شود که ساختار ارائه شده به گونه‌ای قفل کند که تحت شرایط قفل، تاخیر هر سلول تاخیر برابر با $\frac{T_{REF}}{N}$ باشد. با استفاده از N سلول تاخیر در شکل- ۲، سیگنال خروجی را می‌توان به صورت زیر نوشت:

$$V_o(t) = V_i(t-N\mu) = A_1 \sin \omega(t-N\mu) + A_2 \sin 2\omega(t-N\mu) + A_3 \sin 3\omega(t-N\mu) + \cdots \quad (۷)$$

برای کنترل کردن تاخیر، یک سیگنال مرجع برای مشخص کردن اختلاف فاز بین ورودی و خروجی مورد نیاز است. این سیگنال به صورت اختلاف سیگنال خروجی و ورودی تعریف شده و سیگنال خطا نامیده می‌شود. بنابراین سیگنال خطا به صورت زیر قابل بیان است:

$$e(t) = V_o(t) - V_i(t) = A_1(\sin \omega(t-N\mu) - \sin \omega t) + A_2(\sin 2\omega(t-N\mu) - \sin 2\omega t) + A_3(\sin 3\omega(t-N\mu) - \sin 3\omega t) + \cdots \quad (۸)$$

برای اینکه ساختار پیشنهادی برای حلقه‌های قفل شده تاخیر به درستی قفل کند، باید این سیگنال خطا در شرایط قفل به سمت صفر برود. به بیان دیگر زمانی که سیگنال خطا برابر با صفر می‌شود، ورودی و خروجی همفاز خواهند بود (به اندازه یک پریود کلاک ورودی اختلاف فاز دارند). بنابراین با توجه به حضور N سلول تاخیر در مسیر مستقیم، تاخیر هر سلول برابر با $\frac{T_{REF}}{N}$ خواهد شد. در این ساختار تابع هدف برابر است با:

$$J_\mu(t) = E[|e^2(t)|] \quad (۹)$$

که در آن $E[\cdot]$ معرف اپراتور امید ریاضی است. از آنجایی که سیگنال $e(t)$ تابعی حقیقی است، اندازه $|e^2(t)|$ برابر با $e^2(t)$ خواهد شد و داریم:

$$e^2(t) = [A_1(\sin \omega(t-N\mu) - \sin \omega t) + A_2(\sin 2\omega(t-N\mu) - \sin 2\omega t) + A_3(\sin 3\omega(t-N\mu) - \sin 3\omega t) + \cdots]^2 \quad (۱۰)$$

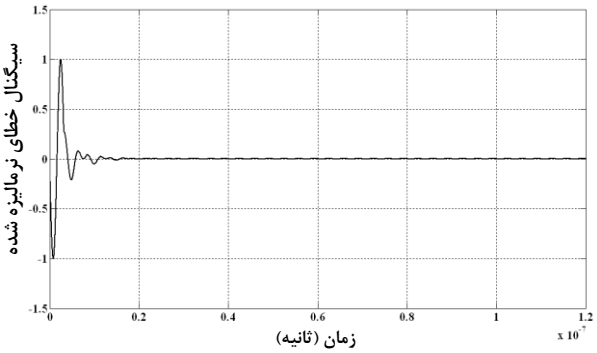
برای به دست آوردن رابطه بازگشتی برای μ، نیاز است که مقدار $\frac{\partial J_\mu(t)}{\partial \mu}$ که به صورت زیر محاسبه می‌شود را به دست آورد:

$$\frac{\partial J_\mu(t)}{\partial \mu} = E\left(\frac{\partial}{\partial \mu}[A_1(\sin \omega(t-N\mu) - \sin \omega t) + A_2(\sin 2\omega(t-N\mu) - \sin 2\omega t) + A_3(\sin 3\omega(t-N\mu) - \sin 3\omega t) + \cdots]^2\right) \quad (۱۱)$$

به راحتی می توان نشان داد که رابطه فوق به صورت زیر ساده خواهد شد:

$$\frac{\partial J_\mu(t)}{\partial \mu} = E\left[-2N\frac{\partial V_o(t)}{\partial t}[V_o(t) - V_i(t)]\right] \quad (۱۲)$$

[Downloaded from jiaeee.com on 2026-11-20]



شکل (۳): تغییرات نرمالیزه شده سیگنال خطا بر حسب زمان

برای نشان دادن درستی رابطه فوق می توان مقدار $\frac{\partial J_\mu(t)}{\partial \mu}$ را برای چند جمله اول سیگنال ورودی محاسبه کرده و با رابطه (۱۲) تطبیق دهیم. مقدار $V_o(t) - V_i(t)$ در رابطه فوق همان سیگنال خطا است که پیش از این محاسبه شد. بنابراین داریم:

$$\frac{\partial J_\mu(t)}{\partial \mu} = E\left[-2N\frac{\partial V_o(t)}{\partial t}e(t)\right] \qquad (۱۳)$$

با تخمین لحظه‌ای مقدار امید ریاضی داریم:

$$\frac{\partial J_\mu(t)}{\partial \mu} = -2N\frac{\partial V_o(t)}{\partial t}e(t) \qquad (۱۴)$$

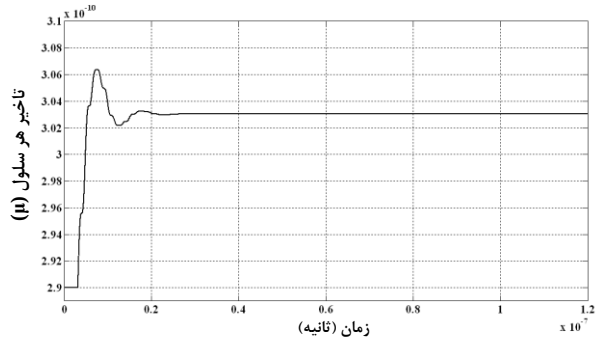
مشابه با تابع $f(x)$ در رابطه (۲)، تابع هدف برای بهینه سازی $J_\mu(t)$ خواهد بود. با توجه به توضیحات مربوط به الگوریتم گرادیان و رابطه (۴)، معادله بازگشتی برای μ به صورت زیر به دست خواهد آمد:

$$\mu_{k+1} = \mu_k - \alpha_k \frac{\partial J_\mu(t)}{\partial \mu} \qquad (۱۵)$$

بنابراین رابطه بازگشتی نهایی برای محاسبه تاخیر هر سلول تاخیر به صورت زیر خواهد بود:

$$\mu_{k+1} = \mu_k + \alpha_k \frac{\partial V_o(t)}{\partial t}e(t) \qquad (۱۶)$$

باید توجه داشت که همه سلول‌های تاخیر با استفاده از رابطه بازگشتی فوق کنترل می‌شوند. با استفاده از این روش میزان همگرایی حلقه قفل شده تاخیر پیشنهادی، توسط به دست آوردن زمان قفل شدن مدار مزبور قابل بررسی است. ضریب α_k عددی ثابت انتخاب شده است تا زمان گذر سیستم را تا حد امکان کاهش دهد. در قسمت آتی نتایج شبیه‌سازی برای اثبات موضوعات مطرح شده، ارائه خواهد شد.



شکل (۴): روند تغییر زمانی تاخیر هر سلول برای رسیدن به شرایط پایدار

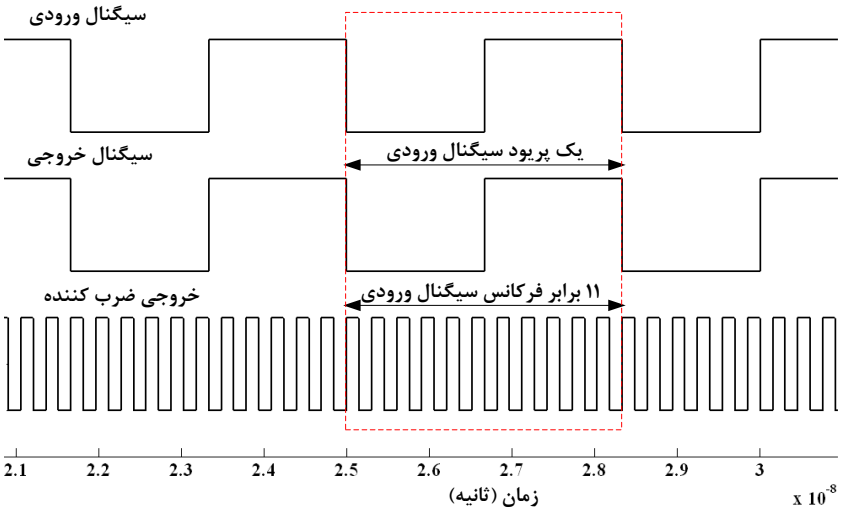
۵- نتایج شبیه‌سازی

در این بخش نتایج حاصل از شبیه‌سازی کامپیوتری (نرم افزار متلب) برای تصدیق عملکرد ضرب کننده فرکانسی براساس حلقه قفل شده تاخیر کاملا دیجیتالی وبا سرعت بالای پیشنهادی ارائه می‌گردد. شبیه‌سازی برای $N=11$ و $f_{REF}=300MHz$ انجام شده است. شکل-۳ تغییرات نرمالیزه شده سیگنال خطا را نشان می-دهد. از روی این شکل به سادگی می‌توان ملاحظه نمود که سیگنال خطا پس از زمانی حدود ۱۷ نانو ثانیه به سمت صفر می-رود. این بدان معنا است که حلقه قفل شده تاخیر پیشنهادی پس از ۵ سیکل کامل کلاک ورودی به شرایط قفل می‌رسد. در حقیقت زمان قفل شدن برابر با زمانی فرض شده است که تاخیر هر سلول به ۰/۰۱ مقدار نهایی خود می‌رسد. بنابراین در شرایط قفل باید تاخیر هر سلول تاخیر برابر با:

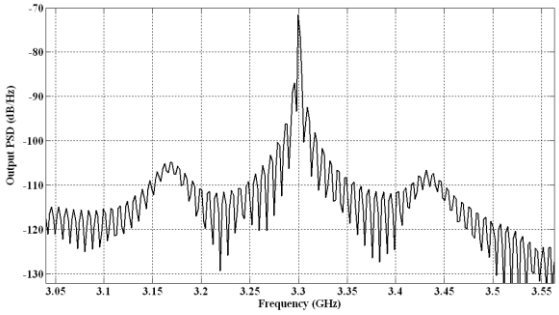
$$\frac{T_{REF}}{N} = \frac{1}{N.f_{REF}} = \frac{1}{11\times 300\times 10^6} \approx 3.03\times 10^{-10}sec \qquad (۱۷)$$

باشد. شکل-۴ که تاخیر ناشی از هر سلول تاخیر را نشان می‌دهد، حکایت از آن دارد که تاخیر هر سلول در شرایط قفل، دقیقا برابر با $3.03\times 10^{-10}sec$ است. همچنین شکل‌موج‌های مربوط به حلقه قفل شده تاخیر پیشنهادی در شکل-۵ ارائه شده است. این شکل موج‌ها موید این موضوع هستند که ورودی و خروجی مدار پیشنهادی پس از حصول شرایط قفل هم‌فاز هستند (دقیقا به اندازه یک پریود کلاک ورودی اختلاف فاز دارند). بنابراین با استفاده از ترکیب تمامی خروجی‌های سلول‌های تاخیر توسط

[Downloaded from jiaeee.com on 2026-11-20]



شکل (۵): سیگنال‌های ورودی، خروجی و خروجی ضرب شده در ساختار ضرب‌کننده فرکانسی پیشنهادی

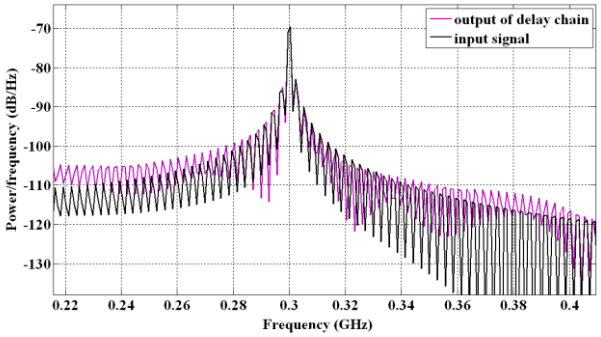


شکل (۶): طیف فرکانسی خروجی ضرب شده

گیت‌های XOR، به سادگی می‌توان دریافت که فرکانس خروجی باید برابر با:

$$f_{out} = 11 \times f_{REF} = 11 \times 300\ MHz = 3.3\ GHz \qquad (۱۸)$$

باشد. این موضوع در شکل-۵ قابل رویت است. همچنین چگالی طیفی توان خروجی مدار در حوالی فرکانس مرکزی ۳/۳ گیگاهرتز، در شکل-۶ نشان داده شده است. این شکل موید این موضوع است که طیف فرکانسی خروجی دارای مولفه غالبی در فرکانس ۳/۳ گیگاهرتز می‌باشد. چگالی طیف توان سیگنالهای خروجی و ورودی ساختار پیشنهادی در شکل-۷ نشان داده شده است. با توجه به این شکل، از آنجایی که تقریبا دو نمودار در حوالی فرکانس مرکزی بر یکدیگر منطبق هستند، لذا می‌توان گفت که ساختار رائه شده نویز قابل ملاحظه‌ای را به سیگنال ورودی اضافه نمی‌کند. با توجه به اینکه قسمت پردازش سیگنال در مدار پیشنهادی را می‌توان توسط مدارهای آنالوگ پیاده‌سازی کرد، ساختارپیشنهادی می‌تواند دارای فرکانس کاری بالاتر و توان مصرفی کمتری نسبت به



شکل (۷): چگالی طیف توان سیگنالهای ورودی و خروجی حلقه قفل شده تاخیر

حلقه قفل شده تاخیر متداول کار کند. جدول مقایسه برخی ویژگی‌های ساختار پیشنهادی با چند ساختار مختلف برای حلقه-های قفل شده تاخیر، در جدول-۱ ارائه شده است. اعداد نشان داده شده در جدول مذکور حکایت از سریعتر بودن ساختار ارائه شده و گستره فرکانسی مناسب آن دارد. همچنین باید توجه داشت که در ساختار موردنظر با انتخاب تاخیر اولیه مناسب برای سلول-های تاخیر می‌توان به سادگی گستره فرکانس کاری را تغییر داد. همچنین تغییر مقدار N نیز در این مقدار موثر خواهد بود.

۶- نتیجه‌گیری

در این مقاله یک ضرب کننده فرکانسی بر اساس حلقه قفل شده تاخیر جدید با سرعت قفل شدن بالا طراحی شده است. ساختار پیشنهادی دارای سرعت بالاتری نسبت به حلقه قفل شده تاخیر متداول می‌باشد. در این ساختار تاخیر سلول‌های تاخیر، با استفاده از الگوریتم گرادیان با سرعت بالاتری به مقدار موردنظر همگرا می‌شود. نتایج شبیه‌سازی نشان می‌دهد که ساختار مورد نظر با

[Downloaded from jiaeee.com on 2026-11-20]

جدول – ۱: مقایسه مشخصات مدار پیشنهادی با سایر ساختارها

مراجع	[۱۱]	[۱۲]	[۱۳]	این مقاله	واحد
گستره فرکانس ورودی	-	-	–	280-430	مگاهرتز
گستره فرکانس خروجی	0.040-0.55	2-700	440-1500	280-4700	مگاهرتز
زمان قفل در فرکانس ۳۰۰مگاهرتز	>47ns	>107ns	>73ns	17	نانوثانیه
تعداد سیکل قفل شدن	14-134	32	22	5	---

سرعت بسیار بالایی (۵ سیکل کلاک ورودی) به شرایط پایدار خود می‌رسد. با استفاده از بخش پردازشگر، توان مصرفی نیز در ساختار ارائه شده کاهش می‌یابد. با توجه به نتایج به دست آمده به ازای ورودی‌های بین ۲۸۰-۴۳۰ مگاهرتز، فرکانس ضرب شده در خروجی نیز بین ۳/۰۸-۴/۷۳ گیگا هرتز تغییر می‌کند. یعنی مدار مورد نظر در این گستره فرکانسی شرایط مناسبی برای قفل دارد. همچنین در ساختار موردنظر با تغییر شرایط اولیه تاخیر سلول‌ها و انتخاب درست آن به سادگی می‌توان مدار پیشنهادی را برای گستره‌های فرکانسی موردنظر طراحی نمود. همچنین نتایج شبیه-سازی برای ۱۱ سلول تاخیر و فرکانس ورودی ۳۰۰ مگاهرتز ارائه شده است که حکایت از عملکرد مطلوب ساختار مورد نظر دارد.

مراجع

[1] San-Jeow Cheng; Lin Qiu; YuanjinZheng; Chun-HuatHeng;,"50–250 MHz ΔΣ DLL for Clock Synchronization," Solid-State Circuits, IEEE Journal of , vol.45, no.11, pp.2445-2456, Nov. 2010.

[2] M. Gholami, Gh. Ardeshir and H. Ghonoodi, "A novel architecture for low voltage-low power DLL-based frequency multipliers", IEICE Electron. Express, Vol. 8, No. 11, pp.859-865, (2011).

[3] A. Coban, M. H. Koroglu, and K. A. Ahmed, "A 2.5–3.125 GB/ quad transceiver with second order analog DLL-based CDRs," IEEE J. Solid-State Circuits, vol. 40, no. 9, pp. 1940–1947, Sep. 2005.

[4] Fang-Ren Liao; Shey-Shi Lu; , "A Waveform-Dependent Phase-Noise Analysis for Edge-Combining DLL Frequency Multipliers," Microwave Theory and Techniques, IEEE Transactions on , vol.60, no.4, pp.1086-1096, April 2012.

[5] Kyungho Ryu; Dong-Hoon Jung; Seong-Ook Jung, "A DLL With Dual Edge Triggered Phase Detector for Fast Lock and Low Jitter Clock Generator," *Circuits and Systems I: Regular Papers, IEEE Transactions on* , vol.59, no.9, pp.1860,1870, Sept. 2012.

[6] H. H. Chang and S. I. Liu, "A wide-range and fast-locking all-digitalcycle-controlled delay-locked loop," IEEE J. Solid-State Circuits, vol.40, no. 3, pp. 661–670, Mar. 2005.

[7] M. Gholami, A novel low power architecture for DLL-based frequency synthesizers. Circuits Syst. Signal Process. **32**(2), 781–801 (2013). doi:10.1007/s00034-012-9488-9.

[8] M. Gholami, Analysis of DLL Jitter due to Voltage-Controlled Delay Line. Circuits Syst. Signal Process. Published Online (2013). doi: 10.1007/s00034-013-9584-5.

[9] M. Gholami, Gh. Ardeshir and H. Ghonoodi, "A novel architecture for low voltage-low power DLL-based frequency multipliers", IEICE Electron. Express, Vol. 8, No. 11, pp.859-865, (2011).

[10] A. Cauchy, Méthodes générales pour la résolution des systèmes déquations simultanées , C.R. Acad. Sci. Par. 25 (1847), pp. 536–538.

[11] R. J. Yang and S. I. Liu, "A 40–550 MHz Harmonic-Free All-Digital Delay Locked Loop Using a Variable SAR Algorithm," IEEE J. SolidState Circuits, vol.42, no. 2, pp. 361–373, Feb. 2007.

[12] H. H. Chang and S. I. Liu, "A wide-range and fast-locking all-digital cycle-controlled delay-locked loop," IEEE J. Solid-State Circuits, vol.40, no. 3, pp. 661–670, Mar. 2005.

[13] K. Cheng and Y. Lo; , "A Fast-Lock Wide-Range Delay-Locked Loop Using Frequency-Range Selector for Multiphase Clock Generator," Very Large Scale Integration (VLSI) Systems, IEEE Transactions on , vol.54, no.7, pp.561-565, July 2007.

[Downloaded from jiaeee.com on 2026-11-20]

[Downloaded from jiaeee.com on 2026-11-20]