خطی سازی تقویت‌کننده کم نویز کسکود با پیاده‌سازی روش برهم‌نهی اجزا

محمدحسین مسکراف[1] عباس گلمکانی[2]

۱- دانش آموخته کارشناسی ارشد- دانشکده مهندسی برق و مهندسی پزشکی- دانشگاه صنعتی سجاد- مشهد- ایران
Mo.Ms116@sadjad.ac.ir

۲- استادیار- دانشکده مهندسی برق و مهندسی پزشکی- دانشگاه صنعتی سجاد- مشهد - ایران
Golmakani@sadjad.ac.ir

چکیده: این مقاله درصدد بهبود خطینگی تقویت‌کننده کم نویز است که با موازی کردن یک مسیر کمکی به تقویت‌کننده‌ی اصلی به دست می‌آید و نیز برای دستیابی به بهره بیشتر از ترکیب کسکود استفاده‌شده است، در مدار پیشنهادشده از طریق ایجاد مسیر کمکی و سلف‌های اضافه‌شده در پایه سورس ترانزیستور، دامنه و فاز تنظیم می‌شود. به‌این‌ترتیب کنترل ضریب غیرخطی مرتبه سوم ممکن می‌گردد، تا درنهایت ضریب غیرخطی مرتبه سوم کل را تا حد امکان کوچک نمود. همچنین اثر ضریب غیرخطی مرتبه دوم بروی IIP3 موردبررسی قرار می‌گیرد. معمولاً برای تحلیل اثرات غیرخطی، از تحلیل سری توانی استفاده می‌شود. پیشنهاد روش (DS) ارائه‌شده در این مقاله، قابلیت اضافه شدن به انواع مدارهای تقویت‌کننده را دارا است چراکه به‌صورت موازی با تقویت‌کننده اصلی قرار می‌گیرد. در این شبیه‌سازی از تکنولوژی TSMC_RF 180 nm استفاده‌شده است. نتایج به‌دست‌آمده مقدار بهره را در حدود 18dB، عدد نویز 2.43dB و مقدار IIP3 در حدود +7.5dB نشان می‌دهد.

واژه‌های کلیدی: خطی سازی، تقویت‌کننده کم نویز، **Derivative superposition (DS)، Feed Forward، LNA**

تاریخ ارسال مقاله: ۱۳۹۴/۰۴/۰۷
تاریخ پذیرش مشروط مقاله: ۱۳۹۵/۱۰/۰۱
تاریخ پذیرش مقاله: ۱۳۹۷/۰۸/۱۴
نام نویسنده‌ی مسئول: دکتر عباس گلمکانی
نشانی نویسنده‌ی مسئول: ایران – مشهد– خیابان جلال آل احمد۶۰/۲ – دانشگاه صنعتی سجاد – دانشکده‌ی مهندسی برق و مهندسی پزشکی

[Downloaded from jiaeee.com on 2026-06-10]

[DOR: 20.1001.1.26765810.1398.16.4.23.4]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

۱- مقدمه

با توجه به افزایش روزافزون استفاده از مدارهای بی‌سیم و وجود طیف فرکانسی شلوغ، احتمال تداخل رادیویی در ورودی گیرنده‌ها افزایش می‌یابد[۱].سیگنال‌های موجود در کانال‌های گیرنده‌های فرا پهن باند (۳/۱گیگاهرتز تا ۱۰/۶ گیگاهرتز) بالقوه می‌تواند باعث ایجاد اینترمدولاسیون شود [۲] و به‌تبع آن باعث تخریب سیگنال مطلوب در باند می‌شود به همین دلیل نیاز به طراحی گیرنده‌هایی با خطینگی بالا بیش‌ازپیش موردتوجه طراحان قرارگرفته است.یکی از راه‌های جلوگیری از تداخل برای گیرند های فرا پهن باند استفاده از روش‌های جبران سازی و فیلتر کردن اولیه است[۳]. پس در این شرایط باید تقویت‌کننده کم نویز به‌اندازه کافی خطی باشد تا بتواند اثرات سیگنال‌های سد کننده را تحمل کند و از ایجاد اینترمدولاسیون جلوگیری نماید. البته باید توجه داشت که نباید خطی سازی به بهای از دست دادن بهره یا افزایش عدد نویز باشد.

راه‌کارهای خطی سازی با استفاده از شبکه فیدبک را نمی‌توان به‌راحتی در فرکانس‌های رادیویی استفاده کرد زیرا ممکن است از دیدگاه پایداری دچار مشکل شود و همچنین وابستگی المان‌های مسیر فیدبک به تغییرات فرکانس زیاد است.

بایاس کردن ترانزیستور در نقطه کار بهینه باعث خطینگی زیاد می‌شود ولی این بازه بسیار باریک و حساس به تغییرات است. البته بایاس کردن در نقطه مطبوع، ترارسانایی طبقه‌ی ورودی را محدود می‌کند و منجر به کاهش بهره و افزایش عدد نویز خواهد شد[۴].

بخش دوم به معرفی روش پیش‌خور پرداخته است. در بخش سوم محاسبات و تئوری روش پیش‌خور بررسی‌شده است. بخش چهارم به تحلیل سیگنال کوچک روش برهم‌نهی اجزا (DS) می‌پردازد. بخش پنجم مقاله به تحلیل مدار پیشنهادی اختصاص‌یافته است و روابط ریاضی حاکم بر المان‌های مختلف مدار که بر خطینگی اثرگذار هستند را ارائه می‌دهد. بخش ششم به گزارش نتایج شبیه‌سازی اختصاص دارد و در بخش آخر به نتیجه‌گیری پرداخته‌شده است.

۲- معرفی روش خطی سازی پیش‌خور

روش پیش‌خور به طرق گوناگون در خطی سازی تقویت‌کننده‌های کم نویز مورداستفاده قرار می‌گیرد[۵].استفاده از این روش حذف اعوجاج مرتبه سوم و درنتیجه افزایش خطینگی را نوید می‌دهد، که البته باعث بدتر شدن عدد نویز خواهد شد. روش DS یکی از زیرمجموعه‌های روش پیاده‌سازی پیش‌خور است. در پیاده‌سازی این روش با موازی کردن دو ترانزیستور که یکی در ناحیه‌ی وارونگی ضعیف و دیگری در وارونگی قوی بایاس شده است، بهره می‌بریم. عرض ترانزیستورها و نیز ولتاژ بایاس آن‌ها به‌گونه‌ای انتخاب می‌گردد که ضریب g_3 آن‌ها همدیگر را خنثی کنند.

در برخی مقالات[۶], [۷] از روش DS برای حذف ضریب غیرخطی مرتبه دوم استفاده می‌شود، به‌طوری‌که این مهم را با دو سلف برای تنظیم دامنه و فاز برای مؤلفه‌های ضرایب مرتبه دوم و سوم غیرخطی انجام می‌دهند. روش پیش‌خور بر روی فرکانس کاری و یا به عبارتی تطبیق ورودی تأثیر دارد که مطلوب نخواهد بود. همچنین اتصال ورودی به ترانزیستوری که در ناحیه‌ی وارونگی ضعیف بایاس شده است، باعث افزایش عدد نویز خواهد شد.

۳- نظریه روش پیش‌خور

با توجه به ساختار سورس مشترک که در ناحیه اشباع بایاس شده است؛ می‌توان جریان سیگنال کوچک خروجی را با سری توانی زیر مدل کنیم.

$$i_d(v_{gs}) = g_1 v_{gs} + g_2 v_{gs}^2 + g_3 v_{gs}^3 + \dots \qquad (۱)$$

که v_{gs} ولتاژ سیگنال کوچک گیت-سورس در حول نقطه کار است. g_1 ترارسانایی سیگنال کوچک است. g_2 و g_3 ضرایب مرتبه بالاتری هستند که نشان‌دهنده رفتار غیرخطی سیستم است. در این میان g_3 از اهمیت زیادی برخوردار است، چراکه کنترل‌کننده IM3 در سطوح ولتاژ پایین است. که نهایتاً مقدار IIP3 را تحت تأثیر می‌گذارد. دامنه IIP3 در نقطه تلاقی به‌وسیله رابطه زیر مشخص می‌شود [۸].

$$A_{IP3} = \sqrt{\frac{4}{3}\left|\frac{g_1}{g_2}\right|} \qquad (۲)$$

در سری توانی فوق ضرایب به ولتاژ DC گیت- سورس (V_{GS}) و سورس-درین (V_{DS}) وابسته هستند. ولی می‌توان برای حالتی که ترانزیستور در ناحیه اشباع کار می‌کند از وابستگی به ولتاژ درین-سورس چشم‌پوشی کرد. ضرایب معادله (۱)در زیر نشان داده‌شده است.

$$g_1 = \frac{\partial I_{DS}}{\partial V_{GS}}, g_2 = \frac{1}{2!}\frac{\partial^2 I_{DS}}{\partial^2 V_{GS}^2}, g_3 = \frac{1}{2!}\frac{\partial^3 I_{DS}}{\partial^3 V_{GS}^3} \qquad (۳)$$

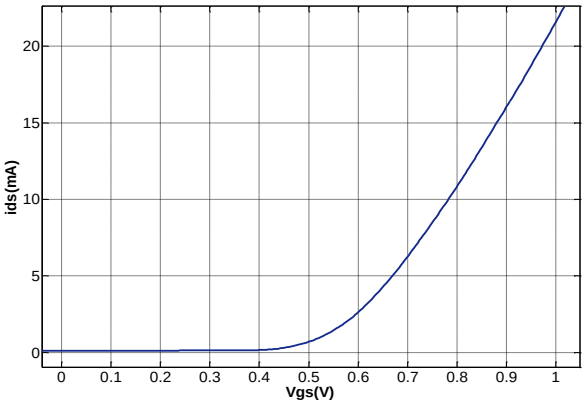
برای آنکه پارامترهای یک ترانزیستور غیرخطی به دست آید، ابتدا ولتاژ درین - سورس (v_{ds}) ثابت در نظر گرفته می‌شود و ولتاژ گیت – سورس (v_{gs}) جاروب می‌شود و سپس سه مشتق اول ولتاژ dc جریان درین- سورس (i_{ds}) را با توجه به (V_{gs}) مربوط به آنچه در معادله (۳) است به دست می‌آید. نتیجه این محاسبات در شکل(۱) تا (۳) رسم شده است.

غیرخطی بودن ترانزیستورهای ماسفت ناشی از مشخصه‌ی(V-I) آن‌ها است. g_{m1} ترارسانایی اصلی است و بهره خطی را ایجاد می‌کند و g_{m2} و g_{m3} هم ضرایب مراتب دوم و سوم است که رفتار غیرخطی تقویت‌کننده را بیان می‌کنند[۹].

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter 2018

[Downloaded from jiaeee.com on 2026-06-10]

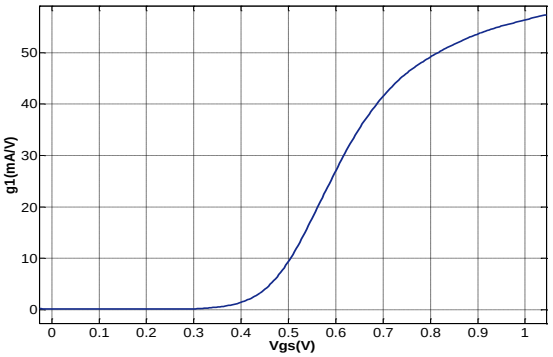
[DOR: 20.1001.1.26765810.1398.16.4.23.4]



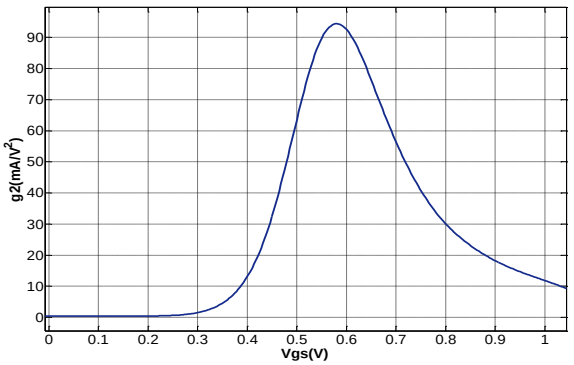
شکل(۱): تغییرات جریان درین برحسب ولتاژ گیت –سورس به ازای ولتاژ درین سورس ثابت در تکنولوژی TSMC_RF180nm
(W/L=120µm/0.18 µm)

با توجه به شکل‌های (۲) می‌توان گفت: در Vgs کوچک، g3 مثبت است به دلیل آنکه ترانزیستور در ناحیه وارونگی ضعیف است. در Vgs های بزرگ، g3 منفی است چراکه اشباع سرعت حامل‌ها باعث فشردگی بهره خواهد شد (کاهش تحرک پذیری).

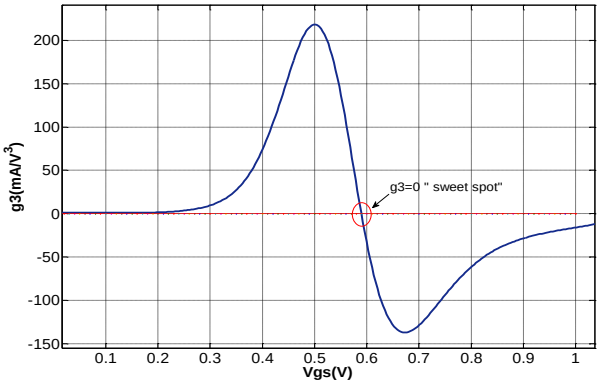
ایده اصلی، بایاس کردن ترانزیستور در نقطه مطبوع است؛ که در شکل(۳) نشان داده‌شده است. در این نقطه $g_3=0$ است و انتظار می‌رود اثرات غیرخطی مرتبه سوم نیز از بین برود. اما همان‌طور که از شکل(۲۱-ب) مشهود است، مقدار g_2 حداکثر می‌گردد؛ که برای کم کردن آن یا باید از ساختارهای دیفرانسیلی استفاده نمود و یا در روش‌هایی که در بخش بعدی توضیح داده خواهد شد، بهره جست.



شکل(۲- الف)



شکل(۲- ب)

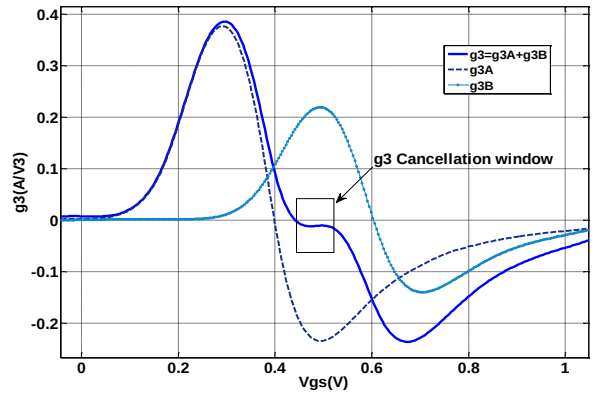


شکل(۲- ج)

شکل(۲): مشخصه ترارسانایی NMOS به ازای ولتاژ Vds=1 و W/L=(90 µm /0.18 µm)

اگر فقط با بایاس کردن به کاهش g_3 پرداخته شود، مدار تقویت‌کننده به نقطه کار حساس می‌شود و نیز بایاس کردن ترانزیستور در $g_3=0$، ترارسانایی طبقه ورودی را به بهره کمتر و عدد نویز بیشتر محدود می‌کند. برای رفع این مشکلات نیاز به یک درجه آزادی بیشتر هست که با اضافه کردن یک ترانزیستور به صورت موازی با تقویت‌کننده اصلی می‌توان بر آن‌ها غلبه نمود.

وابستگی g3 به V_{gs} باعث می‌شود تا g_3 از مثبت به منفی تغییر علامت دهد. این تغییر علامت به علت تغییر ولتاژ گیت- سورس و متعاقباً تغییر ناحیه کاری ترانزیستور از وارونگی ضعیف به وارونگی قوی است [۱۰]. اگر به نحوی بتوان قسمت مثبت g_3 را با استفاده از یک ترانزیستور دیگر که در ناحیه کاری دیگری قرار دارد و g_3 آن منفی است(در ناحیه وارونگی قوی بایاس شده باشد) ، جمع نمود؛ می‌توان g_3 معادل را تقریباً صفر در نظر گرفت که در شکل(۳) نشان داده‌شده است. که این بدان معنا است که مقدار IIP3 ازنظر تئوری به‌شدت بهبود می‌یابد.



شکل(۳): اعوجاج مرتبه سوم ترانزیستور اصلی (g_{3A})، ترانزیستور کمکی (g_{3B}) و خروجی نهایی (g3)

اما بهبود در دامنه A_{IP3} به خاطر $g_{3tot\approx0}$ فقط در فرکانس‌های کم که راکتانس مدار قابل‌چشم‌پوشی است، بسیار چشم‌گیر خواهد بود و

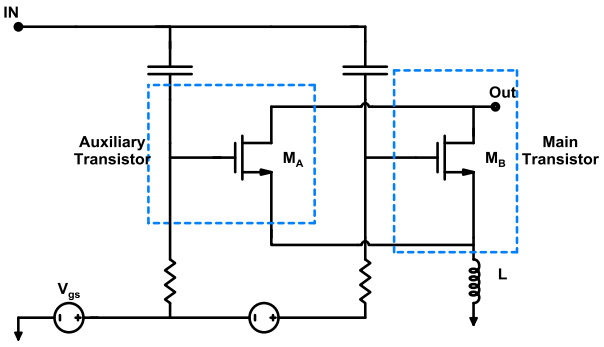
[Downloaded from jiaeee.com on 2026-06-10]
[DOR: 20.1001.1.26765810.1398.16.4.23.4]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

البته در فرکانس‌های بالا بهبود IIP_3 توسط المان‌های دیگر نیز کنترل می‌شود.

۴- تحلیل روش برهم‌نهی اجزا

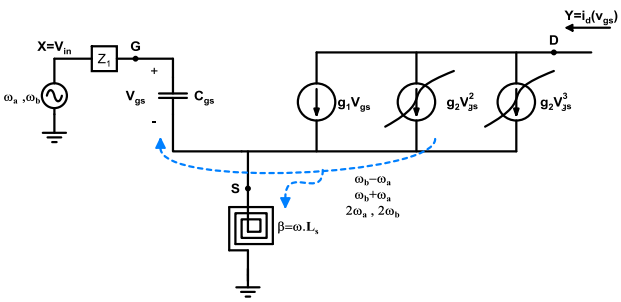
برای تحلیل IIP3 نیاز بـه بررسـی مـدل سـیگنال کوچـک روش DS معمولی هست. شماتیک این روش در شکل(۴) نشان داده‌شده است.

مدار معادل سیگنال کوچک شکل(۴) را با توجه به اینکه در ایـن مدار مقدار g_i ها باهم جمع شده است و با صرف‌نظر کردن از اثر خازن گیت- درین ، می‌توان خازن گیت- سورس دو ترانزیسـتور NMOS را باهم جمع کرد (دو ترانزیستور باهم موازی هستند.)شکل(۵)



شکل(۴):روش DS برای ترکیب دو ترانزیستور NMOS

اگر فرض شود مقدار سلف دریـن صـفر اسـت. مقـدار IM3 کـاملاً توسط $g_3 v_{gs}^3$ ساخته می‌شود؛ اما سلف تـبهگن سـورس یـک مسـیر فیدبک برای جریان درین به v_{gs} می‌سازد.



شکل(۵): مدل سیگنال کوچک تقویت کننده کم نویز تبهگن

که معمولاً این فیدبک در فرکانس‌های بالا برای جریـان درین (i_d) قوی است. برای مثال هارمونیک دوم $2\omega_a$ و $2\omega_b$ به‌وسـیله $g_2 v_{gs}^2$ از طریق سورس- گیت به ورودی فیدبک می‌شوند و با کمیت اصلی جمع می‌شوند. این مؤلفه‌ها دوباره با $g_2 v_{gs}^2$ ترکیب می‌شوند و فرکانس‌های $2\omega_a \pm \omega_b$ و $2\omega_b \pm \omega_a$ را می‌سازند. ازاین‌رو ضـریب غیرخطـی مرتبـه دوم جریان درین باعث ایجاد IM3 می‌شود.با فرض رابطه زیر:

$$\Delta\omega(=\omega_b-\omega_a) << \omega_a, \omega_b \Rightarrow j\,\Delta\omega L \approx 0 \qquad (۴)$$

و نیـز بـا فـرض آنکـه ورودی تطبیـق مـزدوج در فرکـانس $\omega \approx \omega_a \approx \omega_b$ باشد. می‌توانیم برای محاسبه IIP3 بنویسیم:

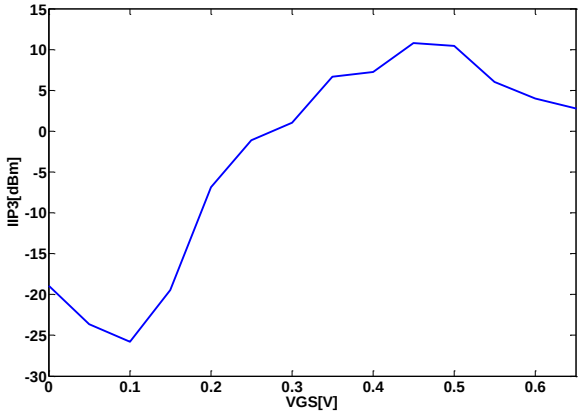
$$IIP_3 = \frac{4g_1^2\omega^2 LC_{gs}}{3|\varepsilon|} \qquad (۵)$$

که در رابطه اخیر داریم(معادله (۶))

$$\varepsilon = g_3 - \frac{2g_2^2/3}{g_1 + \frac{1}{j\,2\omega L} + j\,2\omega C_{gs} + z_1(2\omega)\frac{C_{gs}}{L}} \qquad (۶)$$

از رابطه (۵) و (۶) دیده می‌شود که حتـی اگـرg_3 را صـفر کنـیم، بازهم مقدار IIP3 بـی‌نهایـت نمـی‌شـود (بـه شـکل(۶) دقـت شـود). درحالی‌که در فرکانس‌های پایین مـی‌توانسـتیم IIP3 را بسـیار بـزرگ کنیم[۴].

عبارت دوم در معادله (۶) نمی‌گذارد که مقدار IIP3 باوجود صفر بودن مقدار g_3 ، به سمت بی‌نهایت میل کند.به عبارتی می‌تـوان گفـت که این جمله، نشان‌دهنده اثرگذاری ضـریب غیرخطـی مرتبـه دوم بـر IM3 را به‌وضوح نشان می‌دهد. همان‌طور که اشاره شد این اثرگـذاری به خاطر وابستگی سلف موجود در سورس است.



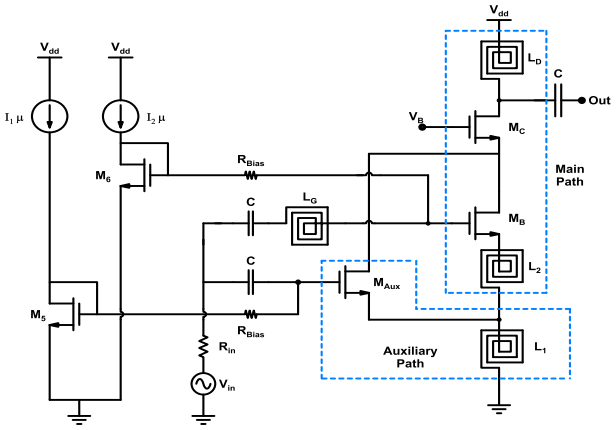
شکل(۶): شبیه‌سازی IIP3 مدار شکل (۷) برحسب ولتاژ گیت- سورس در فرکانس 2.4GHz

۵- تحلیل مدار پیشنهادی

برای بهبود IIP3 در روش DS در فرکانس‌های رادیویی نیاز نیست که ترکیب تداخل مرتبه دوم به IM3 را کاملاً از بـین ببـریم. فقـط کـافی است که دامنه آن همانند دامنه تداخل مرتبه سوم باشـد ولـی دارای فاز مخالف آن باشد. برای این‌کـه بتـوان میـزان تـداخل مرتبـه دوم را کنترل کرد به‌جای تنظیم، هارمونیک دوم و تغییر سایز ترانزیسـتورها، می‌توانیم با ایجاد اختلاف‌فاز توسط سلف‌های مدار پیشنهادشده که در شکل(۸) نشان داده‌شده است. ترکیب تداخل مرتبه دوم به IM3 را از

[Downloaded from jiaeee.com on 2026-06-10]
[DOR: 20.1001.1.26765810.1398.16.4.23.4]

بین برد که برای دست یافتن به این مهم می‌توان از دو سلف سری استفاده کرد .البته با این انتخاب راحت‌تر می‌توان به تطبیق ورودی مناسب دست‌یافت. با توجه به اینکه در این روش سورس هر ترانزیستور به گره مختلفی وصل شده است؛ می‌توان با تغییر میزان سلف، فاز و دامنه ترکیب مرتبه سوم را تغییر داد.

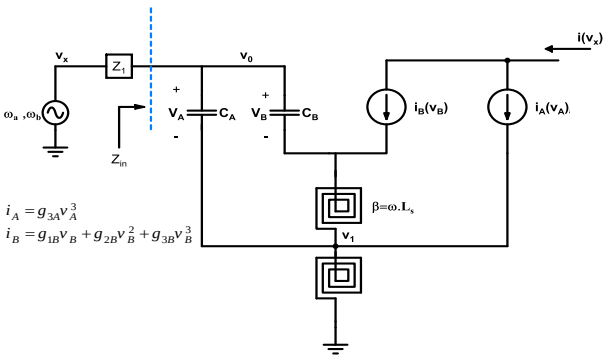


شکل(۸): مدار پیشنهادشده

M_{Aux}در ناحیه وارونگی ضعیف قرار دارد که g_{3Aux} مثبت است و M_B در وارونگی قوی که مقدار g_{3A} منفی است. می‌توان گفت: اثرات g_{1Aux} وg_{2Aux} در پاسخ کلی قابل صرف‌نظر کردن است چراکه با توجه به بایاس ترانزیستورM_{Aux} در ناحیه زیر آستانه مقادیر این دو پارامتر بسیار کوچک خواهد بود که مقادیر این دو مؤلفه در شکل‌های ۲-الف و ۲-ب رسم شده است. حسن این روش در آن است که می‌توان با دو سلف مقدار دامنه و فاز g_{3Aux} را زمانی که ترکیب g_{2B} و g_{3B} تبدیل به IM3 می‌شوند را کنترل کرد.

برای روشن‌تر شدن عملکرد مدار شکل(۸) برای دستیابی به IIP3 در فرکانس‌های رادیویی، از مدار ساده‌شده سیگنال کوچک شکل(۹) استفاده می‌کنیم.

در شکل(۹) مدار معادل تونن ورودی را با ولتاژ V_X ساده سازی شده است. C_A و C_B خازن‌های گیت سورس ترانزیستور M_A و M_B هستند. به‌طور واضح V_A و V_B به ترتیب ولتاژهای سیگنال کوچک ترانزیستور M_A و M_B هستند. i_A و i_B جریان‌های درین این دو ترانزیستور هستند.



شکل(۹): مدار معادل سیگنال کوچک

برای این مدار برای سادگی از ضرایب مرتبه بالاتر صرف‌نظر می‌کنیم و $g_{1a}\approx 0$ و$g_{2a}\approx 0$ فرض می‌شود.

می‌توان جریان خروجی را با استفاده از سری ولترا به‌صورت رابطه (۷) نوشت. البته در این روابط به‌طور واضح S(=jω) متغیر لاپلاس است.

$$i(v_x) = C_1(s)\circ v_x + C_2(s_1,s_2)\circ v_x^2 + C_3(s_1,s_2,s_3)\circ v_x^3 \qquad (۷)$$

که در این رابطه $Cn(s_1,s_2,\ldots S_n)$ تبدیل لاپلاس مرتبه nام کرنل ولترا است و یا می‌توان گفت: تابع تبدیل غیرخطی مرتبه n ام است. علامت o یعنی دامنه و فاز طیف هرکدام از v_x^n ها به‌وسیله دامنه و فاز$Cn(s_1,s_2,\ldots S_n)$ تغییر می‌کند. البته فرکانس هر مؤلفه $(\omega_1+\omega_2+\ldots\omega_n)$ است. پس برای تحریک دو تن ورودی داریم:

$$v_x = A[\cos(\omega_a t)+\cos(\omega_b t)] \qquad (۸)$$

پاسخ مدار به دامنه تن ورودی در محل تداخل مرتبه سوم IM3، فرکانس $2\omega_b-\omega_a$ و فرکانس پایه ω_a خواهد بود (به رابطه(۲) دقت شود).

$$A_{IP3}(2\omega_b-\omega_a) = \sqrt{\frac{4}{3}\left|\frac{C_1(s_a)}{C_3(s_b,s_b,-s_a)}\right|} \qquad (۹)$$

IIP3 را می‌توان توان قابل‌دسترس منبع ورودی در نقطه تلاقی مرتبه سوم نیز دانست[۵].

$$IIP_3(2\omega_b-\omega_a) = \frac{A_{IP3}(2\omega_b-\omega_a)^2}{8\Re(Z_1(s_a))}\frac{1}{6\Re(Z_1(s_a))}\left|\frac{C_1(s_a)}{C_3(s_b,s_b,-s_a)}\right| \qquad (۱۰)$$

برای یافتن تابع (۹) نیاز به استفاده از روش ورودی هارمونیکی است. در این روش به ورودی تحریک چند تن اعمال می‌شود (در فرکانس‌های مختلف)؛ سپس معادلات کیرشهف در حوزه فرکانس به ازای جمیع فرکانس‌های ورودی حل می‌شود. تعداد فرکانس‌های نامعلوم در v_x برابر با مرتبه تابع تبدیلی است؛ که محاسبه می‌شود. برای شروع به ورودی یک سیگنال تک تن اعمال می‌شود تا بتوان تابع تبدیل خطی را به دست آورد. این روند با تحریک کردن ورودی به ازای فرکانس‌های دیگر چند تن ادامه پیدا می‌کند، به‌طوری‌که می‌توان توابع تبدیل مرتبه بالاتر را به دست آورد.

تحلیل برای استخراج$C_1(s_a)$ و$C_3(s_b.s_b.s_a)$ برای تن‌های بافاصله کم، زمانی که ورودی در حالت تطبیق مزدوج در فرکانس پایه و نیز امپدانس کم پایانه ورودی در فرکانس هارمونیک دوم باشد؛معادله حاکم بر IIP3 به‌صورت رابطه (۱۱) به دست می‌آید[۵].

[Downloaded from jiaeee.com on 2026-06-10]
[DOR: 20.1001.1.26765810.1398.16.4.23.4]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

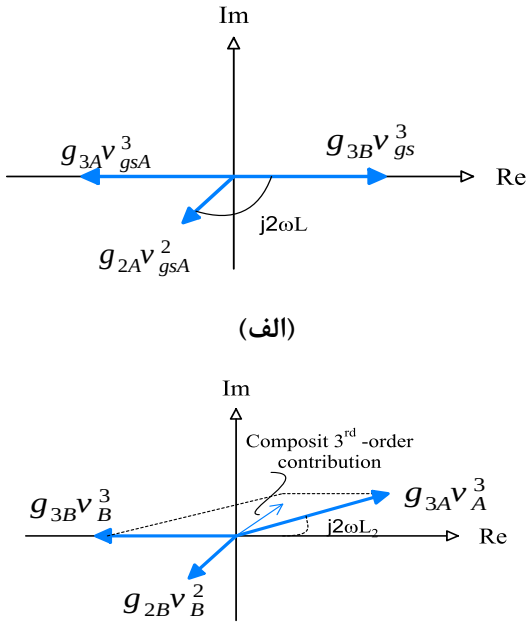
$$IIP_3 \approx \frac{4g_{1B}^2\omega^2[L_1(C_A+C_B)+L_2C_B]}{3|\varepsilon|} \qquad (۱۱)$$

که ε در فرمول اخیر در رابطه (۱۲) آمده است. البته در رابطه اخیر فرض می‌شود که $\omega \approx \omega_a \approx \omega_b$ باشد.

$$\varepsilon = g_{3A}(1+j\omega L_2 g_{1B})[1+(\omega L_2 g_{1B})^2]. \left[1+\frac{L_2C_B}{L_1(C_A+C_B)+L_2C_B}\right] + g_{3B} - \frac{2g_{2B}^2}{3g_{1B}}\frac{1}{1+\frac{1}{j\,2\omega(L_1+L_2)g_{1B}}} \qquad (۱۲)$$

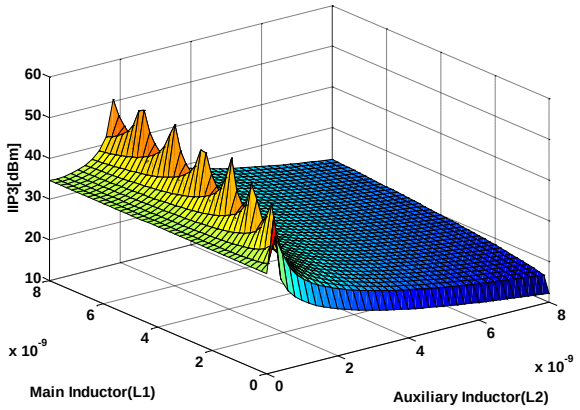
پارامتر ε نشان می‌دهد چه عوامل غیرخطی در شکل(۹) منجر به ساختن IM3 می‌شود. دو عبارت اول در (۱۲) عوامل غیرخطی مرتبه سوم M_A و M_B را به ترتیب نشان می‌دهد؛ و عبارت آخر این رابطه عوامل غیرخطی مرتبه دوم M_B را که باعث IM3 می‌شود را نشان می‌دهد.

ترکیب فاز مؤلفه مرتبه سوم M_A و M_B وابسته به مقدار سلف L_2 است. اگر L_2=0 باشد، بخش موهومی عبارت اول رابطه (۱۲) صفر می‌شود. در این حالت دو عبارت اول رابطه (۱۲) نمی‌توانند بردار برآیندی ایجاد کنند که بتوانند مشارکت ترکیب‌های مرتبه دومی‌ای را که توسط عبارت آخر (۱۲) ایجادشده است و دارای بخش موهومی غیر صفر است را خنثی نماید. پس عملاً با L_2=0 نمی‌توان اعوجاج را از بین برد. این روش همان‌طور که در شکل(۱۰) آمده است؛ اساس روش DS معمولی و بهبودیافته را نشان می‌دهد.



شکل(۱۰):(الف)نمودار جملات غیرخطی (Distortion) برای DS معمولی و (ب) DS بهبودیافته

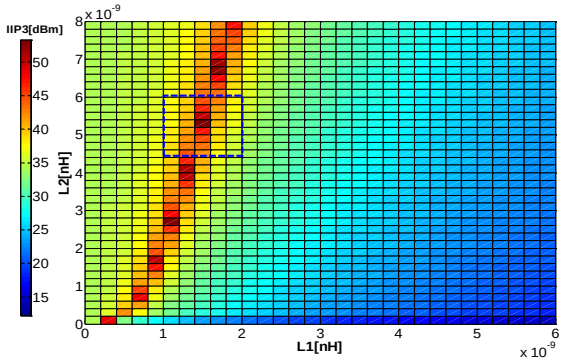
ایده روش DS بهبودیافته بر پایه آن است که L_2 بخشی از سلف تبهگن باشد و برای چرخاندن فاز g_{3A} که در ساخت IM3 شرکت می‌کند؛ مورداستفاده قرار گیرد. البته دقت شود که به‌گونه‌ای باید L_2 تنظیم شود که $g_{3A}v_A^3$ بتواند $g_{2B}v_B^2$ را نیز خنثی کند. این دو روند به‌صورت تصویری در شکل(۱۰) آورده شده است.



شکل(۱۱): شبیه‌سازی IIP3 برحسب سلف‌های سلف L_1 و L_2 در فرکانس 2.4GHz

برای آن‌که IM3=0 شود، باید بخش حقیقی و بخش موهومی ε صفر شود. رابطه فوق را می‌توان به ازای L_2 و L_1 حل نمود. البته باید در انتخاب سایز مناسب و ولتاژ بایاس مناسب برای این روش دقت لازم را داشت. در این مقاله به حل عددی رابطه (۱۲) پرداخته‌شده است و در پایان مقدار بهینه را برای سلف L_1 و L_2 به‌دست می‌آید که در شکل(۱۱) نشان داده‌شده است.

کانتور های شکل(۱۱) در شکل (۱۲) نشان داده‌شده است. منطقه مشخص‌شده در شکل (۱۲) مقدار مطلوب سلف‌ها را نشان می‌دهد؛ مقدار $L_1 \cong 2nH$ و $L_2 \cong 5nH$ انتخاب شد. البته با توجه به شکل می‌توان مقادیر مختلفی برای سلف‌ها در نظر گرفت. ولی باید به نکات دیگری ازجمله تطبیق ورودی، عدد نویز و مساحت اشغال‌شده سطح تراشه توجه نمود.



شکل(۱۲): شبیه‌سازی IIP3 برحسب سلف‌های سلف L_1 و L_2 در فرکانس 2.4GHz

[Downloaded from jiaeee.com on 2026-06-10]

[DOR: 20.1001.1.26765810.1398.16.4.23.4]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter 2018

همان‌طور که از شکل(۱۱) مشاهده می‌شود، در مقادیر خاصی از سلف‌ها مقدار IM3 شاخه کمکی و شاخه اصلی هم دیگر را خنثی می‌کنند و مقدار IIP3 به حداکثر خود می‌رسد.

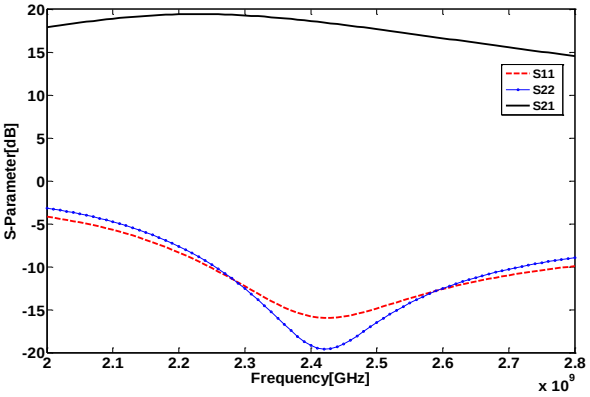
با توجه به توضیحات بخش چهار و نتایج شبیه‌سازی شکل(۶) ، نقطه بایاس بهینه برای حالتی که g_3 کل تقریباً صفر می‌شود را برای مدار پیشنهادی نیز باید مدنظر قرارداد.

۶- نتایج شبیه‌سازی

در این شبیه‌سازی از تکنولوژی TSMC_RF180 nm استفاده‌شده است و تمام عناصر پارازیتیک برای المان‌های مداری در نظر گرفته‌شده است برای مثال ضریب کیفیت سلف‌ها برای این تکنولوژی در حدود ۳ است که در تمام مراحل، شبیه‌سازی‌ها بر اساس مقادیر واقعی تکنولوژی انجام‌شده است و از هیچ المان ایده ال در شبیه‌سازی‌ها استفاده‌نشده است.

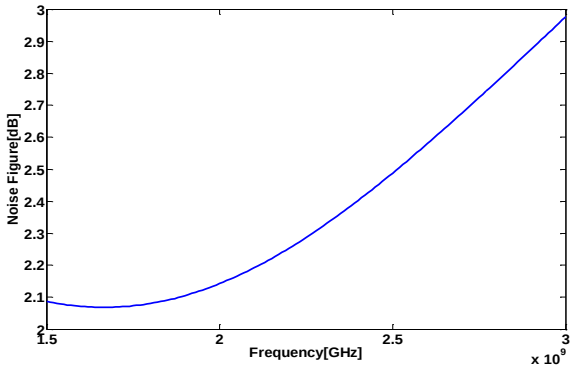
برای بررسی صحت عملکرد مدار پارامترهای پراکندگی بررسی می‌شود که در این بخش ابتدا نسبت بازگشت سیگنال یا S11 بررسی می‌شود. در تمام محدوده پهنای باند موردنظر این مقدار از14dB- کمتر است؛ که نمودار آن در شکل(۱۳) به رنگ قرمز مشخص‌شده است. در شکل(۱۳) بهره (S21) بررسی‌شده است. که مقدار آن در حدود 18dB ثبت‌شده است. یکی از پارامترهای موردتوجه در تقویت‌کننده‌های کم نویز میزان بازگشت سیگنال در پورت خروجی یا S22 است که نتایج شبیه‌سازی آن در شکل به رنگ آبی می‌باشد.

همان‌طور که در بخش طراحی توضیح داده شد، با توجه به ساختار مدار ارائه‌شده چون ورودی را همزمان به گیت هر دو ترانزیستور وصل می‌شود، برای انجام تطبیق در ورودی کمی دچار مشکل خواهیم بود. ولی خوشبختانه در کل پهنای باند به مقادیر بسیار مناسب دست‌یافته می‌شود.



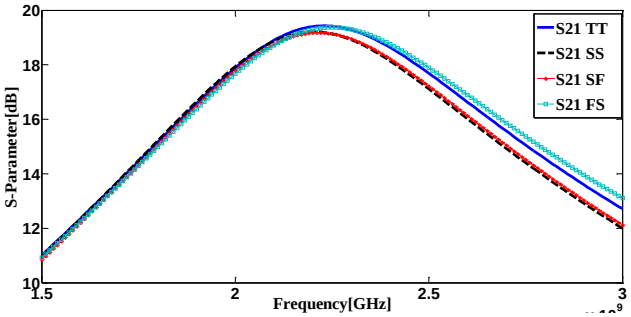
شکل(۱۳): نتایج شبیه‌سازی بهره S21(نمودار مشکی)، نسبت بازگشت سیگنال S11(نمودار آبی) و نسبت بازگشت سیگنال در خروجی S22(نمودار قرمز) –برحسب فرکانس

در نمودار شکل(۱۴) عدد نویز برحسب فرکانس رسم شده است. با توجه به آنکه در تقویت‌کننده‌ی پیشنهادشده ورودی همزمان به هر دو ترانزیستور متصل است می‌تواند عدد نویز بالایی داشته باشد، که با یک مصالحه بین توان مصرفی و عدد نیز می‌توان مقدار بهینه را با توجه به کاربرد انتخاب کرد. لازم به ذکر است توان مصرفی مدار پیشنهادی در حدود ۱۵ میلی وات است.



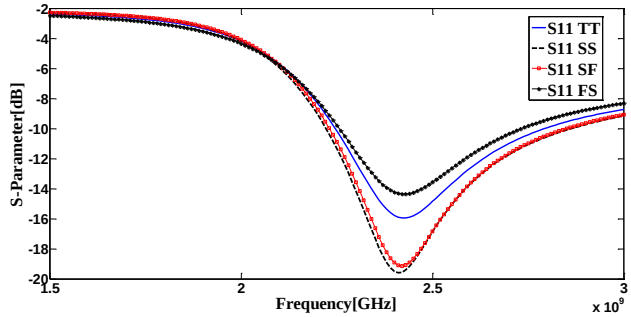
شکل(۱۴): عدد نویز برحسب فرکانس

با توجه به استفاده از تکنولوژی TSMC_RF 180 nm برای اطمینان از صحت عملکرد مدار با توجه به مراحل ساخت و تغییرات پارامترهای مداری ناشی از این مراحل توجه نمود .برای اطمینان از عملکرد مدار شبیه‌سازی در گوشه‌های پروسه اجراشده است که نتایج شبیه‌سازی در گوشه‌های مختلف برای پارامترهای پراکندگی در شکل‌های ۱۵ و ۱۶ آمده است. در شکل ۱۵ پارامتر S21 برحسب فرکانس در گوشه‌های مختلف پروسه نشان داده‌شده است.



شکل(۱۵): عدد نویز برحسب فرکانس

همان‌طور که دیده می‌شود مقدار بهره در بازه مطلوب به پروسه وابستگی چندانی ندارد و نتایج در تمامی گوشه‌ها قابل‌قبول است و مدار به‌خوبی عمل می‌کند.



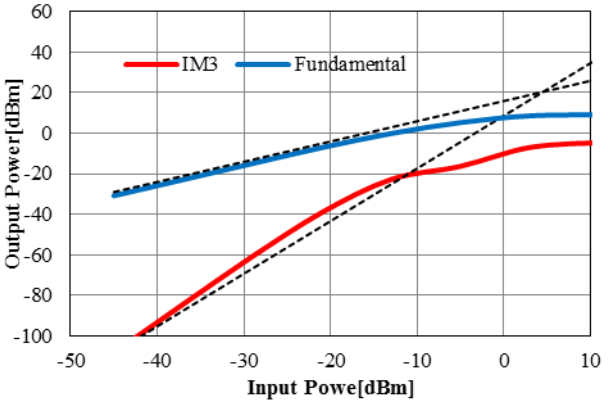
شکل(۱۶): عدد نویز برحسب فرکانس

[Downloaded from jiaeee.com on 2026-06-10]

[DOR: 20.1001.1.26765810.1398.16.4.23.4]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018

در شکل ۱۶ پارامتر S11 برحسب فرکانس در گوشه‌های مختلف پروسه نشان داده‌شده است. همان‌طور که دیده می‌شود مقدار بازگشت سیگنال در بازه مطلوب کمتر از ۱۳dB- است و نتایج در تمامی گوشه‌ها قابل‌قبول است.

یکی از پارامترهای رایج برای نشان دادن خطی بودن مدارهای مختلف، نقطه تلاقی مرتبه سوم و یا به‌اختصار (IIP3) است. همان‌طور که در شکل ۱۷ مشاهده می‌شود برای پیدا کردن IIP3 باید از برون‌یابی استفاده کرد؛ که در اینجا برای مدار پیشنهادی مقدار IIP3 تقریباً 7dBm+ به دست می‌آید.



شکل(۱۷): شبیه‌سازی IIP3 برحسب توان ورودی

۷- نتیجه‌گیری

همان‌طور که اشاره شد اضافه کردن ترانزیستور کمکی می‌تواند تطبیق ورودی را کم کند که به علت اضافه شدن اثر خازنی شبکه ترانزیستور کمکی است، درنتیجه تطبیق ورودی با مشکل روبرو خواهد شد. پس اضافه کردن ترانزیستورهای کمکی بیشتر باوجودآنکه درجه آزادی بیشتری به ما می‌دهد ولی باعث تأثیر روی مقدار عدد نویز و موارد دیگرمی‌شود.

بایاس کردن دو ترانزیستور که در دو ناحیه کاری مختلف کار می‌کنند دارای چالش‌هایی است؛ که برای پیاده‌سازی نیاز به‌دقت بیشتری دارد که در بخش طراحی به آن اشاره شد.

مدار ارائه‌شده در این مقاله قابلیت پیاده‌سازی بر روی انواع تقویت‌کننده‌های کم نویز را خواهد داشت چراکه به‌صورت موازی با تقویت‌کننده اصلی قرار می‌گیرد.

ماهیت این راهکار بالقوه توانایی افزایش عدد نویز را دارد که با یک مصالحه بین توان و عدد نویز می‌توان انتخاب مناسبی داشت. در جدول (۱)مقایسه بین مدار پیشنهادی و مدارهای مراجع دیگر آمده است. در این مقایسه سعی شده است که از نتایج شبیه‌سازی مقالات استفاده شود.

در این گزارش با استفاده از روش DS و مقایسه‌ی آن با روش‌های دیگر ازجمله فیدبک به بیان معایب و برتری‌های آن پرداخته شد و با کسکود کردن تقویت‌کننده‌ی اصلی از مزایای این ساختار استفاده‌شده است و البته با اضافه کردن یک طبقه دیگر به خروجی می‌توان به مقدار بهره بالایی دست‌یافت که می‌توان با توجه به کاربرد آن را اضافه یا حذف کرد و به بهره‌ای در حدود ۱۴ دسی‌بل دست‌یافت. بهبود IIP3 در برابر تغییرات کم عدد نویز و بهره از مزایای این روش نسبت به سایر روش‌ها است.

بر اساس مقاله [۱۱] از یک معیار شایستگی عمومی استفاده می‌شود، که رابطه آن به‌صورت زیر است:

$$FOM = 10\log\left(\frac{Freq_{(GHz)}.Gain_{(Mag)}}{(F-1)_{(Mag)}.P_{DC(mW)}}.IIP3_{mW}\right) \qquad (۱۳)$$

و به‌طور واضح این معیار تابعی از فرکانس کاری، گین، مقدار خطسانی و نویز و توان مصرفی مدار است. که نتایج مربوط به محاسبات در جدول (۱) آمده است. مقاله [۱۲]درحالی‌که به خطسانی بالاتری دست‌یافته است اما مقدار بهره آن کم است و در [۱۳] درحالی‌که توان مصرفی بسیار کم است، عدد نویز بزرگ و بهره کمی را شاهد هستیم که با توجه به کاربرد باید با یک مصالحه بین توان مصرفی، عدد نویز و خطسانی مقدار بهینه را یافت. در این طراحی با در نظر گرفتن ملاحظات عملی و پیاده‌سازی سلف‌های درون تراشه با حل معادلات حاکم برمدار پیشنهادشده با انتخاب آگاهانه و مناسب مقادیر سلف‌ها را انتخاب نمودیم که سبب کاهش مقادیر سلف‌ها برای مدار تطبیق در ورودی و خروجی شد و نیاز مدار به سلف‌های بزرگ و خارج از تراشه برای تطبیق ورودی و خروجی مرتفع گردید. در مدار پیشنهادی ابعاد بزرگ‌ترین سلف در حدود ۳۷۰ میکرومتر است که البته استفاده از این روش یک ایده برای پیاده‌سازی بر روی تراشه است و دیگر نیاز به استفاده از مدارها جانبی برای تطبیق یا فیلتر کردن سیگنال ورودی نیست .

جدول(۱): مقایسه و خلاصه مقادیر شبیه‌سازی

Work	Tech µm	Freq GHz	S21 dB	NF dB	Pdc mW	IIP3 dBm	FOM
This work	0.18	2.5	18	2.43	15	+7.5	9.015
With outline	0.18	2.5	12.8	2.12	10	-5	-2.53
[۱۲]	0.18	3	10	1.9	12	8.9	9.593
[۱۴]	0.18	1.2	>20	3.1	38.4	3	-2.22
[۱۵]	0.18	0.9	22	5.3	19.6	-10	-16.1
[۱۳]	0.18	5	9.2	4.5	1	-16	-7.00
[۱۶]	0.09	2.4	22.1	2.5	12.9	-10.8	-5.96

مراجع

[1] B. Razavi, "Cognitive Radio Design Challenges and Techniques," IEEE J. Solid-State Circuits, vol. 45, no. 8, pp. 1542–1553, Aug. 2010.

[Downloaded from jiaeee.com on 2026-06-10]

[DOR: 20.1001.1.26765810.1398.16.4.23.4]

[2] A. F. Khavari, K. Mafinezhad, and M. M. Nejad, "A Broadband Low Power CMOS LNA for 3. 1 – 10. 6 GHz UWB," Iran. Assoc. Electr. Electron. Eng., vol. 14, no. 4, pp. 1–13, 2018.

[۳] سجاد علیزاده، حسین خالقی بیزکی و مجید اخوت،"بهبود کارآیی سیستم UWB مبتنی بر TiR در شرایط تخمینگر غیر اید آل کانال " مجله انجمن مهندسی برق و الکترونیک ایران، سال یازدهم شماره اول،۱۳۹۳.

[4] T. W. Kim, "A Common-Gate Amplifier With Transconductance Nonlinearity Cancellation and Its High-Frequency Analysis Using the Volterra Series," IEEE Trans. Microw. Theory Tech., vol. 57, no. 6, pp. 1461–1469, Jun. 2009.

[5] V. Aparin and L. E. Larson, "Modified derivative superposition method for linearizing FET low-noise amplifiers," IEEE Trans. Microw. Theory Tech., vol. 53, no. 2, pp. 571–581, Feb. 2005.

[6] H. Shin, J. Kim, and N. Kim, "Source Degenerated Derivative Superposition Method for Linearizing RF FET Differential Amplifiers," IEEE Trans. Microw. Theory Tech., vol. 63, no. 3, pp. 1–10, Mar. 2015.

[7] Y. M. Kim, H. Han, and T. W. Kim, "A 0.6-V +4 dBm IIP3 LC folded cascode CMOS LNA with gm linearization," IEEE Trans. Circuits Syst. II Express Briefs, vol. 60, no. 3, pp. 122–126, 2013.

[8] B. Razavi, RF Microelectronics (Prentice Hall Communications Engineering and Emerging Technologies Series). Prentice Hall Press, 2011.

[9] Y.-S. Lin, C.-C. Wang, G. Lee, and C.-C. Chen, "High-Performance Wideband Low-Noise Ampli fier Using Enhanced pi -Match Input Network," IEEE Microw. Wirel. Components Lett., vol. 24, no. 3, pp. 200–202, Mar. 2014.

[10] G. Drive, L. Jolla, V. Aparin, G. Brown, and L. E. Larson, "Linearization of CMOS LNA's via optimum gate biasing," in Circuits and Systems, 2004. ISCAS'04. Proceedings of the 2004 International Symposium on, 2004, vol. 4, p. IV-748.

[11] S. Joo, T.-Y. Choi, and B. Jung, "A 2.4GHz Resistive Feedback LNA in 0.13um CMOS," IEEE J. Solid-State Circuits, vol. 44, no. 11, pp. 3019–3029, Nov. 2009.

[12] K. Liang, C. Ho, M. Hsieh, and Y. Chan, "Using auxiliary amplifier to cancel third-order intermodulation distortion for a 1.9 GHz CMOS linear amplifier design," RFIC) Symp. 2005. Dig. Pap. 2005 IEEE Radio Freq. Integr. Circuits, pp. 237–240.

[13] H.-H. Hsieh and L.-H. Lu, "Design of Ultra-Low-Voltage RF Frontends With Complementary Current-Reused Architectures," IEEE Trans. Microw. Theory Tech., vol. 55, no. 7, pp. 1445–1458, Jul. 2007.

[14] D. Im, I. Nam, H.-T. Kim, and K. Lee, "A Wideband CMOS Low Noise Amplifier Employing Noise and IM2 Distortion Cancellation for a Digital TV Tuner," IEEE J. Solid-State Circuits, vol. 44, no. 3, pp. 686–698, Mar. 2009.

[15] X. Fan, H. Zhang, and E. SÁnchez-Sinencio, "A Noise Reduction and Linearity Improvement Technique for a Differential Cascode LNA," IEEE J. Solid-State Circuits, vol. 43, no. 3, pp. 588–599, Mar. 2008.

[16] C.-P. Chang, J.-A. Hou, J. Su, C.-W. Chen, T.-S. Liou, S.-C. Wong, and Y.-H. Wang, "A High Gain and Low Supply Voltage LNA for the Direct Conversion Application With 4-KV HBM ESD Protection in 90-nm RF CMOS," IEEE Microw. Wirel. Components Lett., vol. 16, no. 11, pp. 612–614, Nov. 2006.

[Downloaded from jiaeee.com on 2026-06-10]

[DOR: 20.1001.1.26765810.1398.16.4.23.4]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.16- No.4- Winter2018