طراحی و تحلیل یک ترانزیستور اثرمیدانی تونلی بدون پیوند دو گیتی با ساختار گیت چند ماده ای

نگار بشیری[۱] سیدرضا حسینی[۲]

۱- دانش آموخته کارشناسی ارشد، گروه مهندسی برق، واحد خوی، دانشگاه آزاد اسلامی، خوی، ایران

negar.bashiri70@yahoo.com

۲- استادیار، گروه مهندسی برق، واحد خوی، دانشگاه آزاد اسلامی، خوی، ایران

hosseini@iaukhoy.ac.ir

چکیده: در این مقاله، یک ترانزیستور اثرمیدانی دو گیتی تونلی بدون پیوند با ساختار گیت چند ماده ای (Multi Material DG JL TFET) ارائه شده و عملکرد آن براساس سطوح نوارهای انرژی مورد بررسی قرار گرفته است. تمام شبیه سازی‌ها توسط نرم افزار سیلواکو انجام گرفته است. تأثیر مینیمم محلی نوار هدایت در شدت انتقال بین حالت های روشن و خاموش نشان داده شده است. از نتایج بدست آمده مشخص شد با انتخاب مقدار مناسب تابع کار برای فلزات گیت ساختار ارائه شده، می توان به جریان حالت خاموش پایین، شیب زیر آستانه پایین، جریان حالت روشن بالا و نسبت جریان حالت روشن به جریان حالت خاموش بهبود یافته ای دست یافت. همچنین در این مقاله مشخصه های الکتریکی ساختار دو گیتی با گیت چند ماده ای با مشخصه های ساختار گیت یک ماده ای و دو ماده ای مقایسه گردید. ساختار پیشنهادی ولتاژ آستانه کمتر، جریان حالت روشن بالاتر و نسبت جریان حالت روشن به جریان حالت خاموش بالاتری در مقایسه با سایر ساختارها نشان داد. در نهایت، با مقایسه پاسخ فرکانسی ساختارهای ارائه شده مشخص گردید ساختار با گیت چند ماده ای دارای ترارسانایی و فرکانس قطع بالایی است.

واژه‌های کلیدی: ترانزیستور اثرمیدانی تونلی بدون پیوند، تونل‌زنی نوار به نوار، تابع کار، گیت چند ماده‌ای، جریان حالت خاموش، جریان حالت روشن

نوع مقاله: پژوهشی

DOI: 10.29252/jiaeee.18.4.77

تاریخ ارسال مقاله: ۱۳۹۷/۰۸/۰۷

تاریخ پذیرش مشروط مقاله: ۱۳۹۸/۰۱/۲۴

تاریخ پذیرش مقاله: ۱۳۹۸/۰۲/۲۳

نام نویسنده‌ی مسئول: دکتر سید رضا حسینی

نشانی نویسنده‌ی مسئول: ایران – خوی – کیلومتر ۴ جاده خوی سلماس- دانشگاه آزاد اسلامی واحد خوی - دانشکده فنی و مهندسی- گروه مهندسی برق

۱- مقدمه

با کاهش ابعاد ترانزیستورهای فلز اکسید نیمه هادی[۱] چالش‌های بسیاری در ساخت آن‌ها مخصوصا ایجاد پیوندهای تیز سورس / درین با کانال بوجود می‌آید؛ که از یک ناحیه درین یا سورس با ناخالصی شدید نوع n (نوع p) به یک ناحیه ذاتی یا ناحیه با تزریق ناخالصی کم نوع p (نوع n) تغییر می یابد[۳-۱]. برای حل این مشکل ساختار بدون پیوند[۲] که ناخالصی نواحی سورس- کانال – درین در آن یکسان می‌باشد، پیشنهاد گردید[۵-۴]. از طرفی دیگر، کنترل الکتروستاتیکی ضعیف در ترانزیستورهای فلز اکسید نیمه هادی مرسوم در کنار کاهش ابعاد ساختار، باعث افزایش اثرات کانال کوتاه[۳] در افزاره می‌گردد. بنابراین نیاز به ساختارهای جدیدی که کنترل بیشتری روی کانال دارند، برای غلبه بر این اثرات نامطلوب بیشتر احساس می شود. برای کم کردن اثرات کانال کوتاه، ساختارهای دو یا چندگیتی که در آنها کنترل گیت روی کانال به طور قابل توجهی افزایش می‌یابد، ارائه شد[۱۰-۶]. همچنین بیش از چند دهه گذشته، ترانزیستورهایی برای دست یابی به شیب زیرآستانه پایین تر از 60mv/decade در دمای اتاق، بدلیل مصرف توان پایین پیشنهاد شده است. بیشترین مورد گزارش شده در میان ترانزیستورهای ارائه شده، ترانزیستور اثرمیدانی تونلی[۴]، است [۱۳-۱۱] که به دلیل مکانیزم انتقال متفاوت آن از اثرات کانال کوتاه آسیب نمی‌بیند[۱۴]. اگر چه ترانزیستور تونلی متداول، شیب زیرآستانه بهتری نسبت به افزاره حالت وارونه[۵] دارد، اما این ترانزیستور دارای جریان حالت - روشن[۶] پایین است و همانطور که در بالا اشاره شد ساخت آن در ابعاد نانو برای هردو افزاره چالش برانگیز است. یک روش احتمالی برای برطرف کردن مشکل جریان حالت - روشن پایین استفاده از نیمه‌هادی با شکاف انرژی پایین و قابلیت حرکت بالای حامل‌ها مانند ژرمانیوم، سیلیکون ژرمانیم، مواد ستون III-V [۱۶-۱۵] و یا به کار گیری روشهای جدید برای افزایش قابلیت حرکت حامل‌ها مانند استفاده از پیوندهای ناهمگون[۷] و یا سیلیکون تحت کرنش[۸] برای کانال است[۱۹-۱۷]. با این وجود، ساخت سیلیکون تحت کرنش و SiGe با فرآیند CMOS استاندارد سازگار نیست و نیز به دلیل شکاف انرژی باریک حالت خاموش، نرخ تونل زنی نوار به نوار[۹] افزایش یافته و در نتیجه نسبت جریان حالت روشن به جریان حالت خاموش[۱۰] کوچکتری ارائه می‌کند. همچنین در استفاده از مواد ستون III-V، انتخاب اکسید مناسب برای افزاره نیمه‌هادی به دلیل عدم تطابق شبکه چالش برانگیز است. زمانی که ماده با ضریب دی الکتریک بالا مستقیما در ارتباط با ماده نیمه‌هادی III-V قرار می گیرد، این کار منجر به بوجود آمدن نقص‌های کریستالی در سطح اکسید یا نیمه-هادی می شود. استفاده از گیت های دو یا چند ماده‌ای در ترانزیستور تونلی متداول، شرایط را برای بهینه سازی هم زمان جریان حالت روشن، جریان حالت خاموش و ولتاژ آستانه فراهم می‌کند. همچنین مشخصه‌های خروجی را بهبود بخشیده و اثر DIBL[۱۱] را بدون تأثیرپذیری از چگالی تراشه در مقایسه با ترانزیستور تونلی متداول کاهش می‌دهد[۲۱-۲۰] .

برای بهره بردن از مزایای همزمان ترانزیستورهای تونلی و ساختارهای بدون پیوند، ترانزیستور تونلی بدون پیوند[۱۲] ارائه گردید[۲۲]،[۱۹]. این ساختار، یک ترانزیستور بدون پیوند با ناخالصی یکنواخت است، که از رویکرد مهندسی تابع کار استفاده می‌کند تا بدون هرگونه پیوند متالوژیکی، مشابه ترانزیستور تونلی متداول رفتار کند. به دلیل عدم وجود شیب‌های ناخالصی شدید، ترانزیستور تونلی بدون پیوند دارای مقیاس‌پذیری بهتر و تأثیرات کانال کوتاه کمتری است. جریان درین در این افزاره‌ها بر اساس تونل زنی الکترون‌ها از سورس به کانال است. در این حالت افزاره دارای گیتی است که سمت سورس را پوشش می‌دهد. این گیت با تابع کار خود سبب تغییر رفتار ناحیه زیرین خود از نیمه-هادی n به نیمه‌هادی p می‌شود. همچنین تابع کار برای گیت‌هایی که کانال را پوشش می‌دهند، باید به گونه ای انتخاب شوند که با تغییر مکان نوار انرژی، امکان تونل زنی حامل‌ها از سورس به کانال را فراهم کنند[۲۳-۲۱].

در این مقاله، یک ساختار دو گیتی با گیت چند ماده‌ای[۱۳]، برای ترانزیستور تونلی بدون پیوند پیشنهاد می‌شود که تأثیر توابع کار گیت در مشخصه‌های الکتریکی آن مورد بررسی قرار می‌گیرد.

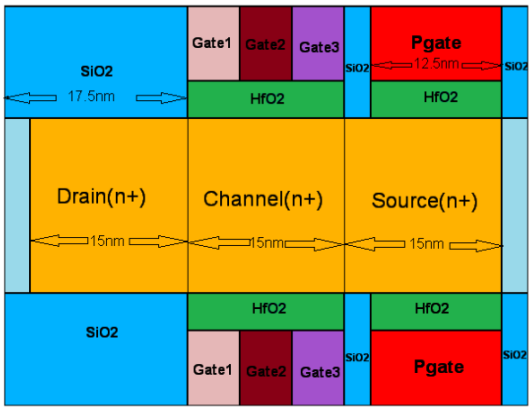
۲- ساختار افزاره و نتایج شبیه سازی:

تمام شبیه‌سازی‌ها با استفاده از نرم افزار سیلواکو در محیط اطلس انجام می‌گیرد[۲۴]; که از یک مدل نوار به نوار غیر محلی[۱۴] برای جریان ایجاد شده ناشی از تونل زنی الکترون از سورس به کانال استفاده می‌کند. ما اثر تابع فرمی دیراک[۱۵] را در محاسبه غلظت حامل‌های ذاتی در مدل[۱۶] SRH لحاظ کرده‌ایم. همچنین باریک شدگی به دلیل غلظت ناخالصی بالا و مدل‌های بازترکیب Auger در این شبیه‌سازی لحاظ شده اند. به دلیل وجود ناخالصی بالا در کانال و همچنین با توجه به تأثیر تله واسط، مدل SRH نیز در نظر گرفته شده است.[۲۶-۲۵] تأثیر تله واسط در تونل‌زنی نوار به نوار با فعال کردن مدل(TAT) trap assisted tunneling ارائه شده توسط Schenk لحاظ شده است [۲۷].

ساختار ترانزیستور تونلی دو گیتی با گیت چند ماده ای پیشنهادی در شکل۱ نشان داده شده است.

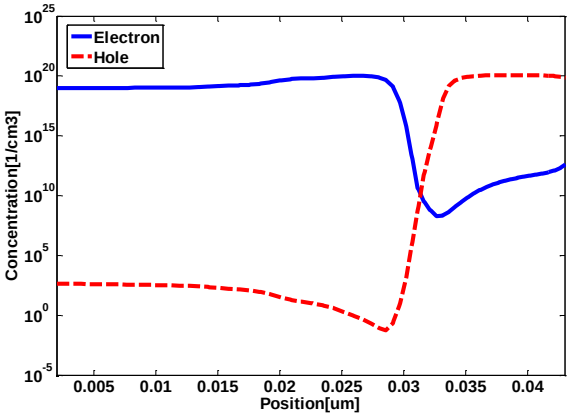
در این شکل طول کلی گیت ($L_g = L_{Gate1} + L_{Gate2} + L_{Gate3}$) به سه بخش در طول مسیر کانال تقسیم می‌شود که گیت۱ به درین و گیت۳ به سورس نزدیک‌تر است. در ساختار ارائه شده، $L_{Gate1} = L_{Gate2} = L_{Gate3} = 5nm$، تزریق ناخالصی درین، کانال و سورس $10^{19}\ cm^{-3}$ نوع n و پهنای آن در کل ساختار ۷ نانومتر، جنس لایه اکسید HfO_2 و ضخامت آن ۱/۵ نانومتر، تابع کار گیت یک ۴/۲ (آلومینیوم)، تابع کار گیت دو ۴ (نیوبیوم)، تابع کار گیت سه

از ۳/۶ تا ۴/۲ الکترون ولت متغیر و تابع کار گیت- P ۵/۱ الکترون ولت (طلا) می‌باشد.



شکل (۱): ساختار ترانزیستور تونلی دو گیتی با گیت چند ماده ای پیشنهادی با طول گیت 15nm، طول گیت۱ و طول گیت۲ و طول گیت۳ به ترتیب 5nm ,5nm,5nm

شکل (۲) چگالی الکترون‌ها و حفره‌ها را در ساختار ارائه شده، نشان می‌دهد. از شکل (۲) مشخص است که ناحیه درین افزاره، n^+ و ناحیه سورس افزاره، p^+ می‌باشد. تبدیل ناحیه سورس به p^+ علی رغم تزریق ناخالصی نوع n در ساختار بدون پیوند شکل(۱)، ناشی از اختلاف تابع کار بین گیت-P و سیلیکان می‌باشد. رفتار افزاره ارائه شده به دلیل وجود گیت-P، مشابه رفتار ترانزیستورهای تونلی مرسوم می‌باشد.

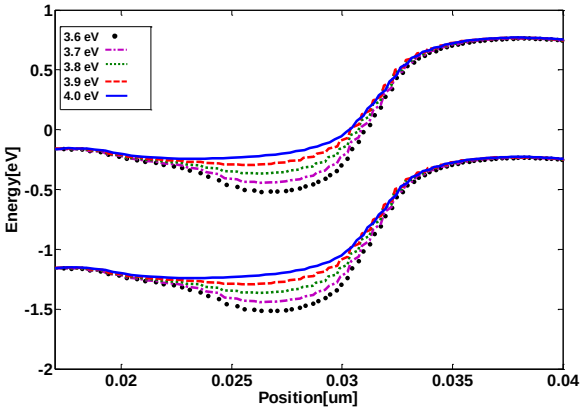


شکل(۲): چگالی الکترون‌ها و حفره‌ها در راستای طول افزاره

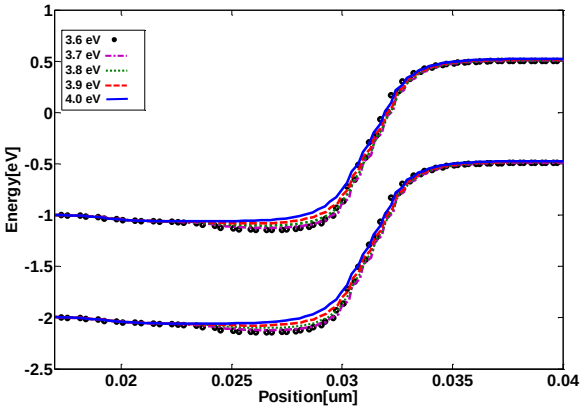
شکل(۳)(الف) و (ب)، تأثیر تغییر تابع کار گیت ۳ را (از ۳/۶ به ۴/۳ الکترون ولت) بر پهنای سد تونل زنی حالت خاموش و حالت روشن نشان می‌دهد. همانطور که مشاهده می‌شود در حالت خاموش (شکل(۳)(الف)) هیچ همپوشانی قابل توجهی در ناحیه نزدیک به سورس به دلیل مینیمم نوار هدایت اتفاق نمی افتد. از این رو در حالت خاموش مقدار نوار به نوار پایینی بدست می‌آید که جریان حالت خاموش پایینی را ارائه می‌کند.

در حالت روشن، شکل(۳)(ب)، پهنای سد پتانسیل به دلیل مینیمم نوار هدایت، بطور قابل توجهی کاهش می‌یابد و با توجه به اینکه پهنای سد پتانسیل باریک می‌شود الکترون‌ها بدون عبور از سد پتانسیل می‌توانند از آن تونل بزنند، از این رو احتمال تونل‌زنی افزایش یافته و منجر به افزایش قابل توجهی در جریان حالت روشن می‌شود.

شکل(۴) مشخصه جریان درین بر حسب ولتاژ گیت را با تغییر تابع کار گیت۳ از ۳/۶ به ۴/۲ الکترون ولت با حفظ مقدار ثابت گیت۱و۲ به ترتیب در ۴/۲ و ۴/۰ الکترون ولت نشان می‌دهد. با توجه به شکل(۴) به ازای تابع کارهای مختلف، با افزایش ولتاژ گیت، جریان درین افزایش می یابد. به عبارتی می‌توان گفت زمانی که ولتاژ گیت به سورس شروع به افزایش می‌کند، سد پتانسیل گیت۲ به اندازه کافی باریک شده، از این رو الکترون می تواند به راحتی به حداقل نوار هدایت تونل بزند که سبب افزایش جریان حالت روشن می‌شود.

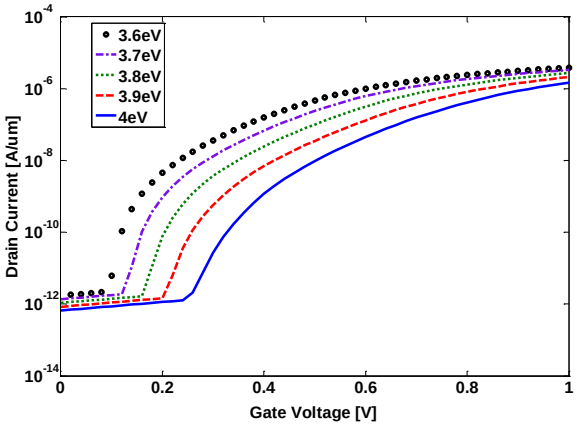


شکل(۳)(الف): نوارهای انرژی حالت خاموش (V_{DS}=1V, V_{GS}=0V) در راستای طول افزاره

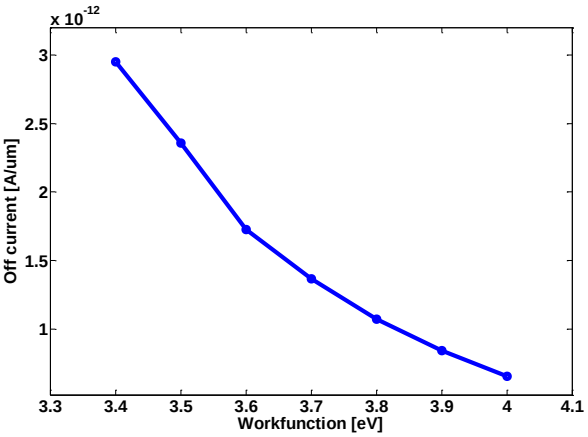


شکل(۳)(ب): نوارهای انرژی حالت روشن(V_{DS}=1V, V_{GS}=1V) در راستای طول افزاره

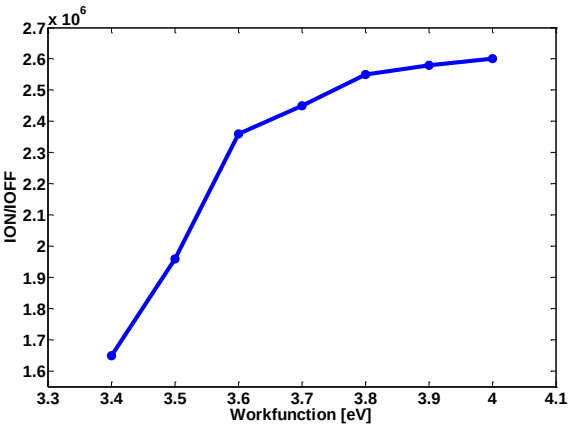
شکل(۵)(الف) و شکل(۵)(ب) جریان حالت خاموش و نسبت جریان روشن به جریان خاموش را نشان می‌دهد. جریان حالت خاموش، مقدار جریان درین در ولتاژ گیت سورس صفر و ولتاژ درین سورس یک است(V_{DS}=1V, V_{GS}=0V). همچنین جریان حالت روشن، مقدار جریان درین در ولتاژ گیت سورس و گیت درین یک ولت می‌باشد



شکل(۴): جریان درین بر حسب ولتاژ گیت به ازای مقادیر مختلف تابع کار گیت ۳ در V_{DS}=1V

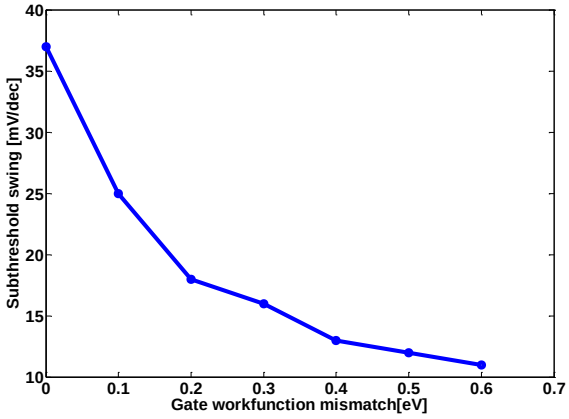


شکل(۵)(الف): جریان حالت خاموش (I_{OFF}) بر حسب تابع کار گیت ۳



شکل(۵)(ب): نسبت جریان حالت- روشن به جریان حالت- خاموش (I_{on}/I_{off}) بر حسب تابع کار گیت ۳

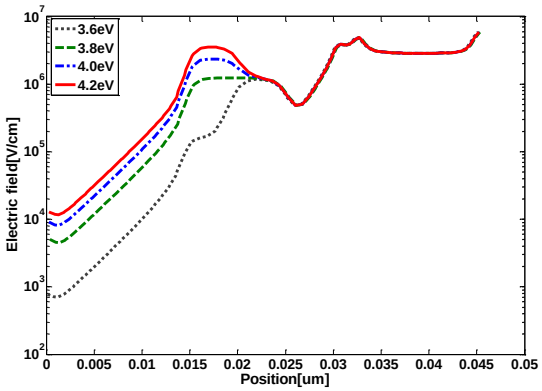
(V_{DS}=1V, V_{GS}=1V). زمانی که تابع کار گیت۳ به مقدار کمتر از ۳,۶ کاهش می‌دهیم؛ از شکل(۵)(الف) واضح است که احتمال تونل زنی حالت خاموش نزدیک به انتهای سورس افزایش می‌یابد و این مساله باعث افزایش قابل توجه جریان حالت خاموش می‌گردد. بدلیل افزایش جریان حالت خاموش ناشی از افزایش احتمال تونل‌زنی نوار به نوار، نسبت جریان حالت روشن به حالت خاموش برای تابع کار کمتر از ۳/۶ به میزان قابل ملاحظه ای کاهش می‌یابد. بنابراین استفاده از گیت با تابع کار کمتر از ۳/۶ الکترون ولت منطقی نیست.



شکل(۶): شیب زیر آستانه بر حسب اختلاف توابع کار گیت ۲ و گیت ۳ (تابع کار گیت ۲ در مقدار ۴ الکترون ولت ثابت بوده و تابع کار گیت ۳ تا مقدار ۳/۴ الکترون ولت کاهش می‌یابد)

برای بررسی اثر اختلاف تابع کار بر عملکرد افزاره با گیت چند ماده‌ای، تابع کار گیت ۱ و گیت ۲ به ترتیب ۴/۲ و ۴ الکترون ولت ثابت نگه داشته شده و تابع کار گیت ۳ از ۴ تا ۳/۴ الکترون ولت کاهش می‌یابد. همانطور که در شکل ۶ نشان داده است، با افزایش اختلاف تابع کار گیت ۲ و گیت ۳ از ۰ تا ۰/۶ الکترون ولت، مینیمم نوار هدایت نقش اصلی را ایفا می‌کند که منجر به جریان حالت روشن بالا و شیب زیر آستانه پایین می‌شود. این نتایج به همراه نتایج قبلی بیانگر این واقعیت است با انتخاب مقدار بهینه تابع کار، می‌توان به جریان حالت روشن، جریان حالت خاموش و شیب زیر آستانه مناسبی دست یافت.

در این قسمت اثر الکترون داغ مورد بررسی قرار می‌گیرد. برای رسیدن به این هدف، تابع کار گیت ۲ و گیت ۳ ثابت نگه داشته شده و تابع کار گیت ۱ از ۳/۶ تا ۴/۲ تغییر می‌کند. همانطور که از شکل ۷ واضح است با کاهش تابع کار گیت نزدیک به درین (گیت۱)، میدان الکتریکی در مجاورت درین کاهش یافته و اثر الکترون داغ کم شده، در نتیجه جریان نشتی کاهش می‌یابد.



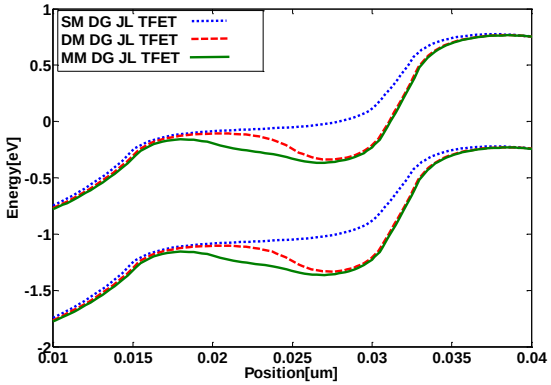
شکل(۷): میدان الکتریکی در راستای طول افزاره در V_{DS}=1V به ازای V_{GS}=1V ، φ_{m1}=4.2 eV و φ_{m2}=4.0 eV و تابع کار گیت ۳ که از مقدار ۳/۶ تا ۴/۲ الکترون ولت تغییر می کند

در ادامه این مقاله، مشخصه‌های الکتریکی ساختار ارائه شده با گیت چند ماده‌ای و توابع کار بهینه، مورد تحلیل و بررسی قرار گرفته و با مشخصه‌های ساختار گیت دو ماده ای[۱۷] و یک ماده‌ای[۱۸] مقایسه می‌گردد.

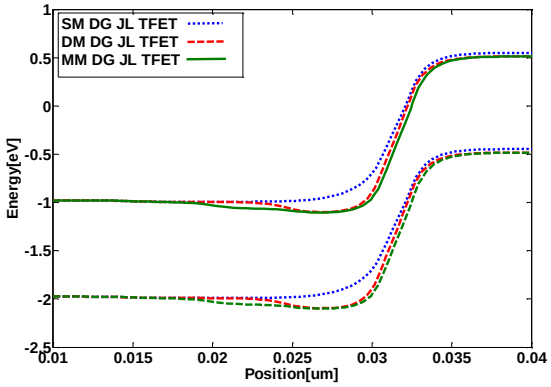
جدول(۱): توابع کار و مواد به کار رفته در ساختارهای با گیت یک ماده ای، دو ماده ای و چند ماده ای

ساختار	تابع کار گیت۱	تابع کار گیت۲	تابع کار گیت۳	تابع کار گیت-P
SM DG JL TFET	۴/۲(Al)	۴/۲(Al)	۴/۲(Al)	۵/۱(Au)
DM DG JL TFET	۴/۲(Al)	۴/۲(Al)	۳/۸(Ti)	۵/۱(Au)
MM DG JL TFET	۴/۲(Al)	۴(Nb)	۳/۸(Ti)	۵/۱(Au)

توابع کار و مواد به کار رفته در ساختار ارائه شده و ساختارهای با گیت دو ماده‌ای و یک ماده‌ای در جدول شماره ۱ ذکر شده‌اند. بقیه مشخصات همانند ساختار شکل ۱ می‌باشد.



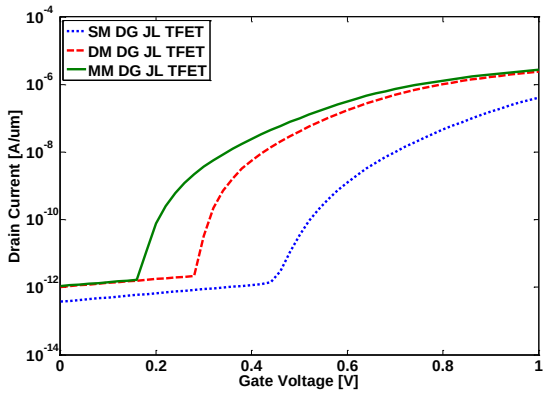
شکل(۸)(الف): نوارهای انرژی حالت خاموش هر سه ساختار در راستای طول افزاره



شکل(۸)(ب): نوارهای انرژی حالت روشن هر سه ساختار در راستای طول افزاره

شکل(۸)(الف) و (ب) نمودارهای نوارهای انرژی حالت خاموش و حالت روشن ساختار ارائه شده و ساختار با گیت دو ماده ای و یک ماده ای را در راستای طول افزاره نشان می‌دهد. همانطور که در شکل ۸ مشخص است؛ با مقایسه نمودار نوارهای انرژی حالت خاموش ساختار ارائه شده با سایر ساختارها می‌توان گفت که تفاوت تابع کار بین سه گیت، سبب ایجاد مینیمم محلی در نوارهدایت می‌شود که دلیلی برای بهبود جریان حالت روشن بحساب می آید. همچنین با توجه به اینکه تابع کارهای گیت ۱و۲ بالاتر از تابع کار گیت ۳ است، سبب افزایش ارتفاع نوار هدایت می‌شود. بنابراین مقدار تونل زنی نوار به نوار در حالت خاموش کاهش می یابد و نسبت جریان حالت روشن به جریان حالت خاموش (I_{on}/I_{off}) بهبود یافته‌ای ارائه می‌شود. زمانی که ولتاژ گیت سورس افزایش می‌یابد، پهنای سد پتانسیل گیت۳ باریک می‌شود، لذا الکترون‌ها بدون عبور از سد پتانسیل می‌توانند از نوار ظرفیت به نوار هدایت تونل بزنند که سبب افزایش جریان حالت- روشن می‌شود.

همانطور که در شکل ۹، نشان داده شده است ساختار ارائه شده در این مقاله در مقایسه با سایر ساختارها ولتاژ آستانه کم و جریان حالت روشن بالاتری دارد.



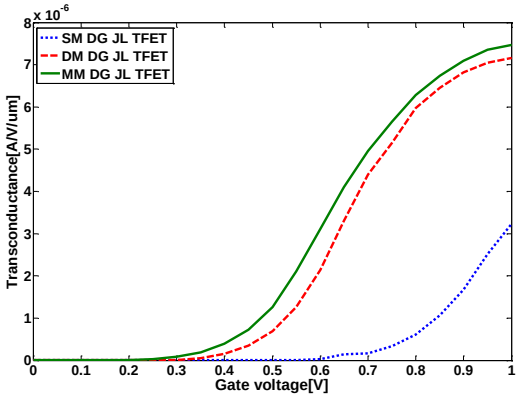
شکل(۹): جریان درین بر حسب ولتاژ گیت برای هر سه ساختار ارائه شده در V_{DS}=1V

با توجه به روند متغیر شیب زیر آستانه در ترانزیستورهای تونلی، روش جریان ثابت برای بدست آوردن ولتاژ آستانه این نوع افزاره‌ها استفاده شده است. ولتاژگیت متناظر با جریان درین $۱۰^{-۱۰}$[A/um] را ولتاژ آستانه در نظر می‌گیریم. مقادیر ولتاژ آستانه، جریان حالت روشن، جریان حالت خاموش، نسبت جریان روشن به جریان خاموش، شیب زیر آستانه و اثر DIBL در جدول (۲) برای هر سه ساختار، ارائه شده است. همانطور که در جدول (۲) مشخص است ولتاژ آستانه ساختار چند ماده‌ای از سایر ساختارها پایین‌تر است. با بررسی جدول ۲ می‌توان مشاهده کرد ساختار چند ماده‌ای جریان حالت روشن بالاتر و نسبت جریان روشن به جریان خاموش بالاتری دارد. همچنین ساختار با گیت چند ماده‌ای دارای شیب زیر آستانه کوچکتر و اثر DIBL کمتری است.

جدول(۲): نتایج بدست آمده از شبیه‌سازی ساختارهای یک ماده‌ای، دو ماده ای و چند ماده ای

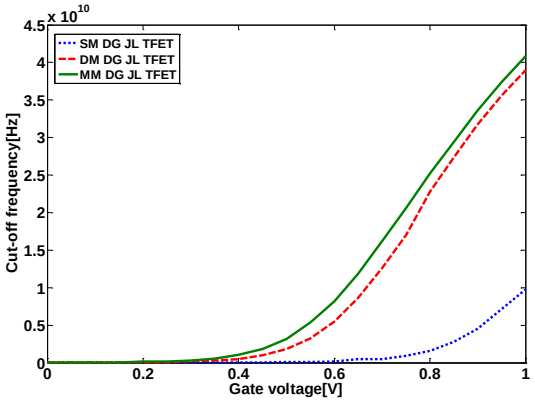
ساختار	SM DG JL TFET	DM DG JL TFET	MM DG JL TFET
V_{TH} [V]	۰/۵۱	۰/۳۱	۰/۲۲
I_{on} [A/um]	$۴/۱\times۱۰^{-۷}$	$۲/۲\times۱۰^{-۶}$	$۲/۸\times۱۰^{-۶}$
I_{off} [A/um]	$۳/۷\times۱۰^{-۱۳}$	$۹/۲\times۱۰^{-۱۳}$	$۱/۱\times۱۰^{-۱۲}$
I_{on}/I_{off}	$۱/۱\times۱۰^{۶}$	$۲/۳\times۱۰^{۶}$	$۲/۵\times۱۰^{۶}$
Subthreshold Swing[V/dec]	۰/۰۴۴	۰/۰۲۵	۰/۰۲۱
DIBL	۰/۱۸	۰/۱۷	۰/۱۵

در این بخش هدایت انتقالی و فرکانس قطع برای ساختارهای ارائه شده، مورد بررسی قرار می‌گیرد. هدایت انتقالی از شاخص‌های کلیدی در ارزیابی کارایی افزاره در کاربرد آنالوگ است. هدایت انتقالی از رابطه ی $g_m=\partial I_{DS}/\partial V_{GS}$ محاسبه می‌شود. شکل ۱۰ منحنی هدایت انتقالی بر حسب ولتاژ گیت را در $V_{DS}=1V$ نشان می‌دهد. افزاره با گیت چند ماده ای، دارای ترارسانایی بزرگتری نسبت به دیگر ساختارها است. این رفتار با توجه به شکل ۹ به دلیل جریان درین بالای ناشی از کاهش پهنای سد تونل زنی قابل توجیه است.



شکل(۱۰): ترارسانایی بر حسب ولتاژ گیت برای هر سه ساختار ارائه شده در $V_{DS}=1V$

یکی دیگر از معیارهای مهم ارزیابی کارایی آنالوگ یک افزاره، فرکانس قطع می‌باشد؛ که توسط رابطه $f_T=g_m/2\pi C_g$ محاسبه می‌شود. g_m ترارسانایی و C_g خازن کل گیت می‌باشد. خازن گیت توسط تحلیل ac در فرکانس ۱ مگاهرتز استخراج شد و در محاسبه فرکانس قطع استفاده گردید. شکل ۱۱ نشان دهنده فرکانس قطع برای هر سه ساختار است. همانطور که در شکل ۱۱ نشان داده شده است، افزاره با گیت چند ماده‌ای در تمامی محدوده ولتاژ گیت، دارای فرکانس قطع بالاتری است.



شکل(۱۱): فرکانس قطع بر حسب ولتاژ گیت برای هر سه ساختار ارائه شده در $V_{DS}=1V$

۳- نتیجه گیری:

در این مقاله آنالیز مقایسه‌ای ساختارهای ترانزیستورهای تونلی بدون پیوند با گیت‌های یک، دو و چند ماده ای با استفاده از شبیه‌سازی دوبعدی مورد بررسی قرار گرفته است. در این بررسی‌ها بهبود عملکرد گیت چند ماده‌ای نسبت به سایر ساختارها بدست آمد. افزاره ارائه شده جریان حالت- روشن بالاتر به دلیل مینیمم نوار هدایت نزدیک به ناحیه سورس، نسبت جریان روشن به جریان خاموش بیشتر را نشان می‌دهد؛ که توسط مشخصه‌های نوارهای انرژی توجیه گردید. همچنین نشان داده شد کاهش بیش از اندازه تابع کار گیت سه اگر چه باعث افزایش جریان حالت روشن می‌شود، اما همزمان جریان حالت خاموش نیز به مقدار قابل ملاحظه ای افزایش می یابد که باعث کاهش شدید نسبت جریان حالت روشن به حالت خاموش می‌گردد. در نهایت، در این مقاله مشخصه‌های الکتریکی ساختار دو گیتی با گیت چند ماده ای مورد بررسی قرار گرفت و با مشخصه‌های ساختار گیت یک ماده ای و دو ماده ای مقایسه گردید. ساختار پیشنهادی ولتاژ آستانه کمتر، جریان حالت روشن بالاتر و نسبت جریان حالت روشن به جریان حالت خاموش بالاتری در مقایسه با سایر ساختارها نشان داد. از دیدگاه آنالوگ نیز در ساختار با گیت چند ماده ای، افزایش جریان و بهبود عملکرد در هدایت انتقالی و و فرکانس قطع حاصل شد.

۴- مراجع:

[1] Ghosh, D., Parihar, M., Armstrong G., Kranti, A., "High-Performance Junctionless MOSFETs for Ultralow-Power Analog/RF Applications", IEEE Transaction on Electron Device letters, Vol 33, pp.1477-1479, 2012.
[2] Koukab, A., Jazaeri F., Sallese, J., "On performance scaling and speed of junctionless transistors", Solid State Electronic. Vol,79, pp.18-21, 2013.
[3] Baruah R., Paily, R., "A Dual-Material Gate Junctionless Transistor With High-k Spacer for Enhanced Analog Performance," IEEE Transaction Electron Device letters, Vol 61, pp.123-128, 2014
[4] Hosseini, R., "Analysis and Simulation of a Junctionless Double Gate MOSFET for High-speed Applications", Journal of the Korean Physical Society, Vol.67, No.9, pp.1615-1618, 2015

[5] Jazaeri, F., Barbut, L., Sallese, J., ″Modeling and Design Space of Junctionless, Symmetric DG MOSFETs With Long Channel″, IEEE Transaction on Electron Devices, Vol 60, pp.2120-2127, 2013.
[6] Lee, C., Afzalian, A., Akhavan, N., Yan, R., Ferain I., Colinge J., ″Junctionless Multigate Field Effect Transistors″, Applied Physics Letters. Vol.94, pp 053511, 2009.
[7] Wang, T., Lou, L., Lee, Ch., ″A Junctionless Gate-All-Around Silicon Nanowire FET of High Linearity and Its Potential Applications″, IEEE Transaction on Electron Device letters, Vol. 34, pp. 478-480, 2013
[۸] باجلان ف.، یزدان پناه آ.، فائز ر.، درویش غ.، "بررسی و مقایسه مشخصات الکترونیکی ترانزیستورهای نانو سیم بدون پیوند نوعP با مواد کانال "Si, InP, InGaP نشریه مهندسی برق و الکترونیک ایران، جلد ۱۵، شماره ۲، ص.۷-۱، تابستان ۱۳۹۷.
[۹] نادری ع.، قدرتی م.، "ساختار جدید ترانزیستور اثر میدانی نانولوله کربنی با ناخالصی‌های سبک در کانال و دی‌الکتریک دو قسمتی" نشریه مهندسی برق و الکترونیک ایران، جلد ۱۵، شماره ۲، ، ص.۱۶-۹، تابستان ۱۳۹۷.
[۱۰] حجازی فر م.، صدیق ضیابری س.، "بررسی اثر هاله ناخالصی کانال و شیب غلظت آن در ترانزیستور اثر میدانی نانولوله کربنی با آلایش سبک ناحیه سورس و درین"نشریه مهندسی برق و الکترونیک ایران، جلد ۱۵، شماره ۲، ص.۲۳-۱۷، تابستان ۱۳۹۷.
[11] Bjork, M., Knoch, J., Schmid, H., Riel, H., Riess, W., ″Silicon nanowire tunneling field effect transistors″, Applied Physics Letter, Vol. 92, pp.193504, 2008
[12] Boucart, K.,_Ionescu, A., ″Double-Gate Tunnel FET With High-κ Gate Dielectric″, IEEE Transaction on Electron Devices, Vol. 54, pp. 1725–1733, 2007.
[13] Kazazis, D., Jannaty, P., Zaslavsky, A., Royer, C., Tabone, C., Clavelier, L., and Cristoloveanu, S., ″Tunneling field-effect transistor with epitaxial junction in thin germanium-on-insulator,″ Applied Physics Letter, Vol. 94, pp.263508, 2008
[14] Hemmat, M., Kamal, M., Afzali-Kusha, A., Pedram, M., ″Study on the impact of device parameter variations on performance of III-V homojunction and heterojunction tunnel FETs″, Solid State Electronics, Vol. 124, pp. 46–53, 2016.
[15] Lee, M., Fitzgerald, E., ″Strained Si, SiGe, and Ge channels for high-mobility metal-oxide-semiconductor field-effect transistors,″ Journal of Applied Physics, Vol. **97**, pp. 01101, 2005.
[۱۶] خاتمی م.، شالچیان م.، "تحلیل و بهبود جریان حالت خاموش نانو ماسفت کرنشی دو محوری سیلیکانی نوع p با کنترل چگالی ناخالصی زیر لایه مجازی"نشریه مهندسی برق و الکترونیک ایران، جلد ۱۳، شماره ۴، ص.۵۰-۴۱، تابستان ۱۳۹۵.
[17] Hosseini, R., Teimourzadeh, N., Fathipour, M., ″A new source heterojunction strained channel structure for ballistic gate all around nanowire transistor″, Journal of Computational Electronics, Vol. 13, pp. 170-179, 2014
[18] Hosseini, R., ″Uncoupled mode space approach for analysis of nanoscale strained junctionless double-gate MOSFET″, Journal of Computational Electronics, Vol. 15, pp. 787-794, 2016
[19] Molaei Imen Abadi, R., Sedigh Ziabari, S., ″Representation of type I heterostructure junctionless tunnel field effect transistor for high performance logic application″, Applied Physics A , Vol. 122, pp.616, 2016
[20] Noor, S., Safa, S., Khan, Z., ″Dual-material double-gate tunnel FET: gate threshold voltage modeling and extraction,″ Journal of Computational Electronics, Vol. 15, pp. 763-769, 2016
[21] Bal, P., Ghosh, B., Mondal, P., Akram, M., Tripathi, B., ″Dual material gate junctionless tunnel field effect transistor,″ Journal of Computational Electronics, Vol. 13, pp. 230-234, 2014
[22] Basak, S., Kumar Asthana, P., Goswami, Y., Ghosh, B., ″Leakage current reduction in junctionless tunnel FET using a lightly doped source″, Applied Physics A , Vol. 118, pp.1527-1533, 2016
[23] Priya, G., Balamurugan, N., ″Subthreshold Modelling of Triple Material Material Gate-All-Around Junctionless Tunnel FET with Germanium and High-k Gate Dielectric Material,″ Electronic Components and Materials, Vol. 48, No.1, pp. 53-61, 2018
[24] Silvaco Int. ATLAS User's Manual. Device simulation Software, Silvaco International (Santa Clara, CA, 2016).
[25] Lide, D.R., CRC Handbook on Chemistry and Physics, 89th edn. pp. 12–114. Taylor & Francis, London , 2008
[26] Hansch, W., Vogelsang, T., Kircher, R., Orlowski, M., ″Carrier transport near the Si/SiO_2 interface of a MOSFET″, Solid State Electronics, Vol. 32, pp. 839–849, 1989
[27] Schenk, A., ″A model for the field and temperature dependence of Shockley-Read-Hall lifetimes in silicon,″ Solid State Electronics. 35(11), 1585–1596, 1992

زیرنویس‌ها

[1] MOSFET
[2] Junctionless (JL)
[3] Short Channel Effects (SCEs)
[4] Tunnel Field Effect Transistor (TFET)
[5] Inversion Mode (IM)
[6] On Current (I_{on})
[7] Heterojunction
[8] Strained Silicon
[9] Band to Band Tunneling (BBT)
[10] Off Current (I_{off})
[11] Drain Induced Barrier Lowering (DIBL)
[12] Junctionless Tunnel FET (JL TFET)
[13] Multi Material Double Gate (MM DG)
[14] non-local band to band tunneling model
[15] Fermi Dirac Statics
[16] Shockley Read Hall (SRH)
[17] Dual Material (DM)
[18] Single Material (SM)