یک ساختار جدید برای اینورترهای منبع ولتاژ سه فاز چند سطحی بر مبنای یک منبع تغذیه DC با تعداد کم سوئیچ و دیود

حسن فشکی فراهانی [۱] محمود حسینی علی‌آبادی [۲] شهرام جوادی [۳] سیامک پرکار [۴]

۱ - استادیار- دانشکده فنی و مهندسی، دانشگاه آزاد اسلامی، آشتیان، ایران

۱- استادیار- دانشکده فنی و مهندسی، دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران ایران

hfeshki@aiau.ac.ir

۲- استادیار- دانشکده فنی و مهندسی، دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران ایران

mah.hosseini-aliabadi@iauctb.ac.ir

۳- استادیار- دانشکده فنی و مهندسی، دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران، ایران

sh.javadi@iauctb.ac.ir

۴- دکتری- مهندسی برق- مدیریت شبکه برق ایران

s_porkar@yahoo.com

چکیده: در این مقاله یک ساختار جدید برای اینورترهای سه‌فاز ارائه شده است که شامل یک ماژول چند سطحی، پل اینورتری سه‌فاز و بخش انتخاب سطوح میانی می‌باشد. مزیت اصلی این ساختار در مقایسه با سایر توپولوژی‌ها، استفاده از تعداد کمتر سوئیچ و دیود جهت دستیابی به بیشترین سطح در ولتاژ خروجی می‌باشد. این ساختار متشکل از یک ماژول چندسطحی تک‌فاز، سه عدد کلید دو طرفه و یک عدد پل اینورتری سه‌فاز می‌باشد. از دیگر ویژگی‌های این ساختار، افزایش دو سطح به سطوح ولتاژ خروجی تنها با اضافه نمودن یک سوئیچ دو طرفه و یک خازن ولتاژ پایین می‌باشد. در این مقاله ترتیب کلیدزنی برای دستیابی برای هر تعداد سطوح ولتاژ در خروجی ارائه شده است. همچنین دامنه هارمونیک‌ها و میزان THD ساختار پیشنهادی با سایر ساختارها مقایسه شده است. برای نشان دادن کارائی روش پیشنهادی، یک نمونه اینورتر سه فاز ۱۱ سطحی طراحی و توسط Simulink نرم‌افزار MATLAB مورد شبیه‌سازی قرار گرفته و نتایج بدست آمده مورد ارزیابی قرار گرفته است.

کلمات کلیدی: اینورتر منبع ولتاژ چند سطحی، کاهش تعداد سوئیچ‌ها و دیودها، پل اینورتری سه‌فاز و کاهش THD

تاریخ ارسال مقاله : ۱۳۹۴/۰۹/۳۰

تاریخ اصلاح مقاله: ۱۳۹۵/۰۳/۲۴

تاریخ پذیرش مقاله: ۱۳۹۵/۰۶/۰۸

نام نویسنده‌ی مسئول: حسن فشکی فراهانی

نشانی نویسنده‌ی مسئول: دانشکده فنی و مهندسی، واحد آشتیان، دانشگاه آزاد اسلامی، آشتیان، ایران دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران ایران.

[Downloaded from jiaeee.com on 2026-10-09]

[DOR: 20.1001.1.26765810.1395.13.4.13.3]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

۱- مقدمه

مبدل‌های توان DC به AC یا اینورترها یکی از مهم‌ترین تکنولوژی‌ها در سیستم‌های مدرن انتقال، توزیع و تولید و مصرف انرژی الکتریکی می‌باشد. این مبدل‌ها نقش اساسی در سیستم‌های درایو، منابع تغذیه بدون وقفه، گرمایش القائی، سیستم‌های HVDC و ادوات FACTS بر عهده دارند[۱]. مفهوم اینورترهای چند سطحی برای اولین بار در سال ۱۹۷۵ میلادی معرفی شد [۲]. در این نوع اینورترها علیرغم استفاده از کلیدزنی فرکانس پایه، با افزایش تعداد سطوح شکل موج ولتاژ خروجی اینورتر به شکل موج سینوسی نزدیک می‌شود. همچنین می‌توان با استفاده از کلیدزنی فرکانس پایه تلفات سوئیچینگ را کاهش داد و با توجه به استفاده از منابع ولتاژ DC مستقل، ولتاژ قرار گرفته در دو سر سوئیچ کمتر خواهد بود[۳].

در خصوص مطالعات انجام شده در زمینه اینورترهای چند سطحی تک‌فاز مقالات مختلفی ارائه شده‌اند[۴-۲۲]. در [۵, ۱۲, ۲۰] یک ساختار جدید برای اینورترهای چندسطحی ارائه شده و با نام "اینورتر نوع T" نامگذاری شده است. این ساختار با استفاده از ساختار ارائه شده در [۵] و با کمک یک اینورتر ۵ سطحی تک‌فاز استخراج شده است. از ویژگی‌های اصلی این ساختار کاهش چشمگیر تعداد المان‌های قدرت در مقایسه با ساختارهای معمولی است. از دیگر ساختارهای اینورترهای چندسطحی می‌توان به ساختار ارائه شده در [۴] اشاره نمود. این ساختار برای قطع و وصل مسیرها به منظور دستیابی به سطوح مختلف در خروجی نیاز به سوئیچ‌های دو طرفه دارد. ویژگی این ساختار نیاز به تعداد درایور کمتر (برابر با تعداد سوئیچ‌های دوطرفه) بوده و در نتیجه پیچیدگی مدار را کاهش می‌دهد.

در [۶, ۱۱] یک توپولوژی برای اینورترهای چند سطحی ارائه شده است که سوئیچ‌ها با منابع به صورت سری متصل می‌شوند و تعداد المان‌ها نیز کاهش یافته است. در مرجع [۷] یک ساختار دیگر برای اینورترهای چندسطحی ارائه کرده است که بر مبنای ماژول‌های چندسطحی می‌باشد. این ساختار متشکل از بخش‌های تولید سطوح و تولید پلاریته می‌باشد. بخش تولید سطوح شامل سوئیچ‌های دوطرفه و منابع DC بوده و ولتاژ دو سر سوئیچ‌ها بر روی این سوئیچ‌ها یکسان نمی‌باشد. در بخش تولید پلاریته از سوئیچ‌های یکطرف استفاده شده است که این سوئیچ‌ها در فرکانس خروجی اینورتر (فرکانس پائین) کلیدزنی و ولتاژ بالاتر کار می‌کنند. به عبارتی این کلیدها سوئیچ‌های ولتاژ بالا -فرکانس پایین می‌باشند. یک اینورتر چند سطحی تکفاز متشکل از یک پل اینورتری H و منابع DC در [۹] ارائه شده است. این ساختار در مقایسه با توپولوژی CHB به تعداد یکسان منابع ولتاژ نیاز داشته اما برای دستیابی به یک تعداد سطوح برابر در خروجی این توپولوژی نسبت به CHB نیاز به تعداد المان‌های کمتری دارد.

در [۱۰] ساختاری متشکل از دو بخش تولید سطوح و تولید پلاریته را برای اینورترهای چند سطحی ارائه نموده است. یکی از ویژگی‌های این توپولوژی نیاز بخش تولید پلاریته به هدایت تنها دو سوئیچ برای دستیابی به هر سطح از ولتاژ خروجی صرف نظر از تعداد منابع ورودی می‌باشد. در مراجع [۲۱, ۲۲] یک ساختار چند سطحی با عنوان اینورتر چندسطحی بر مبنای لینک DC چندسطحی ارائه شده که متشکل از یک سلول نیم‌پل آبشاری بوده و هر سلول دارای یک منبع DC می‌باشد. این ساختار دارای بخش‌های مجزای تولید سطوح و تولید پلاریته بوده و در مقایسه با ساختارهای مرسوم تعداد المان‌های را کاهش می‌دهد.

در [۱۵-۱۹] یک ساختار برای اینورترهای چند سطحی ارائه شده که این ساختار در مقایسه با ساختارهای متداول تعداد المان‌های کمتری نیاز دارد. این ساختار متشکل از سلول‌های U شکل بوده و هر یک از این سلول‌ها متشکل از دو عدد سوئیچ و یک منبع DC می‌باشد. این توپولوژی دارای راندمان بالا بوده و به علت استفاده از المان‌های کوچک اکتیو و پسیو، دارای هزینه ساخت کمتری می‌باشد. در [۱۳, ۱۴] نیز یک ساختار برای اینورترهای چند سطحی بر مبنای کاهش تعداد المانها ارائه شده که این ساختار دارای دو بخش تولید سطوح و تولید پلاریته می‌باشد. این توپولوژی نیاز به سوئیچ‌های یکطرفه و دو طرفه دارد. در [۲۳, ۲۴] توپولوژی‌هایی برای استفاده در مبدل‌های ماتریسی مورد ارزیابی قرار گرفته است.

در [۲۵] یک ساختار جدید برای اینورترهای چند سطحی با کلیدزنی نامتقارن ارائه شده است. در این مرجع برای بررسی دقیق هارمونیک‌های ایجادشده در اثر کلیدزنی نامتقارن، مدل جدیدی برای اینورتر مبتنی بر مدل تابع سوئیچینگ ارائه شده است که با استفاده از این مدل روابط تحلیلی هارمونیک‌ها برای کلیدزنی نامتقارن محاسبه گردیده است. در [۲۶] یک ساختار جدید یک اینورتر چند سطحی متقارن بر پایه منابع ولتاژ DC مستقل پیشنهاد شده است که نسبت به ساختارهای دیگر دارای تعداد ادوات کمتری است که موجب کاهش پیچیدگی در سیستم کنترلی و مدارهای راه‌انداز در آن می‌گردد. ساختار پیشنهادی ساختار جامعی است که به راحتی قابل توسعه به تعداد سطوح ولتاژ دلخواه می‌باشد. ساختار جدیدی برای اینورترهای چندسطحی با قابلیت کلیدزنی سری و موازی خازن‌ها در [۲۷] ارائه شده است که توانایی افزایندگی بیشتری نسبت به ساختارهای مشابه دارد. از ویژگی‌های این ساختار می‌توان به تعداد کلیدهای کمتر آن نسبت به ساختارهای مشابه، تعداد کمتر خازن‌ها، حجم و وزن پایین و عدم نیاز به یک سیستم کنترلی پیچیده برای تثبیت ولتاژ خازن‌ها اشاره کرد.

اینورترهای چند سطحی سه‌فاز را می‌توان با استفاده از سه عدد از ساختارهای ارائه شده توسط مقالات فوق بوجود آورد که در این صورت تعداد المانها به شدت افزایش خواهد یافت. روش دیگر دستیابی به اینورترهای چند سطحی سه فاز استفاده از ساختاری انحصاری سه فاز می‌باشد که ساختارهای متداول آن اینورترهای نوع "خازن شناور"، "کلمپ دیودی" و "آبشاری" می‌باشند [۲۸, ۲۹] که در اینورترهای

[Downloaded from jiaeee.com on 2026-10-09]
[DOR: 20.1001.1.26765810.1395.13.4.13.3]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016

آبشاری با اتصال سری تعدادی از اینورترها با منابع مستقل می‌توان به تعداد سطوح دلخواه دست یافت [۳۰]. در طبقه‌بندی دیگر، اینورترهای چند سطحی معروف، به دو دسته طبقه‌بندی می‌شوند، ۱) اینورتر چند سطحی با منبع ولتاژ DC مشترک مانند کلمپ دیودی [۳۱] و خازن شناور [۳۲] و ۲) اینورتر چند سطحی با منابع ولتاژ جداگانه مانند اینورتر چند سطحی آبشاری (CHB) [۳۳]. اکثر اینورترهای چند سطحی جدیدی که اخیراً ارائه شده‌اند، دارای منابع ولتاژ DC جداگانه بوده و در دسته‌بندی دوم قرار می‌گیرند [۳۴-۴۰]. اما استفاده از اینورترهای چند سطحی تکفاز برای دستیابی به اینورترهای چند سطحی سه فاز باعث افزایش تعداد ادوات نیمه‌هادی و منابع تغذیه DC شده است، از اینرو اینورترهای چند سطحی سه فاز مستقل ارائه شده‌اند.

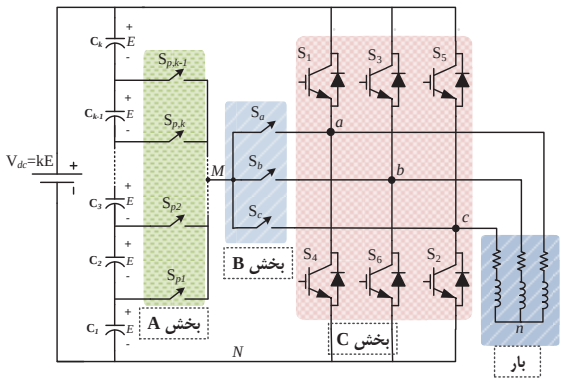
به غیر این توپولوژی‌ها، ساختارهای دیگری نیز برای اینورترهای چند سطحی سه فاز ارائه شده‌اندکه هریک دارای مزایا و معایبی می‌باشند. یکی از محدودیت‌های اینورترهای چند سطحی، نیاز به تعداد بالای دیود و سوئیچ می‌باشد که افزایش تعداد درایور را در پی دارد که اکثر مطالعات جدید در راستای کاهش تعداد المان‌ها انجام شده و هر یک سعی در کاهش تعداد آنها داشته‌اند [۴۱-۴۹]. یکی از مهمترین توپولوژی‌های ارائه شده در سال‌های اخیر ساختار مرجع [۵۰] می‌باشد که این ساختار اگرچه دارای توانسته است تا حدودی تعداد المانها را کاهش دهد اما همچنان تعداد المان‌های آن بالا است که از اینرو هدف این مقاله ارائه یک توپولوژی جدید بر مبنای توپولوژی ارائه شده در مرجع [۵۰] می‌باشد.

بنابراین در این مقاله یک ساختار جدید برای اینورترهای چند سطحی منبع ولتاژ سه فاز ارائه شده است که تعداد ادوات نیمه‌هادی و منابع تغذیه مستقل به صورت چشمگیری کاهش یافته است. در این ساختار فقط از یک منبع DC استفاده شده است. ساختار مقاله به این صورت است که در ادامه و در بخش دوم معرفی ساختار پیشنهادی ارائه شده است و در بخش سوم، مقایسه ساختار پیشنهادی با ساختار ارائه شده در سایر مراجع انجام شده است و تحلیل وضعیت هارمونیکی شکل موج ولتاژ خروجی در بخش چهارم صورت گرفته است. بخش پنجم به شبیه‌سازی یک نمونه اینورتر می‌پردازد و در نهایت در بخش ششم نتیجه‌گیری انجام شده است.

۲- مفاهیم و عملکرد ساختار پیشنهادی

ساختارهای مختلفی برای اینورترهای سه‌فاز ارائه شده است که هر یک دارای مزایا و معایبی می‌باشد. یکی از مهم‌ترین مشکلات اینورترها، هارمونیک‌های شکل موج ولتاژ خروجی می‌باشد که برای کاهش این هارمونیک‌های سه راه حل اصلی پیشنهاد می‌شود که الف) استفاده از فیلترهای هارمونیکی (اکتیو، پسیو و یا ترکیبی) و ب) استفاده از روش کلیدزنی مناسب مانند استفاده از روش‌های مدولاسیون SPWM، SHE-PWM و یا سایر روش‌های مدولاسیون ج) استفاده از ساختار اینورترهای چندسطحی می‌باشد. در حالت سوم با استفاده از ساختار چند سطحی سعی می‌شود که شکل موج ولتاژ خروجی به شکل موج سینوسی نزدیک شده و هارمونیک‌های آن به حداقل برسد. اما تفاوت اساسی روش حذف هارمونیک‌ها با استفاده از کلیدزنی (روش دوم) و روش چند سطحی (روش سوم) در این است که در روش دوم با حذف هارمونیک‌ها، دامنه هارمونیک‌های دیگر افزایش می‌یابد در حالی که در روش چند سطحی دامنه سایر هارمونیک‌ها افزایش نمی‌یابد و THD کل کاهش می‌یابد.

با توجه به ویژگی‌های اینورترهای چند سطحی، در این مقاله یک توپولوژی جدیدی برای اینورترهای چند سطحی سه فاز معرفی گردیده است. ساختار پیشنهادی در شکل (۱) نشان داد شده است. این ساختار متشکل از یک ماژول چندسطحی (MLI) تک‌فاز (بخش A)، سه عدد کلید دو طرفه (بخش B) و یک عدد پل اینورتری سه‌فاز (بخش C) می‌باشد. این ساختار از تعداد k عدد خازن استفاده می‌کند و همچنین تعداد k-1 عدد کلید دو طرفه در بخش A استفاده می‌کند. در این ساختار می‌توان به تعداد 2k+1 سطح در ولتاژ خروجی دست یافت.



شکل(۱): ساختار اینورتر سه فاز چند سطحی پیشنهادی

در این ساختار، سوئیچ‌های واقع در هر یک بخش‌های A، B و C با توجه به سطح ولتاژ مورد نیاز در خروجی روشن و خاموش می‌شوند. سوئیچ‌های واقع در بخش‌های B و A تنها در تولید ولتاژ سطوح میانی نقش داشته و در زمان تولید بیشترین، کمترین سطح ولتاژ و سطح ولتاژ صفر نقشی ندارند و فقط کلیدهای بخش C (سوئیچ‌های S_1 تا S_6) فعال خواهند بود.

بخش A یک ماژول چندسطحی تک‌فاز می‌باشد که وظیفه ایجاد سطوح ولتاژ میانی ولتاژ خروجی با استفاده از سوئیچ‌های دوطرفه S_{p1} تا $S_{p,k-1}$ را بر عهده دارد. بخش B با استفاده از کلیدهای دوطرفه S_a، S_b و S_c ارتباط بین ماژول MLI تک‌فاز با پل اینورتری را برقرار می‌کند. توالی کلیدزنی به همراه مقدار ولتاژ خروجی اینورتر و همچنین سیگنال‌های فرمان کلیدها در جدول (۱) برای یک اینورتر 2k+1 سطحی نمایش داده شده است. با مشخص بودن تعداد سطوح

[Downloaded from jiaeee.com on 2026-10-09]
[DOR: 20.1001.1.26765810.1395.13.4.13.3]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

ولتاژ مورد نیاز در خروجی، براحتی می‌توان بـا اسـتفاده از نتـایج ایـن جدول سیگنال‌های مورد نیاز را ایجاد و به شکل مـوج خروجـی مـورد نیاز دست یافت.

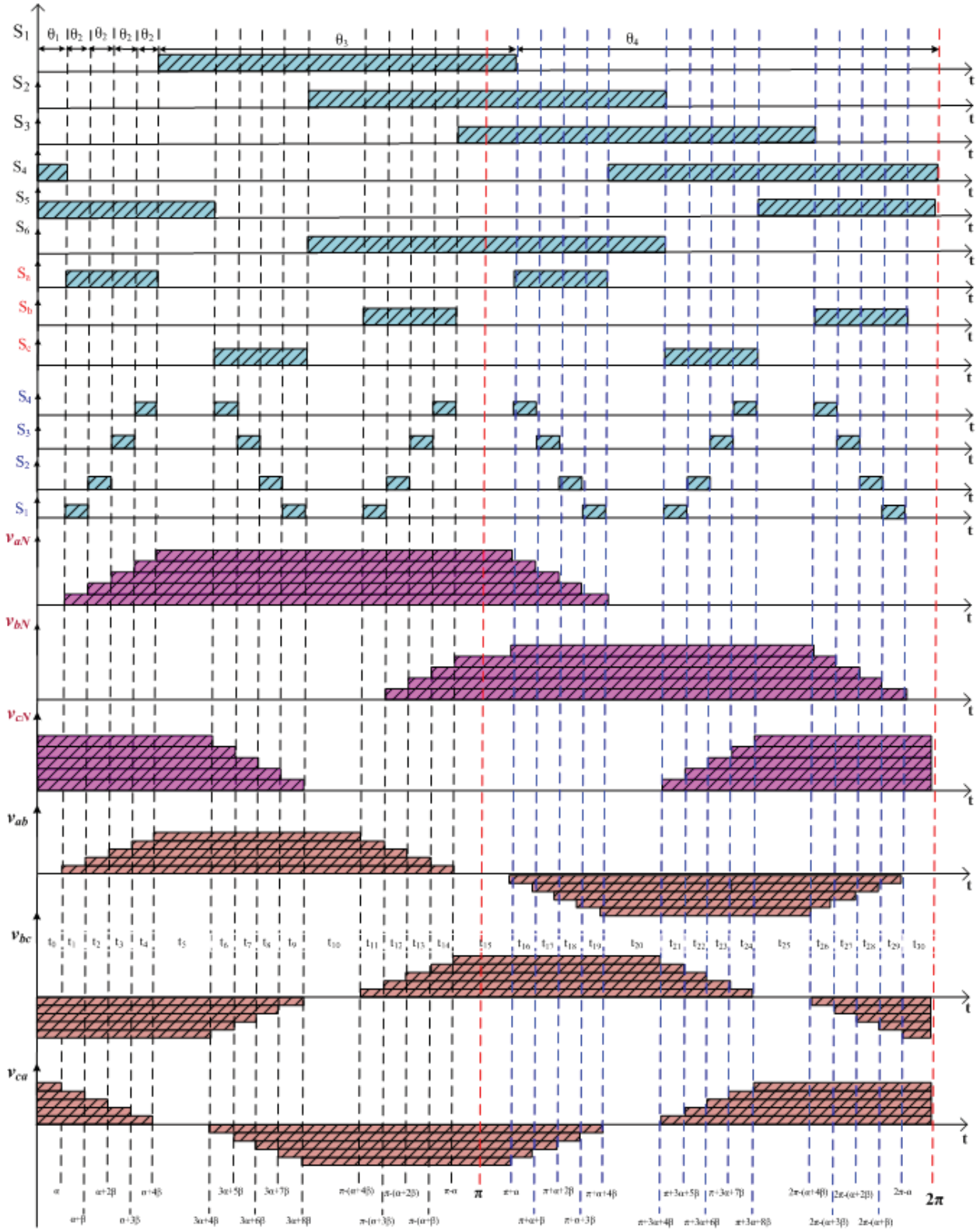
به عنوان نمونه برای دستیابی به تعـداد ۱۱ سـطح در ولتـاژ خروجـی، نیاز به ۵ عدد خازن و ۴ عدد سوئیچ دوطرفه می‌باشـد. بـا اسـتفاده از این اطلاعات و نتایج جدول(۱)، سیگنال‌های فرمان بـه همـراه شـکل موج ولتاژهای خروجی بدست آمده است که در شکل (۲) ترسیم شده است. با توجه به این شکل مدت زمان هدایت هر یـک از سـوئیچ‌هـای طبقه C، ۱۲۰ درجه مـی‌باشـد. در ایـن روش کلیـدزنی، از بخـش C، همواره ۲ یا ۳ سوئیچ، از بخش‌ها A و B نیز فقط یک سـوئیچ هـدایت می شود و یا سوئیچی هـدایت نمـی شـود. در مجمـوع و در بـدترین حالت ۴ عدد سوئیچ هدایت می‌کنند. شکل (۳) مدار معـادل و مسـیر عبـــوری جریـــان و نحـــوه دســـتیابی بـــه ســـطوح ولتـــاژ $v_{ab}=-3E, v_{bc}-2E, v_{ca}=-5E$ و $v_{ab}=4E, v_{bc}-5E, v_{ca}=E$ را نمایش می‌دهد (سوئیچ‌های خاموش کم رنگتر نمایش داده شده‌اند).

جدول (۱): ترتیب کلیدزنی سوئیچ‌ها برای بخش‌های A تا C به منظور دست‌یابی به سطوح مختلف در هر بازه

بر حسب مضربی از E			بر حسب مضربی از E			$S_{p,k-1}$	$S_{p,k-2}$	...	S_{p2}	S_{p1}	S_c	S_b	S_a	S_6	S_5	S_4	S_3	S_2	S_1	شماره بازه	زاویه هدایت
V_{ca}	V_{bc}	V_{ab}	V_{cn}	V_{bn}	V_{an}																
k	-k	0	k	0	0	0	0	...	0	0	0	0	0	1	1	1	0	0	0	t_0	α
k-1	-k	1	k	0	1	0	0	...	0	1										t_1	
k-2	-k	2	k	0	2	0	0	...	1	0										t_2	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	...	⋮	⋮	0	0	1	1	1	0	0	0	0	...	β
2	-k	k-2	k	0	k-2	0	1	...	0	0										t_{k-2}	
1	-k	k-1	k	0	k-1	1	0	...	0	0										t_{k-1}	
0	-k	k	k	0	k	0	0	...	0	0	0	0	0	1	1	0	0	0	1	t_k	2α
-1	-(k-1)	k	k-1	0	k	1	0	...	0	0										t_{k+1}	
-2	-(k-2)	k	k-2	0	k	0	1	...	0	0										t_{k+2}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	...	⋮	⋮	1	0	0	1	0	0	0	0	1	...	β
-(k-2)	-2	k	2	0	k	0	0	...	1	0										t_{2k-2}	
-(k-1)	-1	k	1	0	k	0	0	...	0	1										t_{2k-1}	
-k	0	k	0	0	k	0	0	...	0	0	0	0	0	1	0	0	0	1	1	t_{2k}	2α
-k	1	k-1	0	1	k	0	0	...	0	1										t_{2k+1}	
-k	2	k-2	0	2	k	0	0	...	1	0										t_{2k+2}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	...	⋮	⋮	0	1	0	0	0	0	0	1	1	...	β
-k	k-2	2	0	k-2	k	0	1	...	0	0										t_{3k-2}	
-k	k-1	1	0	k-1	k	1	0	...	0	0										t_{3k-1}	
-k	k	0	0	k	k	0	0	...	0	0	0	0	0	0	0	0	1	1	1	t_{3k}	2α
-(k-1)	k	-1	0	k	k-1	1	0	...	0	0										t_{3k+1}	
-(k-2)	k	-2	0	k	k	0	1	...	0	0										t_{3k+2}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	...	⋮	⋮	0	1	0	0	0	0	1	1	0	...	β
-2	k	-(k-2)	0	k	2	0	0	...	1	0										t_{4k-2}	
-1	k	-(k-1)	0	k	1	0	0	...	0	1										t_{4k-1}	
0	k	-k	0	k	0	0	0	...	0	0	0	0	0	0	0	1	1	1	0	t_{4k}	2α
1	k-1	-k	1	k	0	0	0	...	0	1										t_{4k+1}	
2	(k-2)	-k	2	k	0	0	0	...	1	0										t_{4k+2}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	...	⋮	⋮	0	0	1	0	0	1	1	0	0	...	β
k-2	2	-k	k-2	k	0	0	1	...	0	0										t_{5k-2}	
k-1	1	-k	k-1	k	0	1	0	...	0	0										t_{5k-1}	
k	0	-k	k	k	0	0	0	...	0	0	0	0	0	0	1	1	1	0	0	t_{5k}	2α
k	-1	-(k-1)	k	k-1	0	1	0	...	0	0										t_{5k+1}	
k	-2	-(k-2)	k	k-2	0	0	1	...	0	0										t_{5k+2}	
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	...	⋮	⋮	1	0	0	0	1	1	0	0	0	...	β
k	-(k-2)	-2	k	2	0	0	0	...	1	0										t_{6k-2}	
k	-(k-1)	-1	k	1	0	0	0	...	0	1										t_{6k-1}	
k	-k	0	k	0	0	0	0	...	0	0	0	0	0	1	1	1	0	0	0	t_{6k}	α

[Downloaded from jiaeee.com on 2026-10-09]

[DOR: 20.1001.1.26765810.1395.13.4.13.3]



شکل(۲): سیگنال‌های فرمان به همراه ولتاژ خروجی هر یک از بخش‌ها برای یک اینورتر ۱۱ سطحی سه فاز

[Downloaded from jiaeee.com on 2026-10-09]

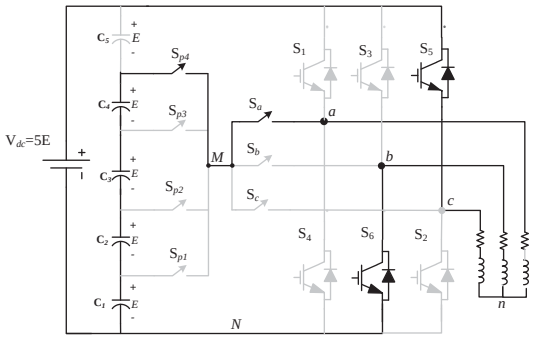
[DOR: 20.1001.1.26765810.1395.13.4.13.3]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

بخش A یک ماژول چند سطحی تکفاز است که با توجه به تعداد سطوح موجود در این بخش، تعداد سطوح ولتاژ خروجی پدید می‌آید. این بخش در تولید سطوح ولتاژ میانی مشارکت دارد. مطابق شکل (۱) در این بخش از k عدد خازن، k-1 عدد سوئیچ دوطرفه و یک عدد منبع تغذیه استفاده شده است. تعداد سطوح قابل دسترس برای خروجی v_o برابر با 2k+1 سطح می‌باشد.

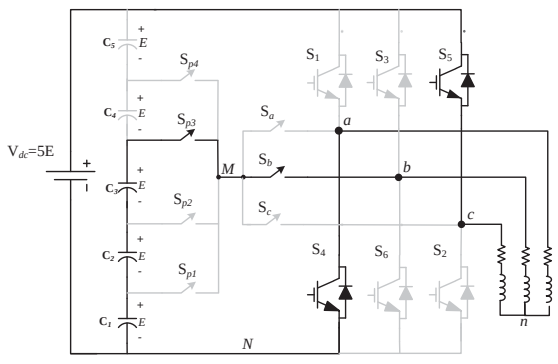
جدول (۲) ترتیب کلیدزنی سوئیچ‌ها برای دستیابی به سطوح مختلف ولتاژی نشان می‌دهد. در این ساختار به منابع مختلف ولتاژ DC با دامنه یکسان (ساختار متقارن) نیاز می‌باشد که این منابع ولتاژ را می‌توان با استفاده از ذخیره‌سازهای انرژی مانند خازن‌ها و باطری‌ها و یا استفاده از سیستم‌های انرژی‌های نو مانند سیستم‌های فتوولتاییک و پیل سوختی ایجاد نمود.

جدول (۲): ترتیب کلیدزنی سوئیچ‌ها برای بخش A به منظور دستیابی به 2k+1 سطح

state	On Switches							V_o
	S_{p1}	S_{p2}	S_{p3}	S_{p4}	…	S_{pk-1}	S_{pk}	
1	1	0	0	0	…	0	0	0
2	0	1	0	0	…	0	0	V_1
3	0	0	1	0	…	0	0	V_2
4	0	0	0	1	…	0	0	V_3
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
k-1	0	0	0	0	…	1	0	V_{k-1}
k	0	0	0	0	…	0	1	V_k



$v_{ab}=4E, v_{bc}=-5E, v_{ca}=E$ **(الف)**



$v_{ab}=-3E, v_{bc}=-2E, v_{ca}=5E$ **(ب)**

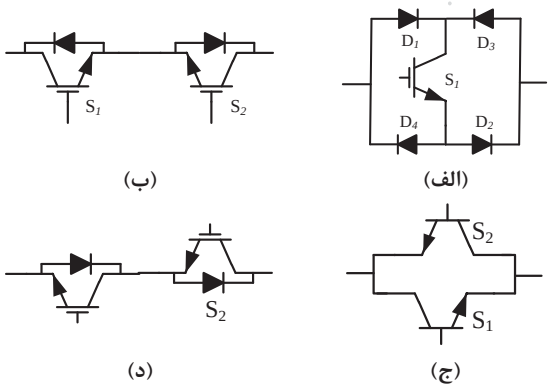
شکل(۳): مسیر جریان عبوری برای دستیابی به سطوح مختلف ولتاژ در خروجی

۳- مقایسه ساختار پیشنهادی با ساختار ارائه شده در مراجع [۵۰]

یکی از ویژگی‌های اساسی ساختار پیشنهادی نیاز به تعداد کمتر سوئیچ، درایور و منابع تغذیه می‌باشد. در جدول (۳) تعداد المان‌های مورد نیاز برای سطوح مختلف ولتاژ خروجی نشان داده شده است. روش‌های مختلفی برای ایجاد سوئیچ دو طرفه وجود دارد که در شکل (۵) چهار نمونه متداول آنها نمایش داده شده است. در ساختار (۵-الف) سوئیچ دو طرفه با استفاده از یک عدد IGBT و چهار عدد دیود ایجاد شده و در حالی که در شکل (۵-ب, ج و د) از دو عدد IGBT به همراه دیود استفاده شده است. نظر به اینکه آرایش دوم به دو درایور نیاز دارد، هزینه بیشتری نسبت به طرح اول دارد. همچنین پیچیدگی مدار را افزایش می‌دهد. لذا در این ساختار از طرح اول استفاده شده است.

جدول (۳): تعداد المان‌های مورد نیاز برای ساختار پیشنهادی

تعداد خازن‌ها	تعداد دیودها	تعداد سوئیچ دوطرفه	تعداد سوئیچ	تعداد سطوح
۲	۱۶	۴	۱۰	۵
۳	۲۰	۵	۱۱	۷
۴	۲۴	۶	۱۲	۹
۵	۲۸	۷	۱۳	۱۱
⋮	⋮	⋮	⋮	⋮
$\left(\frac{n-1}{2}\right)$	$2\times(n+3)$	$\frac{n+3}{2}$	$\frac{n+15}{2}$	n



شکل(۴): سوئیچ‌های دوطرفه

در ساختار ارائه شده برای دستیابی به n سطح (که n برابر با 2k+1 می‌باشد) نیاز به (n+3)/2 عدد سوئیچ دو طرفه و ۶ عدد سوئیچ یک طرفه در هر ماژول می‌باشد که اگر از ساختار سوئیچ‌های دو طرفه شکل(۵-الف) استفاده شود در کل به (n+15)/2 عدد سوئیچ نیاز می‌باشد. به عنوان نمونه برای دستیابی به ۱۱ سطح ولتاژ در خروجی، نیاز به ۷ عدد سوئیچ دوطرفه به همراه ۶ عدد سوئیچ یکطرفه می‌باشد که به استفاده از آرایش شکل (۵-الف) تعداد کل سوئیچ‌ها به ۱۳ عدد خواهد رسید. همچنین به ۲۸ عدد دیود نیاز دارد. مرجع [۵۰] یکی از

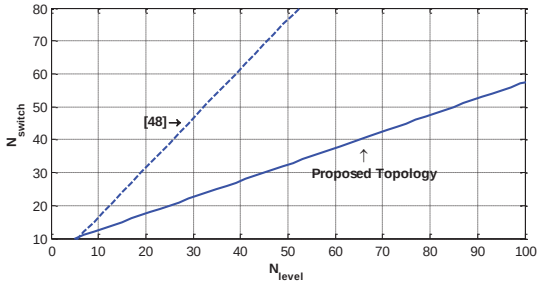
[Downloaded from jiaeee.com on 2026-10-09]
[DOR: 20.1001.1.26765810.1395.13.4.13.3]

جدیدترین توپولوژی‌های را ارائه نموده است که در آن برای دستیابی به ۱۱ سطح ولتاژ در خروجی نیاز به ۱۸ عدد سوئیچ و ۴۸ عدد دیود می باشد. در جدول (۴)، تعداد المان‌های مورد نیاز برای n سطح در ولتاژ خروجی برای ساختار پیشنهادی و مرجع [۵۰] نشان داده شده است.

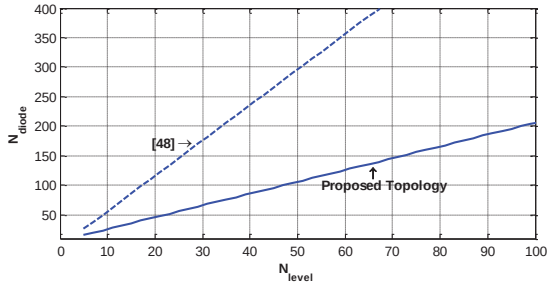
جدول (۴): مقایسه تعداد تعداد المان‌های مورد نیاز برای ساختار پیشنهادی، ساختارمرجع [۵۰] و ساختارهای مرسوم اینورترهای چند سطحی

	تعداد سوئیچ	تعداد دیودها	تعداد خازن‌ها	تعداد منبع مستقل
ساختار پیشنهادی	$\frac{n+15}{2}$	$2\times(n+3)$	$\left(\frac{n-1}{2}\right)$	1
کلمپ دیودی	$3\times(n-1)$	$3\times(n-3)$	$\left(\frac{n-1}{2}\right)$	1
خازن شناور	$3\times(n-1)$	0	$\sum_{j=1}^{\frac{n-1}{2}} j$	1
آبشاری	$3\times(n-1)$	0	0	$\left(\frac{n-1}{2}\right)\times 3$
ساختارمرجع [۵۰]	$\frac{3(n+1)}{2}$	$6(n-3)$	$\left(\frac{n-1}{2}\right)$	1

برای مقایسه بهتر، تعداد IGBTها و دیودها در مقابل تعداد سطوح ولتاژ خروجی را برای ساختار پیشنهادی و مرجع [۵۰] در شکل (۵) ترسیم شده است که نشان می‌دهد به صورت چشمگیری ساختار پیشنهادی برای یک سطح مشخص، از تعداد سوئیچ و دیود کمتری استفاده می‌کند.



(الف)



(ب)

شکل(۵): تعداد IGBTها و دیودها بر حسب تعداد سطوح ولتاژ خروجی را برای ساختار پیشنهادی و مراجع [۵۰]

۴- تحلیل وضعیت هارمونیکی شکل موج خروجی

یکی از مشکلات اینورترها، وجود هارمونیک‌های ولتاژ خروجی می‌باشد که باعث افزایش THD می‌شود. لذا با توجه به میزان THD مورد نیاز می‌توان سطوح مورد نیاز را انتخاب نمود. البته THD ولتاژ خروجی علاوه بر تعداد سطوح، تابعی از زوایای کلیدزنی نیز می‌باشد. با توجه به شکل(۲)، می‌توان روابط زیر را با توجه به بازه‌های هدایت نوشت:

$$\theta_1+\theta_2+\theta_3+\theta_4=2\pi \qquad (۱)$$

$$\theta_1=\alpha \qquad (۲)$$

برای یک اینورتر n سطحی زوایه θ_2 که مجموع زوایای هدایت برای سوئیچ‌های دو طرفه (بخش A و B) می‌باشد برابر است با:

$$\theta_2=(n-3)\beta \qquad (۳)$$

زوایه θ_3 زوایه هدایت سوئیچ S_1 به صورت زیر بدست می‌آید:

$$\theta_3=(\pi+\alpha)-\left(\alpha+\frac{n-3}{2}\beta\right)=\pi-\left(\frac{n-3}{2}\right)\beta \qquad (۴)$$

و در نهایت زاویه θ_4 و همچنین زاویه هدایت برای سوئیچ S_1 را می‌توان به صورت زیر نوشت:

$$\begin{aligned}\theta_4&=2\pi-\alpha-(n-3)\beta-(\pi-\beta(n-3)/2)\\&=\pi-\alpha-\left(\frac{n-3}{2}\right)\beta\end{aligned} \qquad (۵)$$

شکل موج ولتاژ خروجی در شکل (۳) دارای n سطح خروجی می‌باشد و ولتاژ خروجی بین $\left(\frac{n-1}{2}\right)E$ و $-\left(\frac{n-1}{2}\right)E$ تغییر می‌کند. برای این شکل می‌توان سری فوریه را به فرم زیر نوشت:

$$v_{ab}=\sum_{h=1}^{\infty}\left[a_h.cos(h\omega t)+b_h.sin(h\omega t)\right] \qquad (۶)$$

با توجه به ویژگی‌های این شکل موج ولتاژ می‌توان به موارد زیر اشاره نمود:

- این شکل موج فرد می‌باشد لذا شامل ضرایب سری کسینوسی برابر با صفر است $a_h=0$.
- تابع نسبت به $\pi/4$ تقارن دارد لذا محتوی هارمونیک‌های زوج نمی‌باشد.

با توجه به ویژگی‌های اشاره شده می‌توان ضرایب سری فوریه را به فرم زیر نوشت:

$$\begin{aligned}v_h=b_h&=\begin{cases}\frac{4E}{h\pi}\left[cos(h\alpha)+cosh(a+\beta)+...+cosh(a+2\beta)\right] & h=1,3,5,...,\infty\\ 0 & otherwise\end{cases}\\&=\begin{cases}\frac{4E}{h\pi}\sum_{k=0}^{(n-3)/2}cosh(a+k\beta) & h=1,3,5,...,\infty\\ 0 & otherwise\end{cases}\end{aligned} \qquad (۷)$$

[Downloaded from jiaeee.com on 2026-10-09]

[DOR: 20.1001.1.26765810.1395.13.4.13.3]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

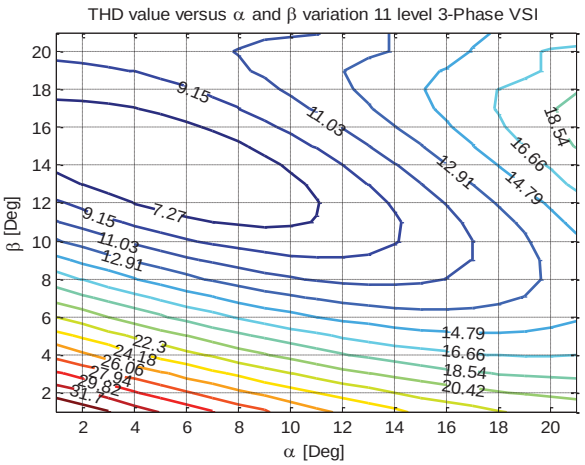
لذا $c_h=b_h$ و رابطه THD را می‌توان به فرم زیر نوشت:

$$THD=\frac{1}{v_1}\cdot\sqrt{\sum_{h=2}^{\infty}v_h^2}=\frac{1}{v_1}\cdot\sqrt{\sum_{h=2}^{\infty}b_h^2} \quad (۸)$$

که v_1 دامنه مولفه اصلی می‌باشد که از رابطه (۸) بدست می‌آید. با توجه به روابط قبلی *THD* تابعی از زوایای α و β می‌باشد که با استفاده از روابط (۸) و (۹) می‌توان مقدار آن را بر حسب این دو زاویه بدست آورد. برای اینورتر ۱۱ سطحی می‌توان ضرایب سری فوریه ولتاژ خروجی را به صورت زیر نوشت:

$$V_{o,n}=\frac{4E}{n\pi}[cos(n\alpha)+cosn(a+\beta)+cosn(a+2\beta)+cosn(a+3\beta)+cosn(a+4\beta)] \quad (۹)$$

در شکل (۶) میزان *THD* بر حسب زوایای α و β برای اینورتر ۱۱ سطحی ترسیم شده است. با استفاده از این منحنی می توان تاثیر زوایا در میزان *THD* را مورد بررسی قرار داد. با توجه به این شکل چنانچه زوایای α و β در محدوده ۰ تا ۲۰ درجه تغییر نمایند، مقدار *THD* بین ۷/۳٪ و ۴۷/۸۲٪ تغییر می‌کند.



شکل (۶): میزان THD بر حسب زوایای α و β برای اینورتر ۱۱ سطحی

با توجه به شکل (۶)، مقدار THD تابعی از تعداد سطوح ولتاژ خروجی اینورتر و زوایای کلیدزنی می‌باشد. در یک اینورتر چند سطحی از یک طرف انتظار می‌رود با افزایش تعداد سطوح، میزان THD به صورت چشم‌گیری کاهش یابد و از طرفی دیگر میزان THD به زوایای کلیدزنی نیز وابسته می‌باشد و با انتخاب مناسب زوایا می‌توان به کمترین THD دست یافت. به عبارتی دیگر اگر زوایا نامناسب انتخاب شود می‌تواند حتی با افزایش تعداد سطوح، THD حداقل نشود.

یکی از ویژگی‌های ساختار ارائه شده برای اینورتر چند سطحی، پایین بودن طیف فرکانسی و THD آن نسبت به ساختار مرجع [۵۰] و ساختارهای متداول می‌باشد. در جدول (۵) دامنه هارمونیک‌های ۵، ۷ و ۱۳ به همراه THD برای ساختار پیشنهادی و ساختارهای متداول و ساختار مرجع [۵۰] برای یک اینورتر ۷ سطحی نشان داده شده است که دامنه هارمونیک‌های ۵، ۷، ۱۳ و THD ساختار پیشنهادی نسبت به سایر ساختارها کمتر می‌باشد.

جدول (۵): مقایسه طیف فرکانسی ساختار پیشنهادی با ساختار مرجع [۵۰] و ساختارهای متداول برای یک اینورتر ۷ سطحی و با کلیدزنی فرکانس پایه

تعداد خازن‌ها	دامنه هارمونیک ۵ (٪)	دامنه هارمونیک ۷ (٪)	دامنه هارمونیک ۱۳ (٪)	THD (٪)
ساختار پیشنهادی	۳/۳۸	۲/۱۱	۱/۲۸	۱۱/۷۹
کلمپ دیودی	۵/۱۴	۱۸/۰۱	۲/۱	۱۹/۸۶
خازن شناور	۵/۳۴	۱۸/۷۶	۲/۳	۲۰/۰۵
آبشاری	۴/۸۷	۱۴/۷۶	۱/۸۷	۱۸/۶۱
ساختارمرجع [۵۰]	۳/۴۶	۲/۱۳	۱/۳	۱۱/۹۳

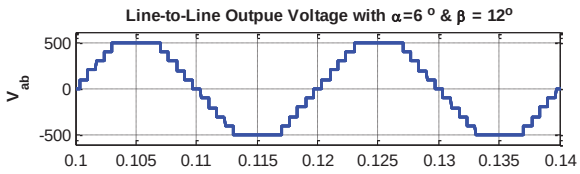
۵- بررسی نتایج شبیه‌سازی

برای تایید اعتبار ساختار پیشنهادی، یک نمونه اینورتر ۱۱ سطحی سه فاز با اطلاعات مندرج در جدول(۶) مورد شبیه‌سازی قرار گرفته است. در این شبیه‌سازی $\alpha=6^o$ و $\beta=12^o$ قرار گرفته است.

جدول(۶): مقادیر در نظر گرفته شده در شبیه‌سازی

المان	مقدار	واحد
ولتاژ ورودی	۵۰۰	ولت
مقاومت بار	۳۰	اهم
اندوکتانس بار	۵۰	میلی‌هانری
فرکانس خروجی	۵۰	هرتز
تعداد سطوح خروجی	۱۱	سطح

همچنین یک بار RL با مقدار ۳۰ اهم و اندوکتانس ۵۰ mH در نظر گرفته شده است. پس از اجرای شبیه سازی ، ولتاژ خط خروجی در شکل (۷) نشان داده شده است. در این شکل ولتاژهای خروجی دارای اختلاف فاز ۱۲۰ درجه می‌باشند. همانطور که مشاهده می‌شود ولتاژهای خروجی تا حدودی به شکل موج سینوسی نزدیکتر شده است.



شکل (۷): ولتاژ خط خروجی برای زوایای $\alpha=6^o$ و $\beta=12^o$ برای اینورتر ۱۱ سطحی

[Downloaded from jiaeee.com on 2026-10-09]
[DOR: 20.1001.1.26765810.1395.13.4.13.3]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4- Winter 2016

در خصوص انتخاب زوایای α و β باید این نکته را مد نظر قرار داد که با توجه به شکل(۲) رابطه زیر برقرار می‌باشد:

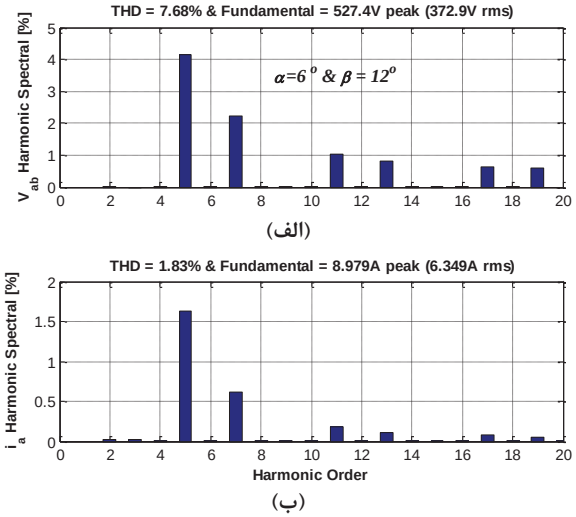
$$[\pi-(\alpha+4\beta)]-(3\alpha+8\beta)=2\alpha$$
$$\Rightarrow \alpha+2\beta=\frac{\pi}{6} \qquad (۱۰)$$

و در حالت کلی می‌توان نوشت:

$$\Rightarrow \alpha+\left(\frac{k-1}{2}\right)\beta=\frac{\pi}{6} \qquad (۱۱)$$

که n=2k+1 بوده و می‌توان رابطه را بر حسب n (تعداد سطوح) به صورت زیر نوشت:

$$\Rightarrow \alpha+\left(\frac{n-3}{4}\right)\beta=\frac{\pi}{6} \qquad (۱۲)$$

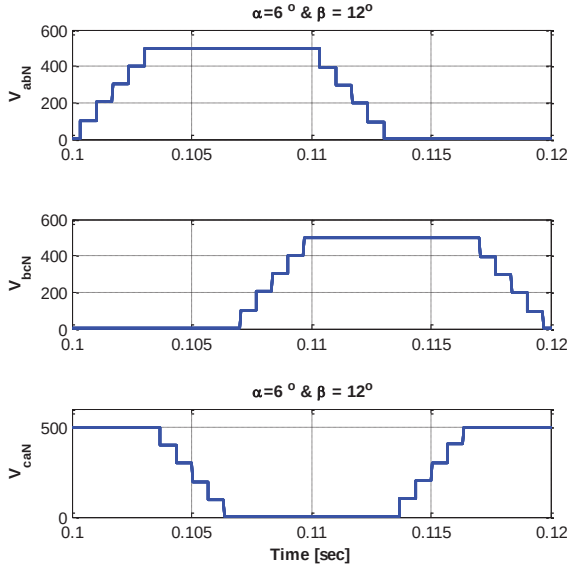


شکل (۸): طیف فرکانسی ولتاژ و جریان خط خروجی برای زوایای $\alpha=6^o$ و $\beta=12^o$ برای اینورتر ۱۱ سطحی

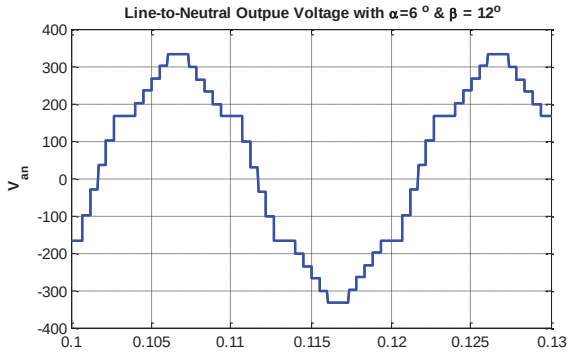
طیف فرکانسی ولتاژ خروجی در شکل(۸-الف) نشان داده شده است. در این شکل دامنه مولفه اصلی ولتاژ خروجی در حدود ۵۲۷/۴ V (۳۷۲/۹ V موثر) می‌باشد. همچنین هارمونیک‌های زوج در خروجی حضور ندارند. علاوه بر این، در این زوایای کلیدزنی انتخاب شده، هارمونیک‌ها توالی صفر (مضارب ۳) نیز حضور ندارند البته ممکن است در زوایای دیگر وجود داشته باشند.

شکل موج ولتاژ خروجی اینورتر نسبت به نقطه مرجع N در شکل (۹) نشان داده شده است. برای محاسبه ولتاژ خط باید ولتاژ نقاط a، b و c را نسبت به یک نقطه مرجع موجود باشد که نقطه N به عنوان نقطه مرجع انتخاب شده است. لذا با داشتن ولتاژ نقاط V_{aN}، V_{bN} و V_{cN} مطابق شکل (۹)، می‌توان ولتاژهای خط را بدست آورد. دلیل انتخاب نقطه N، تحلیل آسان شکل موج‌های خروجی و بدست آوردن ولتاژهای خط می‌باشد. به عبارتی دیگر ولتاژ نقاط V_{aN}، V_{bN} و V_{cN} مضربی از ولتاژ منبع ورودی (ولتاژ یکی از خازن‌ها) می‌باشد.

با مشخص شدن ولتاژهای خط، ولتاژهای فاز خروجی (نسبت به نقطه نول بار) می‌تواند بدست آید که در شکل (۱۰) ولتاژ V_{an} نشان داده شده است. مطابق شکل، دامنه ولتاژ این شکل نسبت به ولتاژ خط کمتر شده و اختلاف فاز حدود ۳۰ درجه بین مولفه اصلی این ولتاژ با مولفه اصلی ولتاژ خط وجود دارد.



شکل (۹): ولتاژ خط خروجی اینورتر نسبت به زمین منبع تغذیه DC ورودی برای زوایای $\alpha=6^o$ و $\beta=12^o$ برای اینورتر ۱۱ سطحی

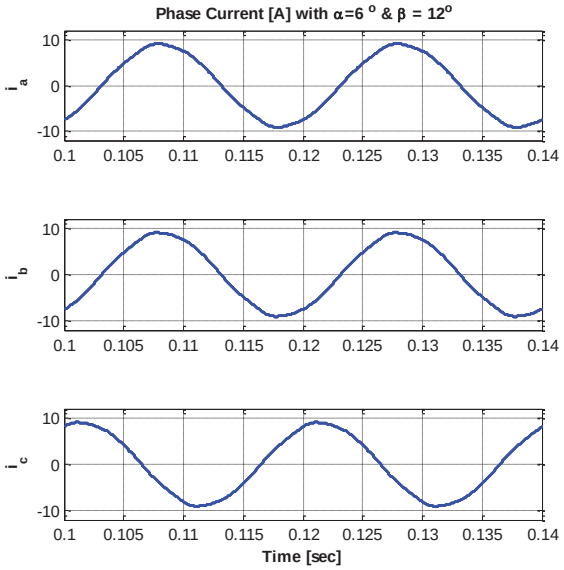


شکل (۱۰): ولتاژ فاز خروجی اینورتر برای زوایای $\alpha=6^o$ و $\beta=12^o$ برای اینورتر ۱۱ سطحی

شکل (۱۱) شکل موج جریان بار خروجی را نشان می‌دهد که با تقریب نسبتاً خوبی سینوسی می‌باشد. در شکل (۸-ب) طیف فرکانسی جریان فاز A ترسیم شده است که دارای THD برابر با ۱/۸۳٪ و جریان مولفه اصلی برابر با ۸/۹۷۹ A آمپر می‌باشد.

همچنین برای مقادیر $\alpha=12^o$ و $\beta=9^o$ نیز شبیه‌سازی انجام شده است و میزان THD آن برابر با ۱۱/۷۶٪ می‌باشد که مقدار THD بدست آمده از شبیه‌سازی با مقدار محاسبه شده در شکل (۶) مطابقت دارد.

[Downloaded from jiaeee.com on 2026-10-09]
[DOR: 20.1001.1.26765810.1395.13.4.13.3]
Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016



شکل (۱۱): جریان بار اینورتر برای زوایای $\alpha=6^{o}$ و $\beta=12^{o}$ برای اینورتر ۱۱ سطحی

۶- نتیجه‌گیری

در این مقاله یک ساختار پیشرفته برای اینورترهای سه فاز با تعداد n سطح ولتاژ خروجی ارائه شد. این ساختار متشکل از یک اینورتر سه فاز معمولی به همراه یک ماژول چند سطحی تکفاز به همراه کلیدهای رابط می‌باشد. در این ساختار به صورت چشمگیری کلیدهای مورد استفاده کاهش یافته است. همچنین از دیگر ویژگی‌های این ساختار هدایت حداکثر چهار سوئیچ در هر بازه زمانی می‌باشد. برای ساختار پیشنهادی روابط حاکم بر *THD* بدست آمده و نشان داده شده است که وضعیت هارمونیکی می‌تواند با انتخاب مناسب زوایای کلیدزنی به صورت محسوسی کاهش یابد. این ساختار در مقایسه با دیگر ساختارهای متداول مانند کلمپ دیودی، خازن شناور و آبشاری از تعداد کمتری سوئیچ استفاده می‌کند. برای ارزیابی عملکرد اینورتر پیشنهادی، یک نمونه ۱۱ سطحی آن توسط نرم‌افزار *MATLAB* مورد شبیه‌سازی قرار گرفت و نتایج بدست آمده قابلیت‌های اینورتر پیشنهادی را تائید نموده است.

پی نوشت

CHB	:	Cascade H-Bridge Inverter
IGBT	:	Insulate Gate Bipolar Transistor
MLI	:	Multi Level Inverter
SHE-PWM	:	Selective Harmonic Elimination Pulse Width Modulation
SPWM	:	Sinusoidal Pulse Width Modulation
THD	:	Total Harmonic Distortion

مراجع

[1] D. Abbott, "Keeping the energy debate clean: how do we supply the world's energy needs?," Proceedings of the IEEE, vol. 98, pp. 42-66, 2010.

[2] "Electric power converter," ed: Google Patents, 1975.

[3] K. El-Naggar and T. H. Abdelhamid, "Selective harmonic elimination of new family of multilevel inverters using genetic algorithms," Energy Conversion and Management, vol. 49, pp. 89-95, 2008.

[4] E. Babaei, "A cascade multilevel converter topology with reduced number of switches," IEEE Transactions on power electronics, vol. 23, pp. 2657-2664, 2008.

[5] G. Ceglia, V. Guzman, C. Sanchez, F. Ibanez, J. Walter, and M. I. Gimenez, "A new simplified multilevel inverter topology for DC&# 8211; AC conversion," IEEE Transactions on power electronics, vol. 21, pp. 1311-1319, 2006.

[6] W.-k. Choi and F.-s. Kang, "H-bridge based multilevel inverter using PWM switching function," in INTELEC 2009-31st International Telecommunications Energy Conference, 2009, pp. 1-5.

[7] J. Ebrahimi, E. Babaei, and G. B. Gharehpetian, "A new multilevel converter topology with reduced number of power electronic components," IEEE transactions on industrial electronics, vol. 59, pp. 655-667, 2012.

[8] K. K. Gupta, A. Ranjan, P. Bhatnagar, L. K. Sahu, and S. Jain, "Multilevel inverter topologies with reduced device count: a review," IEEE Transactions on power electronics, vol. 31, pp. 135-151, 2016.

[9] Y. Hinago and H. Koizumi, "A single-phase multilevel inverter using switched series/parallel dc voltage sources," IEEE transactions on industrial electronics, vol. 57, pp. 2643-2650, 2010.

[10] M. F. Kangarlu and E. Babaei, "A generalized cascaded multilevel inverter using series connection of submultilevel inverters," IEEE Transactions on power electronics, vol. 28, pp. 625-636, 2013.

[11] S. Lee and F. Kang, "A new structure of H-bridge Multilevel inverter," in Proc. KIPE Conf, 2008, pp. 388-390.

[Downloaded from jiaeee.com on 2026-10-09]

[DOR: 20.1001.1.26765810.1395.13.4.13.3]

[12] G. M. Martins, J. A. Pomilio, S. Buso, and G. Spiazzi, "Three-phase low-frequency commutation inverter for renewable energy systems," IEEE transactions on industrial electronics, vol. 53, pp. 1522-1528, 2006.

[13] E. Najafi, A. Yatim, and A. Samosir, "A new topology-Reversing Voltage (RV)-for multi level inverters," in Power and Energy Conference, 2008. PECon 2008. IEEE 2nd International, 2008, pp. 604-608.

[14] E. Najafi and A. H. M. Yatim, "Design and implementation of a new multilevel inverter topology," IEEE transactions on industrial electronics, vol. 59, pp. 4148-4154, 2012.

[15] Y. Ounejjar and K. Al-Haddad, "A novel high energetic efficiency multilevel topology with reduced impact on supply network," in Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE, 2008, pp. 489-494.

[16] Y. Ounejjar and K. Al-Haddad, "A new high power efficiency cascaded U cells multilevel converter," in 2009 IEEE International Symposium on Industrial Electronics, 2009, pp. 483-488.

[17] Y. Ounejjar and K. Al-Haddad, "Multilevel hysteresis controller of the novel seven-level packed U cells converter," in SPEEDAM 2010, 2010, pp. 186-191.

[18] Y. Ounejjar, K. Al-Haddad, and L.-A. Gregoire, "Packed U cells multilevel converter topology: theoretical study and experimental validation," IEEE transactions on industrial electronics, vol. 58, pp. 1294-1306, 2011.

[19] Y. Ounejjar, K. Al-Haddad, and L.-A. Grégoire, "Novel three phase seven level PWM converter," in Electrical Power & Energy Conference (EPEC), 2009 IEEE, 2009, pp. 1-6.

[20] N. A. Rahim, K. Chaniago, and J. Selvaraj, "Single-phase seven-level grid-connected inverter for photovoltaic system," IEEE transactions on industrial electronics, vol. 58, pp. 2435-2443, 2011.

[21] G.-J. Su, "Multilevel DC link inverter," in Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE, 2004, pp. 806-812.

[22] G.-J. Su, "Multilevel DC-link inverter," IEEE Transactions on Industry Applications, vol. 41, pp. 848-854, 2005.

[23] E. Babaei, S. Hosseini, and G. Gharehpetian, "Three-Phase to Single-Phase Matrix Converters: New Topology Based on New Control Method," Journal of Iranian Association of Electrical and Electronics Engineers vol. 9, p. 12, Spring & Summer, 2011.

[۲۴] ح. ر. کارشناس و س. ج. موسوی. بررسی و ساخت یک مبدل مستقیم فرکانس بدون نیاز به خازن و سلف در مدار واسط DC. نشریه مهندسی برق و الکترونیک ایران، جلد ۸، شماره ۱، بهار- تابستان ۱۳۸۹.

[۲۵] س. شاه‌محمدی، س. حسینی، ا. بابایی، م. صباحی و ج. فلاح. آنالیز تحلیلی هارمونیک‌های خروجی اینورترهای چندسطحی در حالت کلیدزنی نامتقارن. مجله مهندسی برق دانشگاه تبریز ۱۳۹۵؛ ۲۰۹-۲۱۹.

[۲۶] م. ع. پ. لطیفی، ا. بابایی و ر. رضایی‌پور. ارائه یک ساختار جدید برای اینورترهای چند سطحی متقارن. بیست و هشتمین کنفرانس بین المللی برق ۱۳۹۲.

[۲۷] ا. ضمیری، م. مرادزاده، س. همکاری، س. حسینی. ارائه یک ساختار جدید برای اینورترهای چندسطحی با کلیدزنی سری و موازی خازن‌ها. بیست و هشتمین کنفرانس بین المللی برق ۱۳۹۲.

[28]I. Colak, E. Kabalci, and R. Bayindir, "Review of multilevel voltage source inverter topologies and control schemes," Energy Conversion and Management, vol. 52, pp. 1114-1128, 2011.

[29] Y. Suresh and A. K. Panda, "Research on a cascaded multilevel inverter by employing three-phase transformers," IET Power Electronics, vol. 5, pp. 561-570, 2012.

[30] A. Al-Othman and T. H. Abdelhamid, "Elimination of harmonics in multilevel inverters with non-equal dc sources using PSO," Energy Conversion and Management, vol. 50, pp. 756-764, 2009.

[31] R. Baker and L. Bannister, "Electric Power Converter. US Patent 3 867 643," Electric Power Converter. US Patent 3 867 643, 1975.

[32] T. Meynard and H. Foch, "Multi-level conversion: high voltage choppers and voltage-source inverters,"

[Downloaded from jiaeee.com on 2026-10-09]

[DOR: 20.1001.1.26765810.1395.13.4.13.3]

Journal of Iranian Association of Electrical and Electronics Engineers - Vol.13- No.4-Winter 2016

[41] I. Abdalla, J. Corda, and L. Zhang, "Multilevel DC-link inverter and control algorithm to overcome the PV partial shading," Power Electronics, IEEE Transactions on, vol. 28, pp. 14-18, 2013.

[42] J. A. Ferreira, "The multilevel modular dc converter," Power Electronics, IEEE Transactions on, vol. 28, pp. 4460-4465, 2013.

[43] K. Ilves, A. Antonopoulos, S. Norrga, and H.-P. Nee, "A new modulation method for the modular multilevel converter allowing fundamental switching frequency," Power Electronics, IEEE Transactions on, vol. 27, pp. 3482-3494, 2012.

[44] J. Li, S. Bhattacharya, and A. Q. Huang, "A new nine-level active NPC (ANPC) converter for grid connection of large wind turbines for distributed generation," Power Electronics, IEEE Transactions on, vol. 26, pp. 961-972, 2011.

[45] N. A. Rahim, M. F. M. Elias, and W. P. Hew, "Transistor-clamped H-bridge based cascaded multilevel inverter with new method of capacitor voltage balancing," Industrial Electronics, IEEE Transactions on, vol. 60, pp. 2943-2956, 2013.

[46] P. Roshankumar, P. Rajeevan, K. Mathew, K. Gopakumar, J. Leon, and L. G. Franquelo, "A five-level inverter topology with single-DC supply by cascading a flying capacitor inverter and an H-bridge," Power Electronics, IEEE Transactions on, vol. 27, pp. 3505-3512, 2012.

[47] Y. Wang and F. Wang, "Novel three-phase three-level-stacked neutral point clamped grid-tied solar inverter with a split phase controller," Power Electronics, IEEE Transactions on, vol. 28, pp. 2856-2866, 2013.

[48] Y. Ye and K. Cheng, "A family of single-stage switched-capacitor–inductor PWM converters," Power Electronics, IEEE Transactions on, vol. 28, pp. 5196-5205, 2013.

[49] L. Zhang, K. Sun, L. Feng, H. Wu, and Y. Xing, "A family of neutral point clamped full-bridge topologies for transformerless photovoltaic grid-tied inverters," Power Electronics, IEEE Transactions on, vol. 28, pp. 730-739, 2013.

[50] C. Odeh, "Enhanced three-phase multilevel inverter configuration," Power Electronics, IET, vol. 6, pp. 1122-1131, 2013.

in Power Electronics Specialists Conference, 1992. PESC'92 Record., 23rd Annual IEEE, 1992, pp. 397-403.

[33] S.-J. Park, F.-S. Kang, S. E. Cho, C.-J. Moon, and H.-K. Nam, "A novel switching strategy for improving modularity and manufacturability of cascaded-transformer-based multilevel inverters," Electric Power Systems Research, vol. 74, pp. 409-416, 2005.

[34] E. Babaei, A. Dehqan, and M. Sabahi, "Improvement of the performance of the cascaded multilevel inverters using power cells with two series legs," Journal of Power Electronics, vol. 13, pp. 223-231, 2013.

[35] E. Babaei, M. T. Haque, and S. H. Hosseini, "A novel structure for multilevel converters," in Electrical Machines and Systems, 2005. ICEMS 2005. Proceedings of the Eighth International Conference on, 2005, pp. 1278-1283.

[36] J. Ebrahimi, E. Babaei, and G. B. Gharehpetian, "A new multilevel converter topology with reduced number of power electronic components," Industrial Electronics, IEEE Transactions on, vol. 59, pp. 655-667, 2012.

[37] S. Laali, K. Abbaszadeh, and H. Lesani, "A new algorithm to determine the magnitudes of dc voltage sources in asymmetric cascaded multilevel converters capable of using charge balance control methods," in Electrical Machines and Systems (ICEMS), 2010 International Conference on, 2010, pp. 56-61.

[38] P. Lezana and J. Rodríguez, "Mixed multicell cascaded multilevel inverter," in Industrial Electronics, 2007. ISIE 2007. IEEE International Symposium on, 2007, pp. 509-514.

[39] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, "Multilevel space vector PWM technique based on phase-shift harmonic suppression," in Applied Power Electronics Conference and Exposition, 2000. APEC 2000. Fifteenth Annual IEEE, 2000, pp. 535-541.

[40] J. Mahdavi, A. Agah, A. Ranjbar, and H. Toliyat, "Extension of PWM space vector technique for multilevel current-controlled voltage source inverters," in Industrial Electronics Society, 1999. IECON'99 Proceedings. The 25th Annual Conference of the IEEE, 1999, pp. 583-588.

[Downloaded from jiaeee.com on 2026-10-09]

[DOR: 20.1001.1.26765810.1395.13.4.13.3]