طراحی مرجع ولتاژ زیر یک ولت قابل کاشت در بدن با دقت 15 میکرومتر/PPM

با استفاده از ترانزیستورهای ذاتی (Native)

پرویز امیری ۱، آوا هدایتی پور ۲
شفای اصلاح زاده ۳

۱- استادیار، دانشکده مهندسی برق، دانشگاه تربیت دیبر شهید رجایی - تهران، ایران
  pamiri@srttu.edu

۲- کارشناسی ارشد، دانشکده مهندسی برق، دانشگاه تربیت دیبر شهید رجایی - تهران، ایران
  ava.hedayati@srttu.edu

چکیده: در این مقاله با توجه به افزایش نیاز به مراجع ولتاژ با توان مصرفی و ولتاژ تغذیه یاپین به خصوص در تجهیزات پزشکی، یک مرجع ولتاژ، با استفاده از از وظیفه ولتاژ آستانه (Vth) یک ترانزیستور ذاتی (Native) به ترانزیستور معمولی اثر میدان (FET) ارائه شده است. پس از شیب سازی با استفاده از تکنولوژی ۰.۱۸ میکرومتری قطعی ضرب دمای ۱۵ ppm°C و مقدار حساسیت خط V0.98٪ بدست آمد. حداقل ولتاژ تغذیه برای این مدار ۳ و توان مصرفی در دمای اتاق ۷۰۰ نانووات و ولتاژ خروجی ۲۷۰ میلی‌آمپر است. که این مرجع را برای تجهیزات نانو آئری مناسب می‌سازد. در انتهای مقاله، یک روش بر روی تغییرات پروسی در بودن دیجیتال این نوع مراجع ولتاژ ارائه شده است.

کلمات کلیدی: مرجع ولتاژ CMOS، ترانزیستورهای ذاتی، توان مصرفی یاپین، چیپ دیجیتال، تنظیم دیجیتال.
پارامترهای مصرف سیگال و سیگال خروجی در این مدل استفاده می‌شود.

پارامترهای سیگال و سیگال خروجی در این مدل استفاده می‌شود.

پارامتر

پارامترهای سیگال و سیگال خروجی در این مدل استفاده می‌شود.

پارامترهای سیگال و سیگال خروجی در این مدل استفاده می‌شود.

پارامترهای سیگال و سیگال خروجی در این مدل استفاده می‌شود.

پارامتر

پارامترهای سیگال و سیگال خروجی در این مدل استفاده می‌شود.

پارامتر

پارامترهای سیگال و سیگال خروجی در این مدل استفاده می‌شود.
که در آن اکسید در Cox، خاک اکسید در واحد محاسبه و ولتاژ استاندard L و ولتاژ استاندard W، ضرب مدولسیون طول کالا و

\[ V_{REF} = V_{GS2} - V_{GS1} = V_{th2} - V_{th1} + \frac{\sqrt{I}}{\frac{1}{k2} - \frac{1}{k1}} \]  

که در آن جریان داده شده است، مقدار متقابل مشتق \(k_i = \mu C(W/L)\) را استفاده از رابطه (3) می‌تواند با دمای سیال با استفاده از رابطه (2) بدست آورد.

\[ \frac{\partial V_{ref}}{\partial T} = \frac{\partial V_{TH1}}{\partial T} \left( - \frac{1}{V_{TH1}} \right) \]  

و

\[ \frac{\partial V_{ref}}{\partial T} = \frac{\sqrt{I}}{\frac{1}{k2} - \frac{1}{k1}} \]  

همانطور که در رابطه (3) دیده می‌شود، برای کاهش واژگی به دمای بر اساس قابلیت مصرف بودن نرم‌افزار دوم و سوم، Vref به‌عنوان Vth2-Vth1 نیست.

مرجع ولتاژ طراحی شده پس از قرار دادن منابع جریان بر کم‌کم با استفاده از مقدار ولتاژ مدار پایین برای کردن کمیت کردن پایین برای منابع کسکوک به سایر منابع جریان برای هم‌اکنون کردن این مقدار به منابع ایده‌آل استفاده کرد.

۲- مرجع ولتاژ با استفاده از اختلاف ولتاژهای آستانه

می‌تواند با این معادله سه‌می‌سین زده شود (9):

\[ I_d = \frac{\mu C}{2} \frac{W}{L} (V_{GS} - V_{th})^2 (1 + \lambda V_{DS}) \]  

دکم نوع ترانزیستور و مشخصه بودن تغییرات ولتاژ استانبات با دمای آن نوع مرجع ولتاژ امکان پذیر شده است. تا کنون در این روش از پیاده‌سازی منابع ولتاژ، نیاز به گام‌های اضافی در پروسه ساخت که به بازه سازی قطعات با چند ولتاژ استاندارد دچار می‌شود، این موضوع لزومی ندارد ولتاژ را بروز ساخت و در نتیجه داشته تغییرات ناشی از هرکدام از پارامتر دارد همچنین می‌باشد ولتاژ ولتاژ استاندارد از نقطه معمول برای ترانزیستورهای اثر میدانی برای داشتن اختلاف ولتاژ می‌تواند با چند ولتاژ نواز مصرفی و حداکثر ولتاژ مورد نیاز کار شود که در تجهیزات ولتاژ بازیابی که امروزه مورد توجه هستند، مانند فرآیندهای پژوهش، مانند تحقیقات، در مورد نسبت [A].

* استفاده از ترانزیستورهای ذاکر در این نوع مراجع ولتاژ برای رفع این مشکلات استفاده می‌شود. هدف اصلی آن استفاده از میانگین استفاده از ولتاژ استاندارد، استفاده از ولتاژ استاندارد به صورت دارند، قطعات دارند، طور گذشته ای از هری می‌تواند در دسترس هستند و نیازمند انجام مراحل، مانند عملکرد معکوس‌ها اضافی در پروسه ساخت. نیست. یک استفاده شدن‌الول می‌تواند تغییرات ولتاژ باعث مقدار کنم، ولتاژ مورد نیاز در دسترس کننده با کمک‌های این اتصال آنها به صورت سری است. آنها همچنین در مدارهای ولتاژ مرجع شکاف‌های باند و سیستم‌های تغییر استفاده می‌شود.

شکل (2): مرجع ولتاژ طراحی شده
در شکل ۲ ترانзیستور‌های Q۳ و Q۴، Q۶ و Q۷ مربع جریان اصلی هستند، ترانزیستور Q۵ برای شروع به کار مدار قرار داده شده است و با ریسیمک مدار نمایش گیرنده سطح خارجی می‌شود. پس از شکل ۳ ترانزیستور‌های Q۱، Q۴ و Q۷ و با شکل ۴ ترانزیستور‌های Q۲ و Q۵ توجه به نتیجه طول عرض آن جریان را که برای می‌گردد:

\[ I_{\text{ref}}(Q_{6}) = kI_{\text{out}}(Q_{7}) \]

در صورتی که نیاز به استفاده از جریان‌های پایین‌تر باشد، می‌توان از مدار شکل ۴ استفاده کرد. روابط مربوط به این مربع جریان به این صورت تعریف می‌شود:

\[ V_{SS} = \phi_{s} \pm \frac{Q_{ss}}{C_{ss}} \pm \gamma(N_{s}, L, W) \sqrt{2\phi_{s} + V_{c}} + |V_{SS}| \]

که علائم‌های مشابه منفی برای ترتیب مربعه به قطعات کانال N کانال P است. در این معادله، ms نمایندگان تابع کار آهن سیلیکن، Q_{ss} چگالی شارژ سطح بر واحد مساحت، F_{NN} وانسانیل، Q_{SS} زیرالیه ویژگی ولتاژ آستانه به عنوان کاستت و N_{i}, L_{i}, A، 9 نمایندگان طبقه و اثر اندازه نمایان این آستانه به همراه ناحیه زیرالیه و ضخامت اکسید کیت مربعه است. \( \phi_{s} \) برای محاسبه بزرگ‌ترین ولتاژ استاندارد I_{M}، Q_{i}, S، L، i) نایت ویولاتورز پیام‌رسان در تغییر ولتاژ آستانه، سطوح فرمی و \( \phi_{s} \) ممتاوارد و تابع کار آهن‌هایی که گیت هستند، سطوح q_{M} مشابه می‌شود.

\[ \phi_{s}(T) = k_{T} \ln \left( \frac{n_{i}}{n_{e}(T)} \right) \]

اگر سیلیکن با ناحیه مخالف به زیرالیه دوب دوش، پنالسی اتصال با W نشان داده می‌شود، به‌طور مزایایی کار آهن‌هایی گیت با معادله (8) برای یک گیت دوب دوش با n محاسبه می‌شود:

\[ V_{DD} = \frac{2}{W} \frac{1}{R_{S}} \frac{1}{V_{TH2}} \frac{1}{V_{Th}} \]

جریان Q۸ تابع آبیه‌ای برای منبع جریان ما دارد و جریان آن به ترانزیستور Q۹، Q۱۱ که علاوه بر Q۸ و Q۱۰ مربع جریان به این ترانزیستور Q۱۰ می‌رساند، این ترانزیستور برای نتیجه طول عرض Q۲ و Q۱ کشاورزی می‌شود. نتیجه طول عرض Q۱ برای ترانزیستور‌های تابع که جریان در جدول ۱ اورده شده است. هم‌معنی که در مقدار بعد توضیح داده شد. ۱۱۹
یکی دیگر از پارامترهای مهم نیز حساسیت خط است که با استفاده از
این رابطه بدست می‌آید:

\[ LS\% = \frac{\left( \max(V_{ref}) - \min(V_{ref}) \right) \times 100}{\Delta V_{	ext{supply}}} \]  \hspace{1cm} (11)

با توجه به جریان بالا حساسیت خط در حدود 7% به دست آمده که با کاهش جریان به حدود 400 نانوآمپر می‌توان آن را به حدود 0.95% کاهش داد. در این شرایط، لازم است که مقادیر ضریب دمایی به 20 ppm اندازه‌گیری شود.

در مورد مدولاسیون طول کانال نیز لازم به ذکر است که تمام ولتاژ تقریبی در ورودی و سری پرازیستورهای مربوط به آن‌ها جریان تلف می‌شود. که در این اسکن دیویس نیستند. برای کاهش اثر مدولاسیون در پرازیستورها مخازن پرازیستورهای با آینه‌های جریان با پایداری طول بزرگ‌ی باشد.

\[ \phi_{np}(T) = \begin{cases} \frac{kT}{q} \ln\left( \frac{N_p}{N_f} \right) & \text{(PMOS)} \\ \frac{kT}{q} \ln\left( \frac{N_f}{N_p} \right) & \text{(NMOS)} \end{cases} \]  \hspace{1cm} (9)

که در آن \( N_p \) نااخلاصی ذرات حامل، عامل مربوط به دما، \( N_f \) نااخلاصی ذرات حامل در گیت پلی‌سیلیکون هستند. همچنین باید توجه کرد که اثر دما بر تغییر تابع کار قابل اندازه‌گیری است (12).

همچنین تغییر دما ناپایداری قوی‌کارگی در ولتاژ استانه به دلیل تغییر در خازن اکسید و پیوسته‌شدن سطح به وجود می‌آید (13). که این تغییرات به دلیل تغییرات در صفحه مرجع می‌شود.

توجه به رابطه‌های حاوی شده و همان‌طور که در شکل ۴ قابل مشاهده است، شبکه پرازیستورهای استانه برای دو پرازیستور وستکون متفاوت است.

در صورتی که جریان بی‌سیار کافی قرار داده شود شبکه وولتاژی که در حدود ۱۰۰ درجه انحراف خواهد داشت. ولتاژ نهایی جریان در حضور ۱۰۰ درجه مناسب و ولتاژ نهایی در حضور ۱۰۰ درجه مناسب است.

\[ T_{CC}[\text{ppm}] = \frac{\left( \max(V_{ref}) - \min(V_{ref}) \right)}{V_{ref}(T = 20^\circ\text{C})} \times 10^6 \]  \hspace{1cm} (10)

نحوه جریان کم‌تکثیف وولتاژ کار برای این نوع می‌تواند در حدود ۰.۷ ولت باشد، ولتاژ خروجی برای هر ولتاژ حدود ۷۰٪ ولتاژ ورودی است.

شکل (۴): تغییرات ولتاژ استانه پرازیستور معنی‌دار (شکل بالا) و پرازیستور ذراتی (شکل پایین) با دما

شکل (۵): (الف) حساسیت ولتاژ خروجی به فاصله و ولتاژ تغییر برای جریان‌های بالا و پایین
تنظیم دیجیتال

شکل (۵): تنظیم دیجیتال مرجع ولتاژ

شکل (۶): حساسیت ولتاژ خروجی به دما و (ب) ولتاژ تغییر در جریان کم

۷- نتیجه‌گیری

در این مقاله یک مرجع ولتاژ با استفاده از اختلاف ولتاژ‌های آستانه ارائه شده است. در مدار طراحی شده، استفاده از ترانزیستورهای ذاتی مشکل نیاز به قدمت‌های اضافی در پرورش ساخت را کاهش می‌کند. همچنین به عنوان ترانزیستورهایی با ولتاژ آستانه بالا، توان مصرفی پایین‌آمده و ولتاژ روی آن برای کار به حداکثر می‌رسد. حداکثر ولتاژ کار برای ترانزیستور ۳۰ ولت و حداکثر توان مصرفی ۷۰۰ میلی‌وات به سبد امید است. در مدار ارائه شده یا با استفاده از تکنولوژی ۱۸ میکرو مدیریت دما بین ۲۲۰سی و مقدار حساسیت V0°جهات ۰.۹۸ تسهیم می‌شود. در این داده برای کنترل تنظیم دیجیتال مدار ارائه شد.

بر ولتاژ خروجی روشی برای تنظیم دیجیتال مدار ارائه شد.

شکل (۷): تعادل از ولتاژ‌های خروجی متفاوت که از روش بوت می‌باشد Wol递交ی مختلف tmod را دست آورده شده است

۸- تنظیم دیجیتال

برای حداکثر کنترل پراکندگی ضریب دمایی و ولتاژ خروجی، یک مرجع ولتاژ با تنظیم دیجیتالی را طراحی کرده‌ایم که در شکل ۸ نشان داده شده است. انتظار داریم که نتایج قبل نشان داده شده باشد. برای ضریب دمایی بسیار حساسی است، هرندی طول و عرض ترانزیستورهای هر ترانش، منجر می‌شود به قطع ولتاژی خروجی هر پروسه ابتدال نباشد. که بهتر است این داده توان نسبت عرض را پس از پروسه ساخت سیلیکن تغییر داد.

این طراحی می‌تواند به صورت اختصاصی ۳ قطعه ترانزیستور بالایی و ۳ قطعه ترانزیستور بالایی با استفاده سونیچیه‌های قرار داده شده روش یا به tmod و bmod خاموش کند با عامل سیگناال‌ها کنترلی سونیچیه‌های ۳۴ مثلاً وقتی تغییر می‌کند که سیگناال به full rail سیگناال کنترلی داریم سونیچیه‌های ولتاژ تغییر نیاز ندارند، حافظه‌های مانند فیوزها می‌توانند برای اعمال این سیگناال با حداکثر تغییر استفاده شود. هدفگاهی که سیگناال خاموش هستند هر قطعه بالایی یا پایینی تاثیر قابل اطمینان بر ولتاژ خروجی دارد و به صورت یک گذار داریمکنون خروجی عمل می‌کند. ترانزیستورهایی با طول زیاد در اینجا هم برای حداکثر کردن

صلاح‌الدین ابراهیمی، ایرانی، جامعه‌نما، به قلم شهابی خزان، سال ۱۳۹۶، نسیم ۱۱۲
هناك خطأ في النص الأصلي. من الصعب قراءة النص بشكل طبيعي.